12

Analoog naar digitaal en digitaal naar analoog omzetters

Inhoud

■/■■ reeds gepubliceerd
■/■■ gepland voor de volgende aanvullingen

12/1

Eigenschappen en algemene voorbeelden ADC's en DAC's

Inhoud

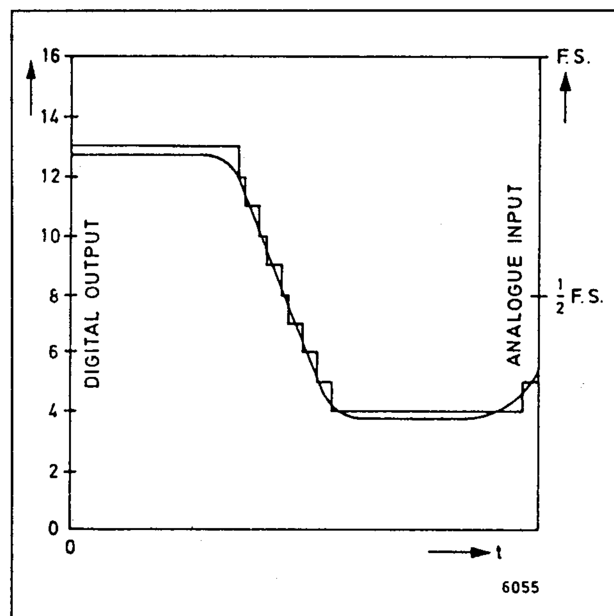
12/1.1

Algemene eigenschappen van ADC's en DAC's

Algemene definities

Quantificatie, de basis van ADC en DAC

Een analoog signaal is per definitie een signaal waarvan de momentele grootte iedere waarde tussen een bepaald minimum en een bepaald maximum kan aannemen. Tussen deze twee grenzen bestaan er in principe een oneindig aantal waarden en het analoog signaal kan op ieder tijdstip een van die oneindig aantal waarden aannemen.
Een digitaal signaal is per definitie een signaal dat maar twee waarden kan aannemen: "0" of "1". Het zal dus duidelijk zijn dat ook een combinatie van een aantal digitale signalen maar een beperkt aantal combinaties van "0" en "1" kan bevatten.
Zet men een analoog signaal dus om in een digitale code, hoe ingewikkeld ook van samenstelling, dan zal die digitale code de momentele waarde van het analoog signaal alleen maar kunnen benaderen. De in principe bijna oneindig aantal waarden van het analoog signaal moeten in een beperkt aantal digitale codecombinaties worden ondergebracht.
Dit grote verschil tussen analoog en digitaal is een van de belangrijkste eigenschappen van ADC- en DAC-systemen. Dat wordt samengevat met het begrip "quantificatie". Het uitgangssignaal van een ADC is op ieder moment slechts een digitale benadering van het analoog ingangssignaal. Het zal dan ook wel duidelijk zijn dat, als deze benaderde codes weer via een DAC worden omgezet in een analoog signaal, dit herwonnen analoog signaal ook een benadering zal zijn van het oorspronkelijke analoog signaal. Het begrip quantificatie wordt grafisch toegelicht aan de hand van figuur 12/1.1-1, waarin een analoog signaal is getekend en de gequantificeerde benadering daarvan na een gecombineerde ADC/DAC-bewerking.



Figuur 12/1.1-1: Het principe van quantificatie van een analoog signaal door middel van een gecombineerde ADC/DAC-bewerking.

Quantificatievervorming

Tussen het originele analoog signaal en het herwonnen analoog signaal zal dus steeds een afwijking, een vervorming, bestaan.

1.1 Algemene eigenschappen van ADC's en DAC's

Deze vervorming kan wel geminimaliseerd worden, maar geheel verdwijnen zal deze nooit. Analoge signalen, die via ADC + DAC systemen weer in analoge signalen worden omgezet, worden dus per definitie vervormd. Deze principe-gebonden vervorming wordt de quantificatievervorming genoemd. Omdat deze vervorming zich in de praktijk meestal uit onder de vorm van een ruissignaal spreekt men ook wel eens van de quantiseringsruis. Deze quantiseringsruis is een van de belangrijkste specificaties van een ADC + DAC systeem en het verminderen van deze ruis is een van de grootste uitdagingen van iedere elektronicus die zich bezig houdt met het ontwerpen van ADC + DAC systemen.

De woordlengte

Met woordlengte wordt het aantal bits gedefinieerd dat gebruikt wordt om het analoog signaal om te zetten in een digitale code of de digitale code in een gequantificeerd analoog signaal. Werkt men met een systeem met acht bits (een vaak gebruikte standaard) dan spreekt men van een woordlengte van 8 bit.

De resolutie

De resolutie van een ADC geeft aan in hoeveel quantiseringszônes men het analoog signaal na digitalisatie kan onderbrengen. Het zal duidelijk zijn dat een systeem met een woordlengte van 1 bit een resolutie heeft van 2. De resolutie kan berekend worden door het cijfer 2 te verheffen tot de macht van het aantal bits. Een systeem met een woordlengte van 16 bit heeft dus een resolutie van 2^{16} = 65.536. Met een dergelijk systeem kan men de momentele waarde van de analoge spanning onderbrengen in 65.536 quantiseringszônes.

Het dynamische bereik

Het dynamische bereik geeft de logaritmische verhouding weer tussen de minimale en de maximale signaalverandering die een DAC in het analoog signaal kan veroorzaken. De maximale signaalverandering ontstaat als alle bits opeens omschakelen van "0" naar "1".
De minimale signaalverandering ontstaat als alleen het LSB omschakelt van "0" naar "1". Het zal duidelijk zijn dat het dynamische bereik toeneemt naarmate er meer bits bij de omzetting betrokken zijn. Hoe groter de woordlengte, hoe groter het dynamische bereik!
Het dynamische bereik wordt uitgedrukt in dB en wordt ook wel eens de signaal-ruis verhouding van het systeem genoemd.

De volle schaal spanning

De volle schaal spanning geeft het verschil weer tussen:
- de analoge spanning die uit een DAC komt als alle bits "0" zijn;
- de analoge spanning die uit diezelfde DAC komt als alle bits "1" zijn.

Bij vele DAC's zijn deze twee spanningen gestandaardiseerd op 0 V en +10 V, zodat de volle schaal spanning van dergelijke schakelingen 10 V is.

De bitgrootte

De bitgrootte geeft aan met hoeveel volt het met een DAC terug gewonnen analoog signaal varieert als het LSB van "0" naar "1" springt. De bitgrootte en het dynamische bereik zijn dus in feite twee grootheden die hetzelfde fysische verschijnsel beschrijven. Maar terwijl het dynamische bereik een verhouding weergeeft en dus onafhankelijk is van de maximale grootte van de terug te winnen spanning, is het alleen zinvol de bitgrootte op te geven als men weet wat de volle schaal spanning is die uit een DAC kan komen.
Een voorbeeldje. Als de volle schaal waarde van een DAC 10 V bedraagt en de woordlengte is 1 bit, dan zal de bitwaarde gelijk zijn aan 5 V. Als de woordlengte 16 bit bedraagt, dan zal de bitwaarde slechts 152 μV bedragen.
Vaak noemt men de bitwaarde van het systeem "de LSB van het systeem".

1.1 Algemene eigenschappen van ADC's en DAC's

Verband tussen woordlengte, resolutie, dynamische bereik en bitwaarde

Het zal logisch zijn dat er tussen de vier besproken grootheden:

- woordlengte;
- resolutie;
- dynamische bereik;
- bitwaarde;

een oorzakelijk verband bestaat. Dit verband is in de tabel van figuur 12/1.1-2 gegeven voor woordlengtes van 1 tot en met 16 bit.

WOORD LENGTE	RESOLUTIE 1:2n	THEORETISCH MAXIMALE DYNAMISCH BEREIK	BITGROOTTE BIJ 10V VOLLESCHAAL SPANNING
1	2	6dB	5.0V
2	4	12dB	2.5V
3	8	18dB	1,25V
4	16	24dB	0,625V
5	32	30dB	0.312V
6	64	36dB	0.156V
7	128	42dB	78.1mV
8	256	48dB	39.1mV
9	512	54dB	19.5mV
10	1024	60dB	9.7mV
11	2048	66dB	4.8mV
12	4096	72dB	2.4mV
13	8192	78dB	1.2mV
14	16384	84dB	610uV
15	32768	90dB	305uV
16	65536	96dB	152uV

Figuur 12/1.1-2: Het verband tussen de woordlengte, de resolutie, het dynamische bereik en de bitgrootte van DAC's.

Principes van ADC

Inleiding

Digitaliseren noemt men het omzetten van een analoge spanning in een digitale code. In principe zou men denken dat digitaliseren een probleemloos proces is. Men voert de analoge spanning toe aan de ingang van de ADC, op de uitgangen ontstaan de digitale codes die de momentele grootte van de analoge spanning representeren.
Niets is echter minder waar! Bij het digitaliseren van analoge signalen moet men met enkele wetmatigheden rekening houden, die in de volgende paragraafjes besproken worden.

Het bemonsteren of samplen

Op de eerste plaats is het een gegeven dat geen enkele ADC continu werkt. Zou men namelijk de digitale code op de uitgang zich continu laten aanpassen aan de grootteveranderingen van het analoog ingangssignaal, dan zou er een echte code-chaos ontstaan op de uitgang van de omzetter. Het omzetten van de analoge spanning in een digitale code is een proces dat namelijk niet traagheidsloos verloopt. Deze conversie-tijd ligt zelfs bij de snelste omzetters in het µs-bereik. Bovendien zal het ene bit iets sneller reageren dan het andere. Zou men continu omzetten, dan zou men de digitale code per ongeluk kunnen uitlezen op het moment dat een of meerdere bits bezig zijn zich aan de nieuwe analoge ingangssituatie aan te passen. De code kan op dat moment volledig foute informatie bevatten.

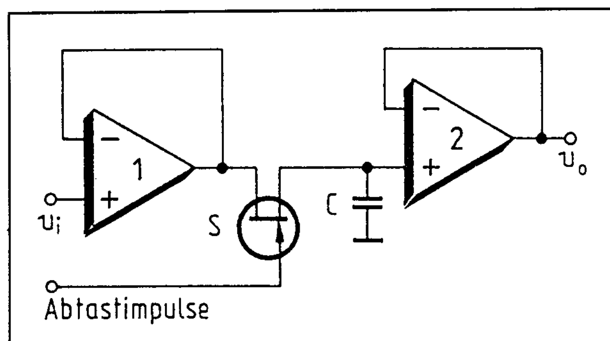
Bemonsteren

Om deze problemen te voorkomen moet men het analoog signaal bemonsteren of samplen. Dat wil zeggen dat men met regelmatige tijdsintervallen een monstertje neemt van de momentele waarde van het ingangssignaal, dit monstertje even opslaat in een analoog geheugen en nadien dit monster gaat omzetten in de bijbehorende digitale code. Men heeft dan geen last van de conversie-tijd, omdat de waarde van het monster constant blijft. Nadat de conversie-tijd van de ADC verstreken is en men zeker weet dat de digitale code zich aan de nieuwe waarde van het monster heeft aangepast, kan men de digitale code uitlezen en verder verwerken. Nadien kan een nieuw monster worden genomen en kan men het proces herhalen.

De sample and hold

Het analoog geheugen, waarin het monster van het analoog ingangssignaal even wordt bewaard, wordt steeds uitgevoerd onder de

vorm van een sample and hold, afgekort tot S&H. Het basisprincipe van een S&H is getekend in figuur 12/1.1-3.



Figuur 12/1.1-3: Het basisschema van een S&H.

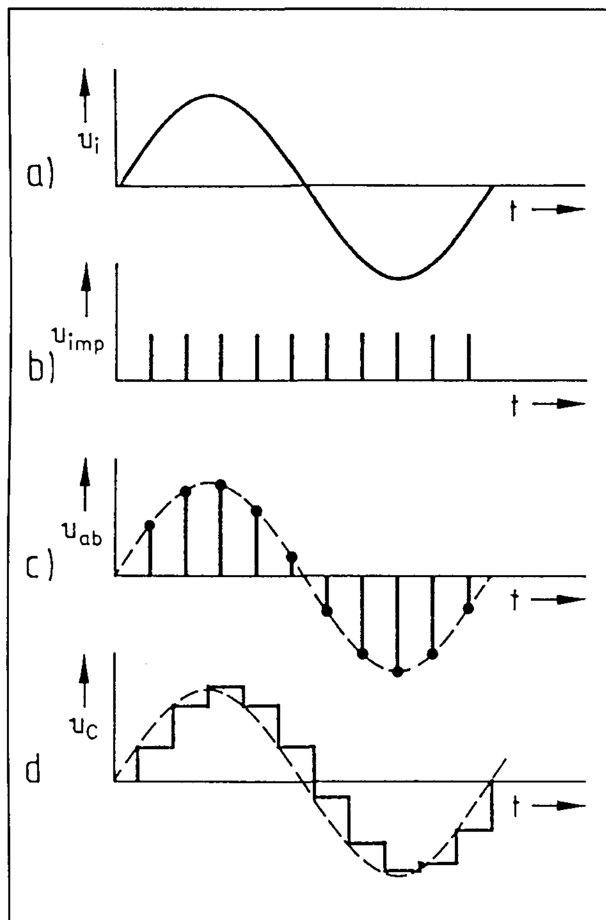
Het analoog signaal wordt aangeboden aan een als buffer geschakelde operationele versterker. De uitgang van de buffer gaat via een elektronische schakelaar, meestal uitgevoerd onder de vorm van een FET, naar een tweede buffer. Tussen de ingang van de buffer en de massa staat een condensator geschakeld. Als de elektronische schakelaar open wordt gestuurd, dan zal de condensator zich opladen tot de momentele waarde van de analoge ingangsspanning. Omdat de waarde van de condensator zeer klein is, zal het geen probleem zijn om de condensatorspanning de variatie op de ingangsspanning traagheidsloos te laten volgen. Opent men de elektronische schakelaar, dan wordt de verbinding tussen de uitgang van de eerste buffer en de ingang van de tweede buffer verbroken. Het gevolg is dat de condensatorspanning niet kan afvloeien en tamelijk constant blijft. Uiteraard zal er wel iets lading weglekken via de zeer hoge ingangsimpedantie van de tweede buffer en via allerlei lekweerstanden in de schakeling. Maar omdat het bemonsteren redelijk snel gaat kan men stellen dat gedurende de sample-tijd de spanning over de condensator gelijk blijft aan de momentele waarde van het ingangssignaal op het moment dat de schakelaar geopend werd. Behalve als men zeer traag variërende analoge spanningen moet digitaliseren (bijvoorbeeld de meetwaarden van een elektronische druksensor) zal men steeds een S&H tussen de analoge ingangsspanning en de analoge ingang van de ADC moeten opnemen.

De sample-frequentie

Het digitaliseren van een analoge spanning is dus geen continu proces, maar een proces dat gestuurd wordt door een externe klokpuls. De frequentie van dit kloksignaal noemt men de sample-frequentie. Deze frequentie bepaalt dus hoeveel samples er per seconde van de analoge ingangsspanning worden genomen en hoeveel verschillende digitale codes er op de uitgang van de ADC per seconde zullen ontstaan. Een belangrijke vraag daarbij is hoeveel monsters er per seconde genomen moeten worden. Het zal wel duidelijk zijn dat de kwaliteit van het systeem verbetert naarmate er meer monsters genomen worden. Vandaar dat men alleen geïnteresseerd is in de vraag hoe weinig monsters er genomen kunnen worden om er toch nog zeker van te zijn dat de digitale codes later in een DAC omgezet kunnen worden in een analoog signaal dat gelijkt op het analoog signaal aan de ingang van de ADC. In figuur 12/1.1-4 is het ADC + DAC procédé nog eens grafisch samengevat. Van één periode (a) van een sinusvormig signaal worden tien monsters (b) genomen. Men kan dus in dit voorbeeld stellen dat de sampling-frequentie tien maal groter is dan de signaalfrequentie. In grafiek (c) zijn deze tien digitale monsters voorgesteld door hun herwonnen analoge waarden. Als men nadien deze monsters aanlegt aan de digitale ingangen van een DAC dan ontstaat op de analoge uitgang van de DAC het signaal (d). De originele periode van de sinus wordt benaderd door tien opeenvolgende stapspanningen. Het algemeen verschijnsel van ADC/DAC dat de reeds beschreven quantiseringsvervorming veroorzaakt! In het getekende voorbeeld kan men uit deze stapvormige benadering zonder al te veel fantasie de vorm van het originele signaal herkennen.

1.1 Algemene eigenschappen van ADC's en DAC's

Men kan echter niet grenzeloos verder gaan met het reduceren van de sampling-frequentie.

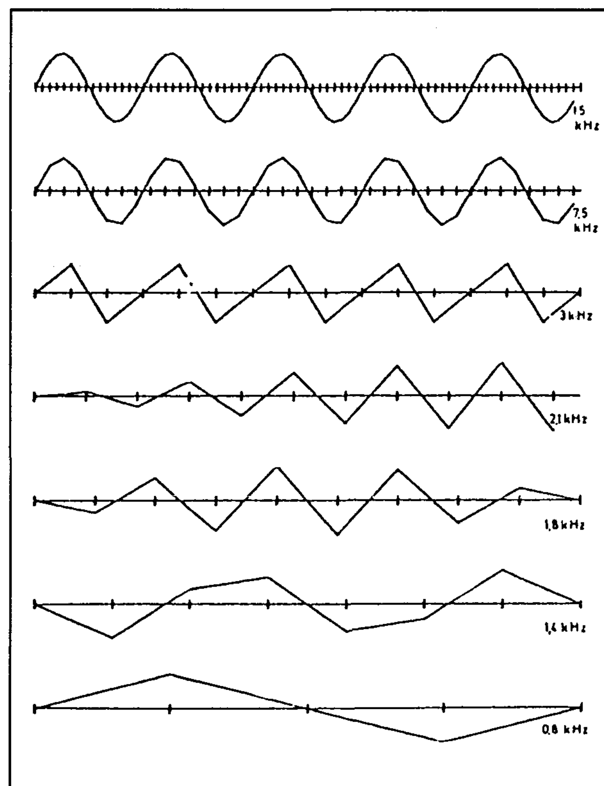


Figuur 12/1.1-4: Het volledige ADC/DAC-proces grafisch samengevat.

Het sampling theorema

Wiskundig kan berekend worden dat de sampling-frequentie minstens twee maal zo hoog moet zijn als de hoogste frequentie in het analoog signaal. Deze algemene wet staat bekend als het "sampling theorema". Sampelt men met een lagere frequentie, dan is het absoluut onmogelijk om de vorm van het originele analoog signaal uit de opeenvolgende digitale samples terug te winnen. Men kan dit effect heel mooie grafisch aantonen.

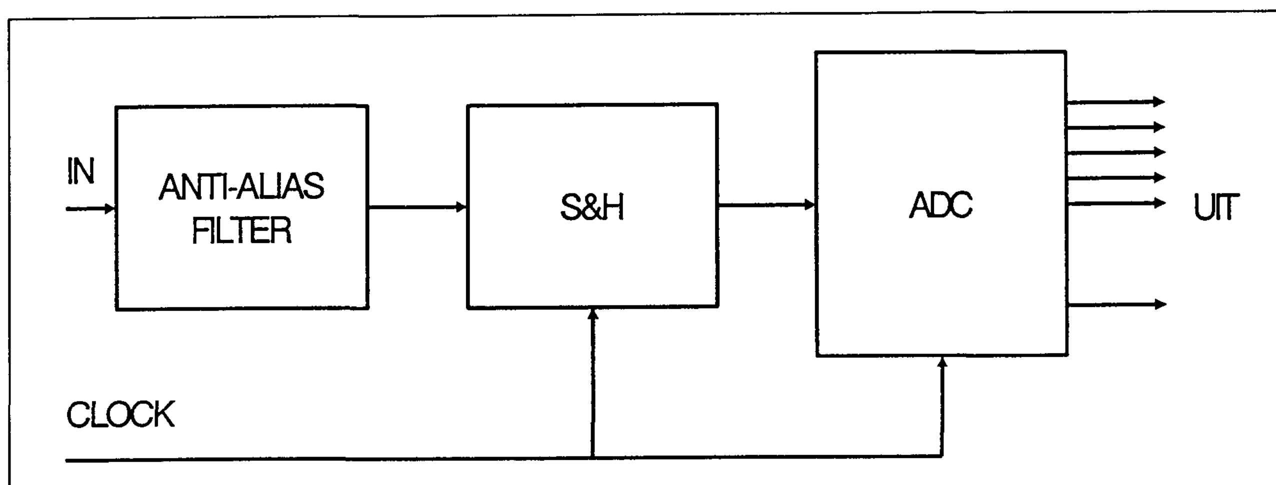
In figuur 12/1.1-5 wordt een sinusvormige analoge spanning met een frequentie van 15 kHz gesampeld met een frequenties die steeds kleiner worden. Als men nadien de opeenvolgende digitale codes met een DAC omzet in de herwonnen analoge spanning ontstaat een signaal dat een stapvormige benadering van het sinussignaal zou moeten zijn. Dat klopt nog vrij aardig als men sampeld met een frequentie van 7,5 kHz. Maar naarmate de sample-frequentie steeds lager wordt zal het herwonnen analoog signaal steeds minder op de originele sinus gaan lijken. Bij zeer lage frequenties is het herwonnen signaal zelfs niet eens meer als sinus herkenbaar, maar wordt het een driehoek!



Figuur 12/1.1-5: Een grafisch bewijs van het sampling theorema.

Deze veel lagere frequentie noemt men de "alias frequentie" en de grote vervorming die in dit geval ontstaat de alias vervorming.

1.1 Algemene eigenschappen van ADC's en DAC's



Figuur 12/1.1-6: Het blokschema van een praktische analoog naar digitaal omzetter.

Anti-alias filter

Kans op alias vervorming is steeds aanwezig als men bemonstert met een frequentie die lager is dan 2 x de hoogste signaalfrequentie. Als men een ingangssignaal heeft met bekende frequentie kan men deze alias vervorming vermijden door de sample-frequentie minstens twee maal hoger te kiezen.
Heeft het ingangssignaal een onbekende bandbreedte moet men er kunstmatig voor zorgen dat de frequentieband van het analoog ingangssignaal nooit groter kan zijn dan een bekende waarde. Men kan dan de sample-frequentie instellen op twee maal deze bekende waarde.

Anti-alias filter

Het beperken van de bandbreedte van een analoog signaal kan door gebruik te maken van een zeer scherp afsnijdend laagdoorlaat filter. Dit filter wordt gedefinieerd door een bepaalde afsnij-frequentie f_0. Het filter laat alle signalen met een frequentie kleiner dan deze afsnij-frequentie door en spert alle signalen die een frequentie hebben die hoger is dan de afsnij-frequentie. Dit laagdoorlaatfilter wordt in de ADC/DAC-terminologie het anti-alias filter genoemd. Een logische naam, want dank zij dit filter heeft men geen last meer van alias vervorming. Het volstaat de sample-frequentie gelijk te maken aan 2 x f_0 van het filter.

Blokschema van een ADC-systeem

Het uiteindelijke blokschema van een bruikbare analoog naar digitaal omzetter is getekend in figuur 12/1.1-6.
Het te digitaliseren analoog signaal wordt eerst door het anti-alias filter gevoerd en gaat vervolgens naar de S&H. De uitgang van deze schakeling gaat naar de analoge ingang van de ADC. De S&H en de ADC worden gestuurd door een extern kloksignaal dat de sample-frequentie vast legt. Dit blokschema is het algemene blokschema voor iedere analoog naar digitaal omzetting en zal in iedere toepassing onder de een of de andere vorm worden teruggevonden.

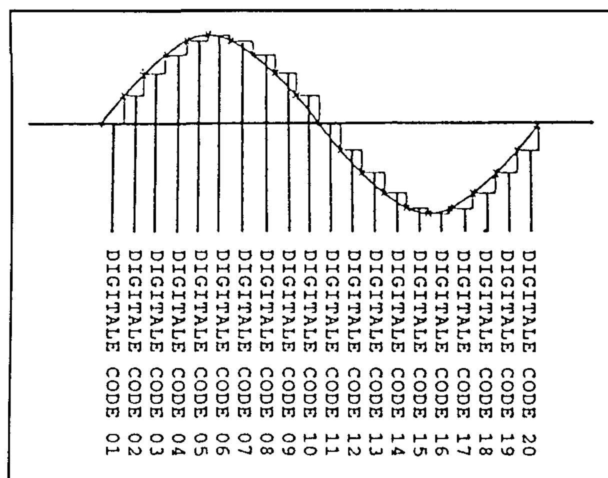
Principes van DAC

De quantiseringsruis

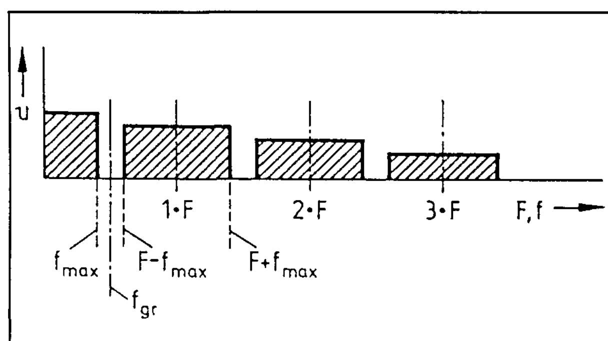
In figuur 12/1.1-7 is nog eens het uit een DAC herwonnen analoog signaal getekend. Duidelijk blijkt de trapvormige benadering, eigenschap van iedere digitalisatie.
Deze trapvormige benadering introduceert een vervorming in het analoog signaal, de reeds beschreven quantiseringsvervorming

1.1 Algemene eigenschappen van ADC's en DAC's

of quantiseringsruis. Het zal duidelijk zijn dat deze vervorming herleid kan worden tot signalen met hoge frequenties, die gemengd zijn met het analoog signaal. Vandaar dat dit verschijnsel zich uit onder de vorm van hoogfrequente ruis.

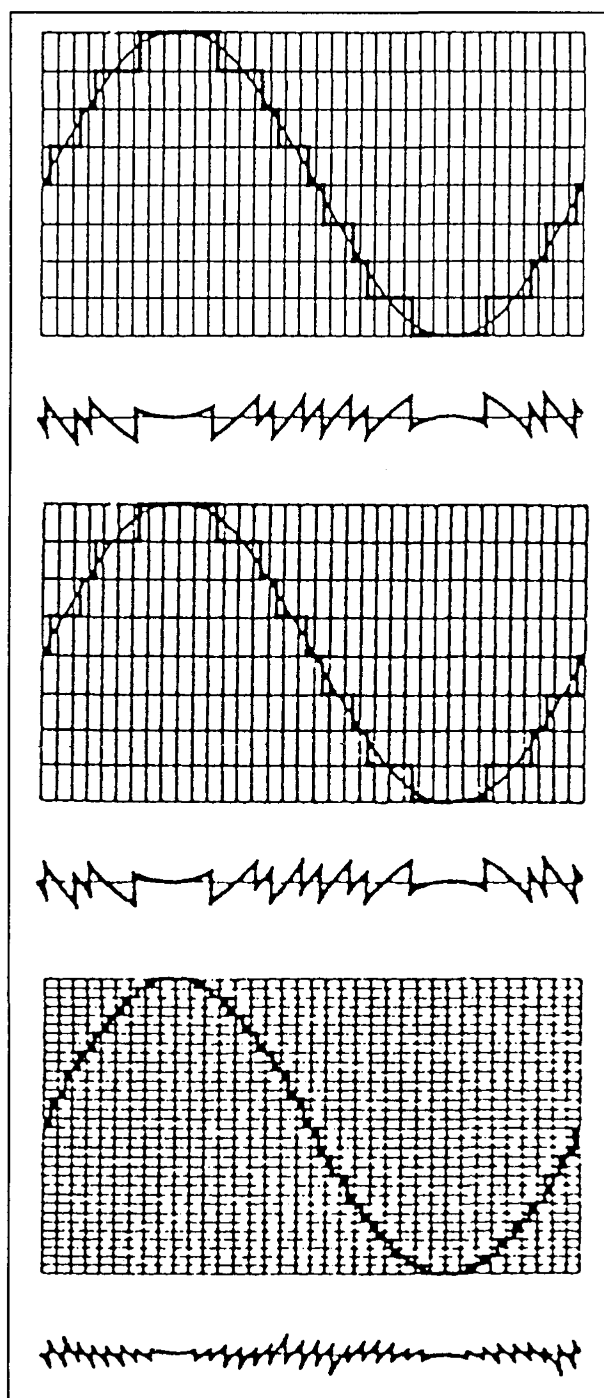


Figuur 12/1.1-7: De trapvormige benadering van de analoge uitgangsspanning, eigenschap van iedere DAC.



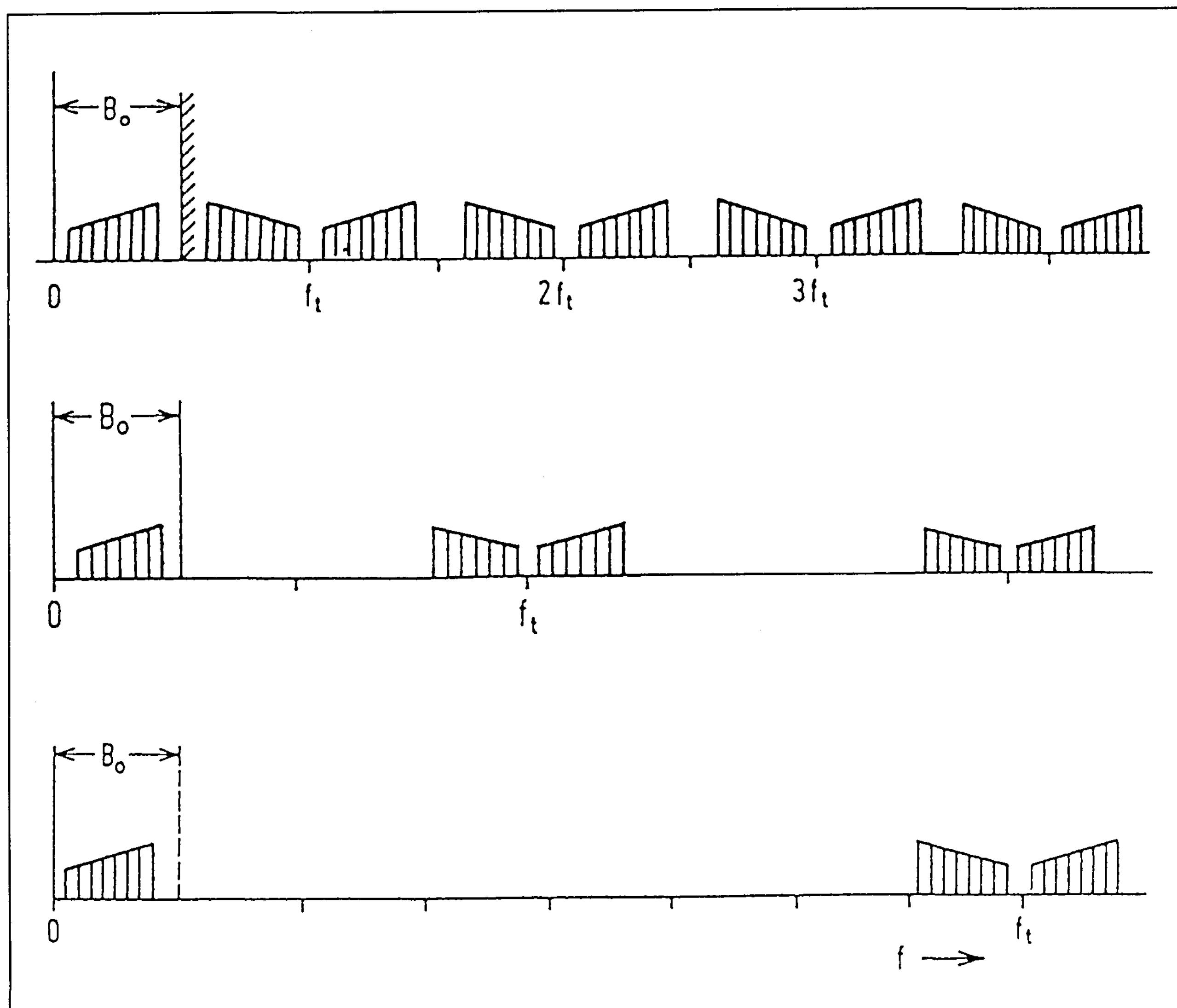
Figuur 12/1.1-8: Het frequentiespectrum van het herwonnen analoog signaal bevat zeer veel hogere harmonischen.

Als men het frequentiespectrum van een herwonnen analoog signaal zou opmeten, ontstaat het beeld van figuur 12/1.1-8. Hierbij is F de basisfrequentie van het analoog signaal. Het frequentiespectrum bestaat uit zijbanden rond iedere hogere harmonische van de grondfrequentie. Er ontstaan dus zijbanden rond F, rond 2.F, 3.F, etc. De amplitude van deze hogere harmonischen neemt wel af naarmate de frequentie ervan stijgt.



Figuur 12/1.1-9: De invloed van de woordlengte op de quantiseringsruis.

1.1 Algemene eigenschappen van ADC's en DAC's



Figuur 12/1.1-10: Het frequentiespectrum van het door de DAC herwonnen signaal is sterk afhankelijk van de grootte van de sample-frequentie.

Invloed van de woordlengte op de amplitude van de quantiseringsruis

In figuur 12/1.1-9 is getekend hoe de woordlengte van het digitaliseringsproces de grootte van de quantiseringsruis beïnvloedt. De bovenste grafieken stellen een herwonnen sinus voor, waarbij met drie verschillende woordlengten werd gedigitaliseerd. De onderste grafieken stellen de amplitude van de uitgefilterde quantiseringsruis voor, dus het volledige uitgangssignaal van de ADC minus het signaal met als basisfrequentie dat van de sinus. Uit deze grafieken blijkt duidelijk dat de quantiseringsruis kleiner wordt als met meer bits wordt gedigitaliseerd. Bovendien blijkt hieruit evenzo dat de frequentie van de quantiseringsruis stijgt met het aantal bits.

Invloed van de sample-frequentie op het frequentiespectrum van de quantiseringsruis

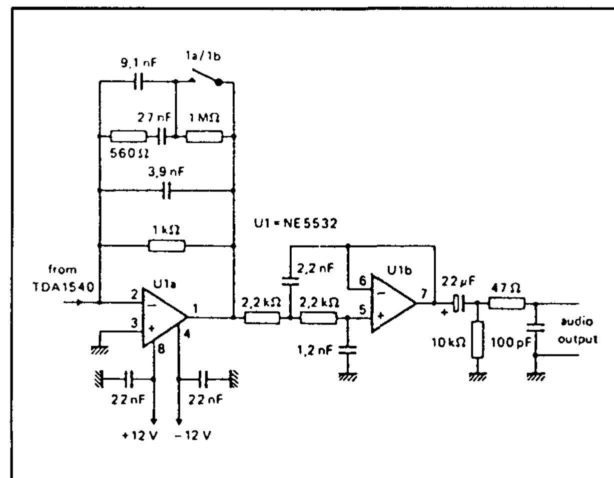
Naarmate de sample-frequentie van de ADC toeneemt, zal de DAC beter in staat zijn de quantiseringsruis te onderdrukken. Het fre-

1.1 Algemene eigenschappen van ADC's en DAC's

quentiespectrum van de ruis zal namelijk opschuiven naar de hogere harmonischen van de signaalfrequentie(s). Dit is grafisch toegelicht in figuur 12/1.1-10.
Een analoog signaal, met een bandbreedte B_0 wordt drie maal gequantificeerd. In de bovenste grafiek is het frequentiespectrum van het herwonnen signaal getekend, als de sample-frequentie f_t gelijk is aan twee maal de bandbreedte van het signaal. De harmonischen zijn het gevolg van de quantiseringsruis en liggen steeds symmetrisch ten opzichte van veelvouden van de sample-frequentie. Het zal duidelijk zijn dat het heel moeilijk is om deze harmonischen te scheiden van de signaalbandbreedte.
In de middelste grafiek wordt gesampeld met een sample-frequentie die gelijk is aan vier maal de bandbreedte van het analoog signaal. Ook nu liggen de harmonische aandelen in het spectrum, veroorzaakt door de quantiseringsruis, rond de veelvouden van f_t. Het is echter duidelijk dat nu een veel minder steil filter nodig is om het herwonnen signaal te scheiden van de quantiseringsruis.
In de onderste grafiek wordt een sample-frequentie toegepast waarvan de waarde gelijk is aan vier maal de bandbreedte. De harmonische aandelen van de ruis zijn nu zo hoogfrequent dat in de meeste gevallen geen extra filtering noodzakelijk is.

Post-processing filter

Bij bepaalde toepassingen kan men geen gebruik maken van een hoge sample-frequentie en moet men werken met twee maal de hoogste signaalfrequentie. Men heeft dan erg veel last van de quantiseringsruis. Bij audio-toepassingen, bijvoorbeeld, zal deze ruis hinderlijk hoorbaar zijn. Maar het kan ook voorkomen dat de hoge harmonischen, waaruit de quantiseringsruis bestaat, gaan interfereren met andere frequenties als men het herwonnen analoog signaal verder gaat verwerken.
Het zal dus duidelijk zijn dat men deze quantiseringssignalen uit het nuttige signaal wil verwijderen. Dat kan door gebruik te maken van een laagdoorlaat filter. De afsnijfrequentie van dit filter moet boven de doorlaatband van het nuttig signaal liggen en het filter moet zo steil afsnijden dat de eerste harmonische met meerdere tientallen dB verzwakt wordt. Dit filter noemt men het post-processing filter en men zal dit filter bij de meeste DAC-schakeling aantreffen. Dit filter zorgt er, door het onderdrukken van de hogere harmonischen, voor dat de trapvormige benadering wordt afgevlakt en dat het herwonnen uitgangssignaal meer lijkt op het originele analoog signaal.
Men kan het post-processing filter uiteraard analoog uitvoeren door een x-de orde filter te ontwerpen en na de DAC te schakelen. In figuur 12/1.1-11 is een typisch voorbeeld gegeven van een derde orde Besselfilter dat achter een DAC geschakeld kan worden.



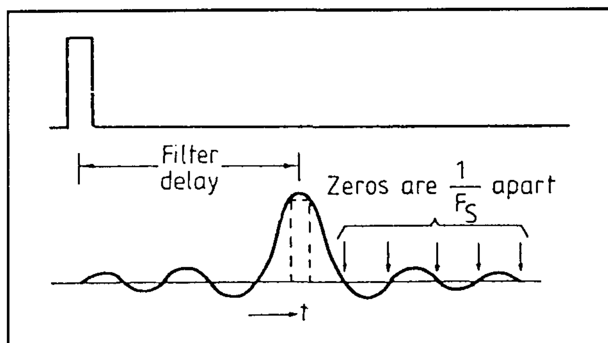
Figuur 12/1.1-11: De typische structuur van een derde orde Besselfilter, dat vaak als post-processing filter wordt toegepast.

Digitale filtering

Tegenwoordig wordt echter vaak gebruik gemaakt van digitale filtering, waarvoor digitale transversale filters (DTF's) ter beschikking staan. Bij deze techniek wordt het filteren opgeschoven naar de ingang van het DAC-systeem en het omzetten in een analoog signaal gecombineerd.

1.1 Algemene eigenschappen van ADC's en DAC's

De werking van een digitaal transversaal filter (DTF) is erg moeilijk te doorgronden zonder diepgaande kennis van fundamentele theoretisch/wiskundige elektronica en met name van de tijd- en frequentie-domein theorieën. Een digitaal transversaal filter heeft, wel beschouwd, hetzelfde effect op het uiteindelijke analoge signaal als een analoog laagdoorlaat filter. De ruis wordt verminderd en door de werking van het DTF kan het analoog filter veel minder verzwakken. Het lijkt dus net alsof het DTF als eerste en voornaamste laagdoorlaat filter kan opgevat worden en dat de werking ervan alleen nog iets moet aangevuld worden door het tweede analoog filter. Als een DTF als laagdoorlaat filter werkt, dan moet het ook aan dezelfde wetten gehoorzamen als een traditioneel analoog filter. De ingang van de DAC wordt gestuurd met digitale woorden, die uit x bits bestaan. Vanwege het discontinue karakter van de code, deze verandert immers bij iedere clockpuls van waarde, kan men de ingangsspanning van het DTF voorstellen als een opeenvolging van smalle, steile pulsjes. Hoe reageert een analoog laagdoorlaat filter als er op de ingang een smalle, steile puls wordt aangelegd? Dat is een vanouds bekend probleem uit de analoge elektronica, een probleem dat al lang geleden volledig wiskundig werd opgelost.

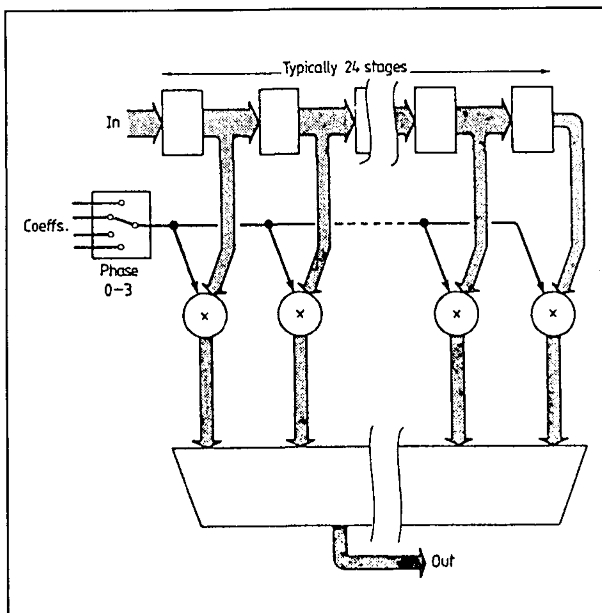


Figuur 12/1.1-12: De respons van een analoog laagdoorlaat filter op een ingangspuls.

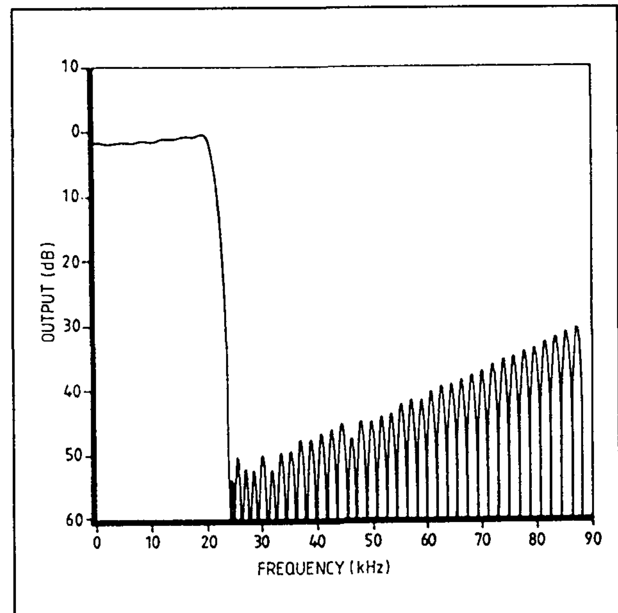
De pulsweergave van een analoog laagdoorlaat filter is getekend in figuur 12/1.1-12. Er bestaat een ondubbelzinnig verband tussen het amplitudeverloop aan de uitgang, de amplitude van de ingangspuls en het tijdsverloop. Het amplitudeverloop kan volledig wiskundig worden uitgedrukt. Voor ieder punt op de tijdsas kan dus een constante factor of coëfficiënt k worden berekend die, vermenigvuldigd met de amplitude van de ingangspuls, de amplitude van de uitgangsspanning geeft voor het specifieke punt op de tijdsas. Het verloop van de uitgangsspanning kan dus worden gedefinieerd door het berekenen van een aantal coëfficiënten $k(t_n)$, die ieder de amplitude van het uitgangssignaal definiëren op het tijdstip t_n. Hoe meer coëfficiënten berekend worden, hoe nauwkeuriger de uitgangsspanning van het analoog filter kan worden gereconstrueerd! Wat het digitaal transversaal filter nu doet is niets anders dan de amplitude van het digitaal sample van de ingang digitaal vermenigvuldigen met bepaalde coëfficiënten, die de amplituden bepalen van imaginaire nieuwe samples ergens op de tijdsas. Op deze manier worden extra samples berekend, die tot gevolg hebben dat de amplitudekarakteristiek van het digitaal filter voldoet aan het beeld van figuur 12/1.1-12. Helaas wordt de zaak tamelijk gecompliceerd doordat de ingangssamples elkaar in een snel tempo opvolgen en de uitgangsresponses van het filter op deze samples elkaar overlappen. Dat is een gevolg van de filtervertraging.
Toch kan deze hele ingewikkelde materie nog steeds ondubbelzinnig is wiskundige formules worden vast gelegd. Bij het bepalen van de coëfficiënten moet men nu dus niet alleen rekening houden met de respons van het filter op één ingangssample, maar ook het overlappende effect van de verschillende responses op opeenvolgende samples incalculeren.
Het zal duidelijk zijn dat het digitaal transversaal filter op een en hetzelfde moment toegang moet hebben tot opeenvolgende samples, wil de berekening van het product van de coëfficiënten met de amplitude van de samples uitgevoerd kunnen worden.

1.1 Algemene eigenschappen van ADC's en DAC's

Vandaar dat een digitaal transversaal filter steeds is opgebouwd volgens het principiële blokschema van figuur 12/1.1-13.
De digitale monsters van de ingang worden ingelezen in een schuifregister. Dat schuifregister kan opgevat worden als de tijdsas uit figuur 12/1.1-12. Een digitaal monster dat op een bepaald tijdstip wordt ingelezen zal immers enige tijd later doorgeschoven zijn naar het midden van het register. Het schuifregister heeft aftakkingen die naar binaire vermenigvuldigers gaan. In deze trappen wordt de waarde van de monsters vermenigvuldigd met de reeds genoemde coëfficiënten. Terwijl een sample door het register schuift wordt na iedere verplaatsing de waarde van het monster met een nieuwe coëfficiënt vermenigvuldigd. Op deze manier wordt de respons van een analoog filter nagebootst. Al deze berekende nieuwe waarden gaan naar een soort van mengschakeling.
Daar wordt het effect van de overlapping ingecalculeerd en wordt de nieuwe monsterstroom samengesteld.



Figuur 12/1.1-13: De principiële samenstelling van een digitaal transversaal filter.



Figuur 12/1.1-14: De amplitudekarakteristiek van een laagdoorlatend digitaal transversaal filter

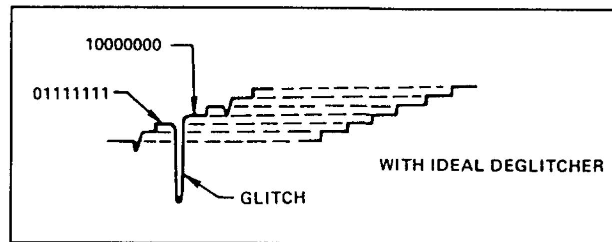
Bij een DAC dat werkt met 8 bit brede samples zal de nieuwe monsterstroom bestaan uit een nieuwe set 8 bit brede monsters, die met de dubbele of de vierdubbele frequentie worden uitgevoerd. Het lijkt dus net alsof de werking van het DTF de samplingfrequentie van het systeem met een bepaalde factor heeft verhoogd. Een DTF heeft, net als een analoog laagdoorlaat filter, een bepaalde bandbreedte en een frequentiekarakteristiek. In figuur 12/1.1-14 wordt deze karakteristiek gegeven voor een standaard DTF.
Deze karakteristiek is zo goed als ideaal. De kleine rimpel in de doorlaatband wordt veroorzaakt door afrondingsfouten in de waarde van de toegepaste filtercoëfficiënten. De nauwkeurigheid van het filter hangt af van de lengte van het interne schuifregister. Hoe langer dit is, hoe langer een digitaal monster in het filter blijft en hoe meer amplitudecoëfficiënten berekend kunnen worden.
Ook wat betreft looptijdverschillen en faseverschuivingen is een digitaal transversaal filter veel beter dan een analoog filter van een hoge orde.

1.1 Algemene eigenschappen van ADC's en DAC's

De uitgang van het DTF kan nu naar een snelle DAC worden gevoerd, waar de digitale codes met tweevoudige, viervoudige of achtvoudige clockfrequentie in een analoog signaal worden omgezet.

De deglitcher

Bij het omschakelen van de ene digitale code naar een andere kan het gebeuren dat de analoge uitgangsspanning even niet goed gedefinieerd is. Dit uit zich in smalle stoorpulsen op de analoge uitgangsspanning. Deze pulsen, glitches genoemd, ontstaan door signaalvertragingen in de DAC, waardoor niet alle niveauwijzigingen van de bits even snel worden verwerkt. Als bijvoorbeeld de digitale code van een acht bit brede DAC omschakelt van "0-1-1-1-1-1-1-1" naar "1-0-0-0-0-0-0-0", dan zal de analoge uitgangsspanning met slechts één stapwaarde stijgen. Maar bij deze stap schakelen wel alle bits van niveau om.
Zeker bij dergelijke codetransformaties kan men er zeker van zijn dat stoorpulsen op de uitgang ontstaan. Een typische glitch is voorgesteld in figuur 12/1.1-15.

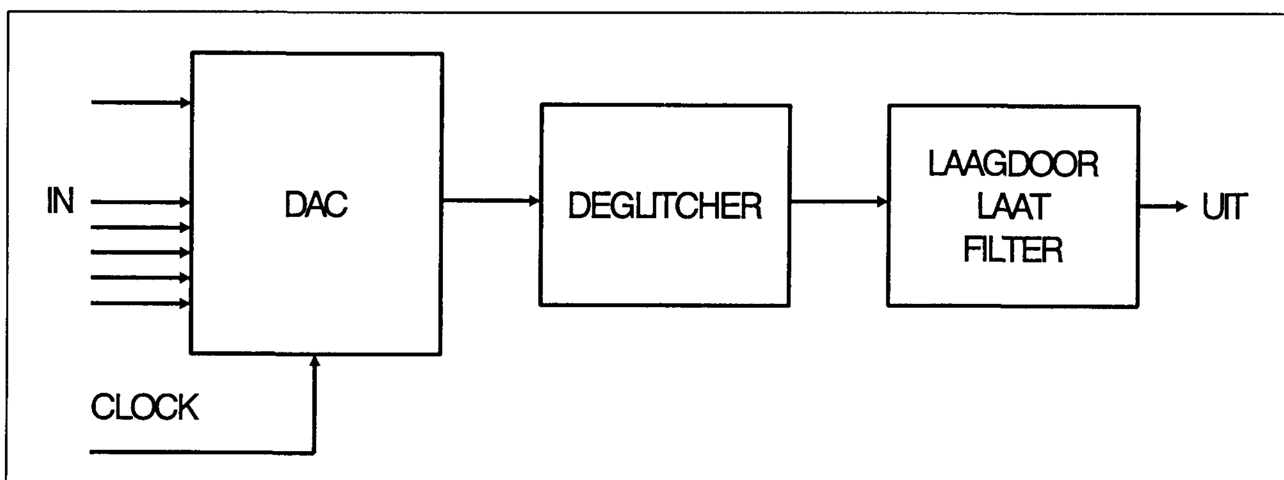


Figuur 12/1.1-15: Een glitch treedt op als een heleboel bits gelijktijdig van logisch niveau veranderen.

Het zal duidelijk zijn dat deze glitches zeer veel hoge harmonischen bevatten en zeer storend kunnen zijn bij de verdere verwerking van het analoog signaal. Om deze glitches uit het terug gewonnen analoog signaal te verwijderen zal men in de meeste gevallen de DAC afsluiten met een deglitcher, een speciale schakeling die deze stoorpulsen uit het signaal verwijdert. Er zijn zelfs DAC's die zijn voorzien van een ingebouwde deglitcher.

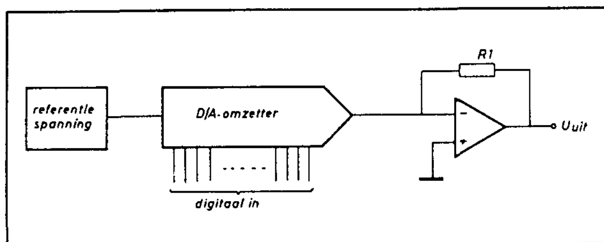
Blokschema van een DAC-systeem

Het blokschema van een praktisch bruikbaar DAC-systeem is getekend in figuur 12/1.1-16.

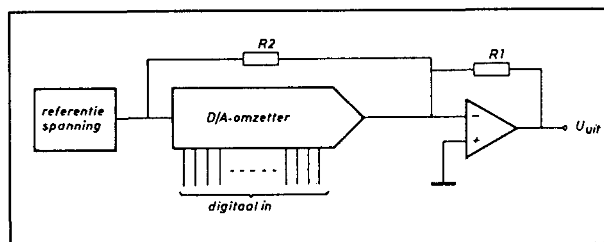


Figuur 12/1.1-16: Het blokschema van een praktisch bruikbaar DAC-systeem.

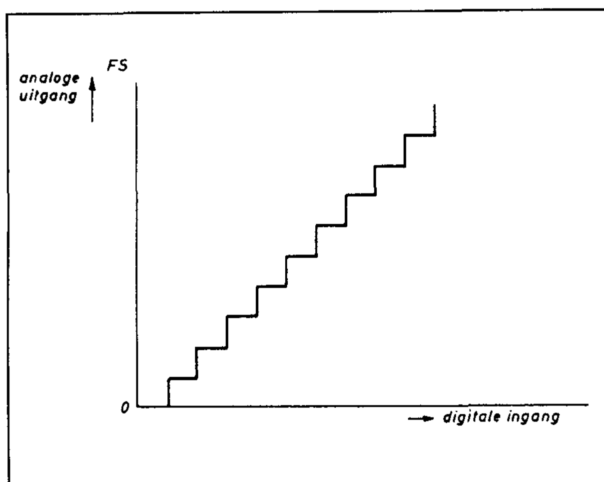
1.1 Algemene eigenschappen van ADC's en DAC's



Figuur 12/1.1-17: Het blokschema van een unipolaire DAC.



Figuur 12/1.1-19: Het algemene blokschema van een bipolaire DAC.



Figuur 12/1.1-18: De uitgangsspanning van een positieve unipolaire DAC in functie van de codesamenstelling van het digitale woord.

Soorten DAC's

Onafhankelijk van hun werkingsprincipe onderscheidt men drie soorten DAC's. Dat onderscheid heeft te maken met de manier waarop de digitale code op de ingangen zich verhoudt tot de analoge uitgangsspanning:
- de unipolaire DAC;
- de bipolaire of offset binair gecodeerde DAC;
- de sign-magnitude gecodeerde DAC.

Deze drie principes worden in de volgende paragrafen in het kort besproken.

Principe van de unipolaire DAC

Het blokschema van een unipolaire DAC is getekend in figuur 12/1.1-17.

De analoge uitgang van dit soort DAC zal 0 V bedragen als alle bits "0" zijn en stijgen tot een bepaalde positieve of negatieve einde schaal waarde als alle bits "1" zijn. Omdat de uitgangsspanning alleen positief of negatief kan zijn, noemt men dergelijke DAC's unipolair. In figuur 12/1.1-18 is de relatie tussen analoge uitgangsspanning en codering van een positieve unipolaire DAC getekend. Als men de digitale code alle opeenvolgende codes van "0-0-0-..." tot en met "1-1-1-..." laat doorlopen, dan stijgt de analoge uitgangsspanning trapvormig van 0 V tot de einde schaal waarde.

Principe van de bipolaire DAC

Bij de bipolaire DAC kan de analoge uitgangsspanning zowel negatief als positief zijn. Het algemene blokschema van een bipolaire DAC is getekend in figuur 12/1.1-19. Door het aanbrengen van een weerstand tussen de uitgang van de referentiespanning en de ingang van de stroom naar spanning omzetter wordt een offset geïntroduceerd, die het nulpunt van de schakeling naar het midden van het bereik verschuift. De analoge uitgangsspanning zal dus 0 V bedragen als de digitale code op de ingangen gelijk is aan "1-0-0-0-...". Als dit werkelijk het geval is, dan spreekt men van een offset binair gecodeerde DAC. De uitgangskarakteristiek van een offset binair gecodeerde DAC is getekend in figuur 12/1.1-20.

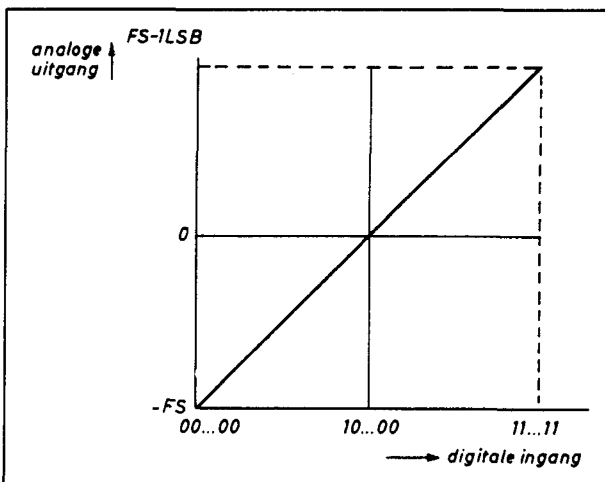
Merk op dat een dergelijke schakeling niet geheel en al symmetrisch werkt. Als de digitale code gelijk is aan "0-0-0-0-...", dan zal de analoge uitgangsspanning gelijk zijn aan

1.1 Algemene eigenschappen van ADC's en DAC's

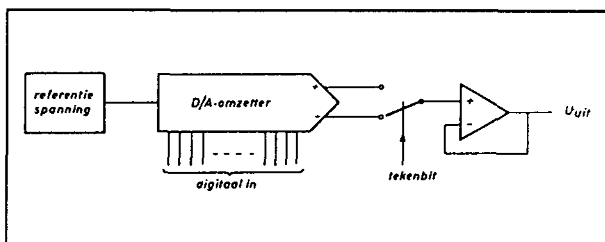
-FS, de negatieve volle schaal waarde. Is echter de codesamenstelling gelijk aan "1-1-1-1-...", dan is de analoge uitgangsspanning gelijk aan +FS - 1.LSB. De positieve volle schaal waarde is dus één bitgrootte kleiner dan de negatieve volle schaal waarde.

De sign-magnitude gecodeerde DAC

Het blokschema van de sign-magnitude gecodeerde DAC is getekend in figuur 12/1.1-21.

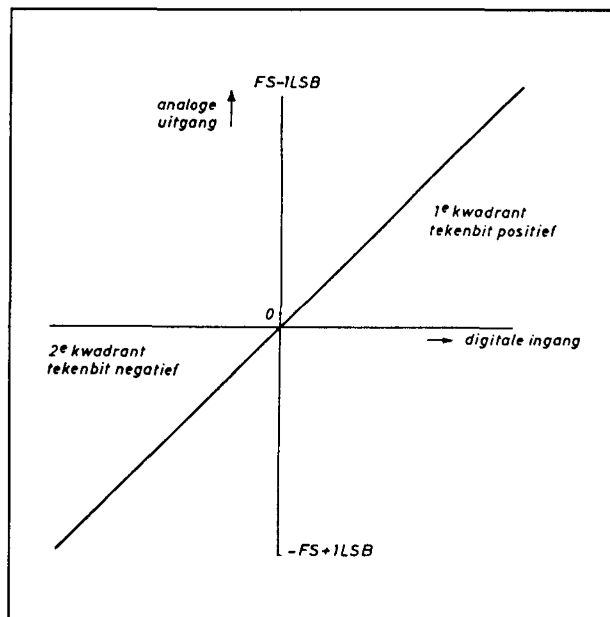


Figuur 12/1.1-20: De uitgangskarakteristiek van een offset binair gecodeerde of bipolaire DAC.



Figuur 12/1.1-21: Blokschema van een sign-magnitude gecodeerde DAC.

Aan de omzetter wordt een digitale code aangelegd, waarvan de volle breedte wordt gebruikt voor het bepalen van de absolute waarde van de analoge uitgangsspanning. Daarnaast staat echter nog een extra bit ter beschikking, het polariteitsbit, dat via een elektronische omschakelaar de ingang van de stroom naar spanning omzetter verbindt met óf de positieve óf de negatieve uitgang van de eigenlijke omzetter. Door het omschakelen van dit polariteitsbit wordt de stroom naar spanning omzetter gestuurd uit een even grote stroom, maar met de tegengestelde polariteit. Het gevolg is dat het tekenbit de polariteit van de analoge uitgangsspanning bepaalt. De uitgangskarakteristiek van een sign-magnitude gecodeerde DAC is getekend in figuur 12/1.1-22. Deze toont grote gelijkenis met deze van de bipolaire DAC. Maar er zijn toch wezenlijke verschillen. Op de eerste plaats verloopt de grafiek echt symmetrisch. De maximale positieve spanning en de minimale negatieve spanning zijn precies aan elkaar gelijk. Een tweede verschil is dat de analoge nul overeen komt met de digitale nul. De DAC levert 0 V aan de uitgang als de digitale code gelijk is aan "0-0-0-0-...". Hoewel deze verschillen misschien ver gezocht lijken, zijn er tal van toepassingen te bedenken waarbij deze minimale verschillen tussen een bipolaire en een signmagnitude gecodeerde DAC zeer belangrijk zijn.



Figuur 12/1.1-22: De uitgangskarakteristiek van een sign-magnitude gecodeerde DAC.

1.1 Algemene eigenschappen van ADC's en DAC's

Het enige nadeel van dergelijke schakelingen is dat zij twee analoge nullen hebben, een "positieve nul" en een "negatieve nul". Als de binaire code op de ingangen gelijk is aan "0-0-0-0-...", dan maakt het voor de analoge uitgangsspanning niet uit of het polariteitsbit "0" of "1" is.
In beide gevallen is de uitgangsspanning gelijk aan 0 V.

Specificaties van ADC's en DAC's

Inleiding

Als men aan een ADC een perfect zaagtandvormig verlopende ingangsspanning legt en de uitgangscodes toevoert aan een DAC, dan moet de uitgangsspanning van de DAC de zaagtand zo perfect mogelijk benaderen. In de praktijk is dat niet zo vanwege de reeds genoemde trapvormige benadering en de daaruit voortvloeiende quantiseringsvervorming.
Daar is nu eenmaal niets aan te doen, want dit verschijnsel is eigen aan het gebruikte procédé.
De ideale weergave van een ADC/DAC-systeem met een zaagtand op de ingang was reeds voorgesteld in figuur 12/1.1-18.

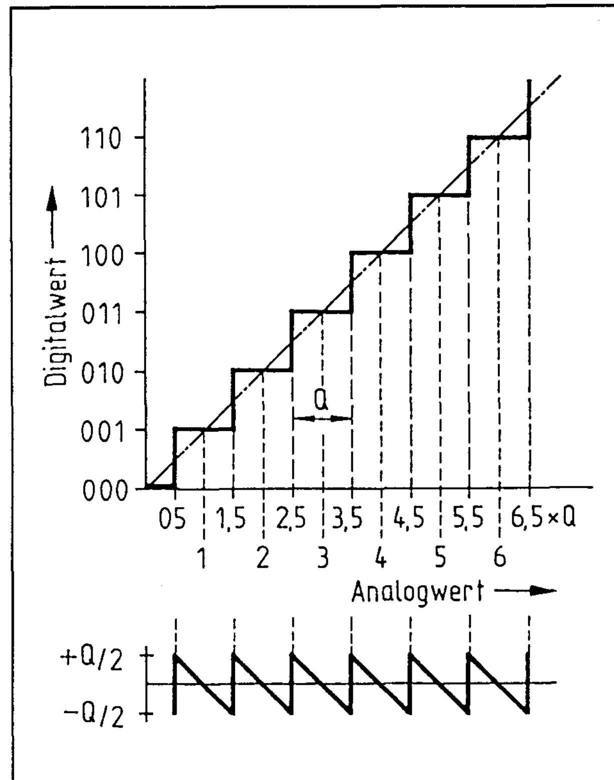
Foutbronnen

Maar afgezien van de quantiseringsvervorming zullen er nog andere fouten optreden, die te maken hebben met de niet ideale werking van de ADC en van de DAC:
- quantiseringsfout;
- schaalfout;
- offsetfout;
- hysteresisfout;
- niet-lineariteit;
- niet-monotoniciteit.

De waarde van deze fouten is een belangrijk kwaliteitscriterium voor een ADC of DAC.
In de volgende paragrafen zullen deze specificaties in het kort worden toegelicht aan de hand van een unipolaire DAC.

De quantiseringsfout

Dit begrip is al vaak aan de orde geweest, maar nog nooit is eigenlijk toegelicht wat de basis van deze harmonische vervorming is. In figuur 12/1.1-23 is toegelicht wat de oorzaak van deze vervorming is.



Figuur 12/1.1-23: Het ontstaan van de quantiseringsvervorming.

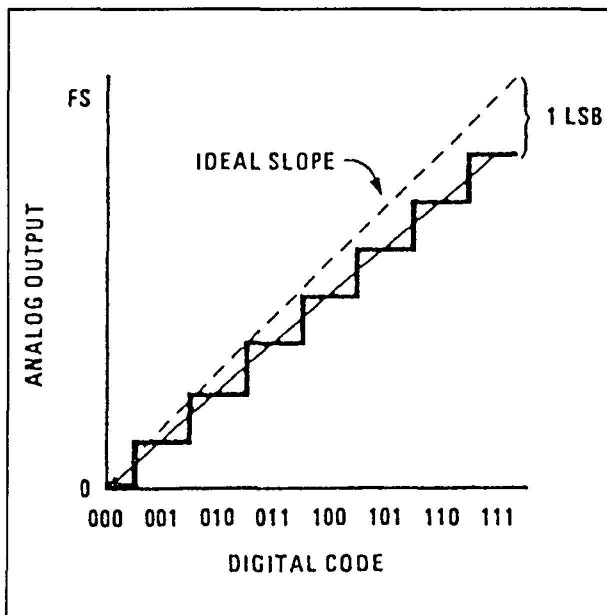
De DAC levert een trapvormige benadering van de zaagtandvormige ingangsspanning. In het getekende voorbeeld zal een digitale code van "0-1-1" door de ADC worden opgewekt als de zaagtand tussen de 2,5 en de 3,5 V ligt. In het herwonnen analoog signaal wordt dit gehele spanningsgebied voorgesteld door een spanning van 3 V. Er is, per trap van de trapvormige benadering, maar één spanning waarbij het uitgangssignaal precies gelijk is aan het ingangssignaal. In dit voorbeeld is dat het moment waarop de ingangsspanning gelijk is aan 3 V. Rond deze waarde bestaat er een afwijking tussen de

1.1 Algemene eigenschappen van ADC's en DAC's

momentele waarde van de ingangsspanning en de momentele waarde van de uitgangsspanning. Uit de grafiek blijkt duidelijk dat deze afwijking zaagtandvormig verloopt rond dat ene punt van 3 V waar er geen afwijking bestaat.

De schaalfout (scale error)

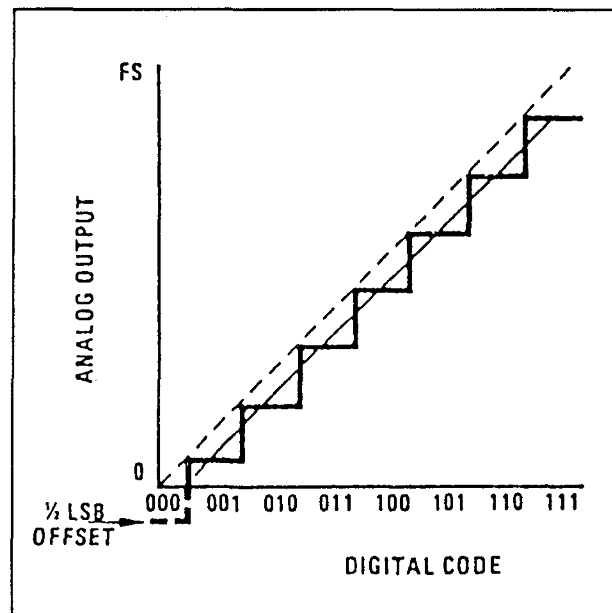
De schaalfout geeft de afwijking aan tussen de theoretische volle schaal spanning en de reële volle schaal spanning van een DAC. In de praktijk heeft deze afwijking tot gevolg dat de steilheid van de herwonnen zaagtand kleiner of groter is dan de theoretische waarde. In figuur 12/1.1-24 wordt de uitgangskarakteristiek gegeven van een DAC die een schaalfout heeft van 1 LSB, dus van 1 bitgrootte. Deze fout kan gecompenseerd worden door de waarde van de referentiespanning iets bij te regelen.



Figuur 12/1.1-24: Grafische verklaring van het begrip schaalfout.

De offsetfout

De offsetfout is de reële uitgangsspanning van een DAC als alle digitale ingangen "0" zijn. In theorie zou de uitgangsspanning dan nul moeten zijn, maar de meeste praktische DAC's hebben een offsetfout van enige mV tot enige tientallen mV. De uitwerking van deze offsetfout op de uitgangskarakteristiek van het systeem is getekend in figuur 12/1.1-25. De offsetfout veroorzaakt dus een horizontale verschuiving van de karakteristiek.



Figuur 12/1.1-25: Grafische definitie van de offsetfout.

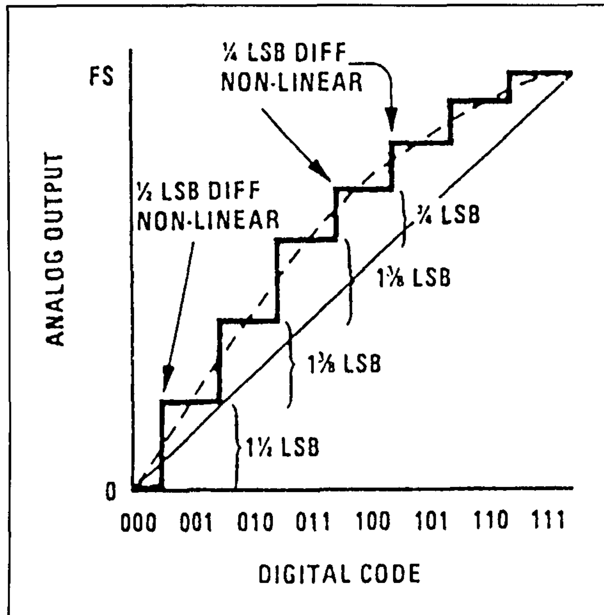
De hysteresisfout

De hysteresisfout is een typische afwijking van ADC's. De hysteresisfout geeft aan dat de spanningsdrempel waarop de uitgang van de ene code naar de andere omschakelt niet constant is, maar afhankelijk van de richting waarin de analoge ingangsspanning varieert. Stijgt deze spanning, dan zal de uitgang dus bij een andere drempel omschakelen dan wanneer de ingangsspanning daalt.

Niet-lineariteit

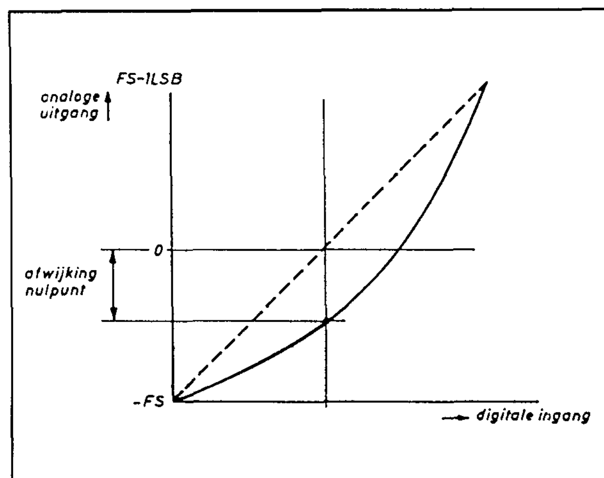
Zoals de naam reeds doet vermoeden definieert de niet-lineariteit van een ADC of DAC de mate waarin de uitgangskarakteristiek afwijkt van een gemiddelde rechte lijn. Dit verschijnsel wordt grafisch toegelicht in figuur 12/1.1-26.

1.1 Algemene eigenschappen van ADC's en DAC's

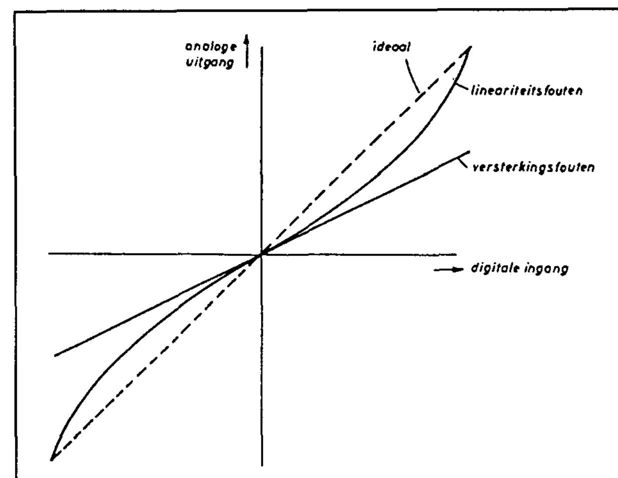


Figuur 12/1.1-26: Het verschijnsel niet-lineariteit grafisch toegelicht.

Een DAC met een grote niet-lineaire afwijking is uiteraard niet erg bruikbaar in een nauwkeurig systeem. Maar als de schakeling unipolair werkt valt er nog wel mee te leven. Veel tragischer zijn de gevolgen als een bipolaire DAC een grote niet lineaire afwijking heeft. Waarom dat zo is volgt uit figuur 12/1.1-27. De niet-lineariteit heeft tot gevolg dat het nulpunt van de analoge uitgang niet meer in het midden van de digitale codes ligt. Bij vele schakelingen in de regeltechniek wordt nu net het nulpunt als referentie gebruikt. Men kan nu begrijpen waarom de sign-magnitude schakeling is ontwikkeld. Deze heeft van verschuiving van het nulpunt bij niet lineair gedrag geen last! Dat blijkt uit figuur 12/1.1-28, waarin de uitgangskarakteristiek van een sign-magnitude DAC met grote niet-lineaire fout is getekend. De curve loopt wel krom, maar het digitaal nulpunt blijft samenvallen met het analoog nulpunt.



Figuur 12/1.1-27: Niet-lineaire fouten kunnen leiden tot een grote verschuiving van het nulpunt bij bipolaire omzetters.



Figuur 12/1.1-28: Het resultaat van een niet-lineaire fout op de uitgangskarakteristiek van een sign-magnitude DAC.

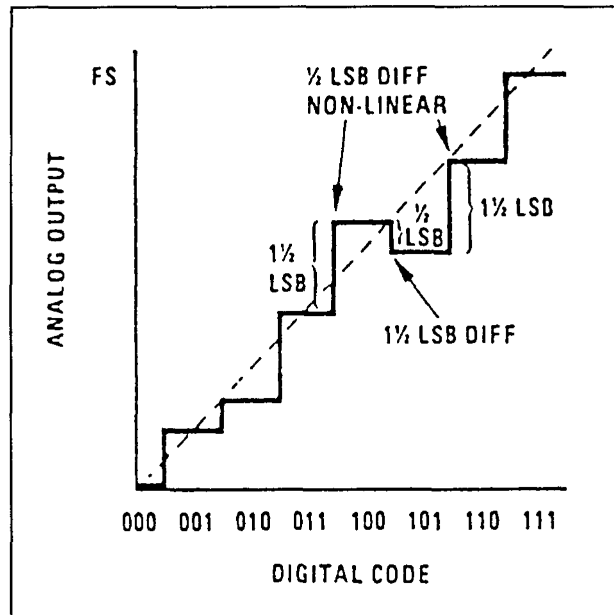
De niet-lineariteit ontstaat doordat niet alle trapjes van de trapvormige benadering even groot zijn. Deze fout kan zowel in de ADC als in de DAC van het systeem ontstaan. Zoals de meeste fouten wordt ook deze uitgedrukt in aantal LSB.

Niet-monotoniciteit

Een ADC of DAC met een niet-monotone fout zal, zoals getekend in figuur 12/1.1-29, op één of op verschillende plaatsen in zijn uitgangskarakteristiek een dalende stap hebben in plaats van een stijgende stap. Deze

1.1 Algemene eigenschappen van ADC's en DAC's

niet-monotoniciteit is een rechtstreeks gevolg van een systeem met een grote niet-lineariteit. Zolang de niet-lineariteit kleiner is dan 1/2 LSB werkt de schakeling gegarandeerd monotoon. Is de niet-lineariteit groter dan 1/2 LSB, dan kàn de schakeling niet monotoon zijn, maar zeker is dat niet.
Een niet monotone ADC of DAC kan bij sommige toepassingen tot grote systeemfouten leiden.



Figuur 12/1.1-29: Het verschijnsel niet-monotoniciteit grafisch toegelicht.

12/2

Comparatoren

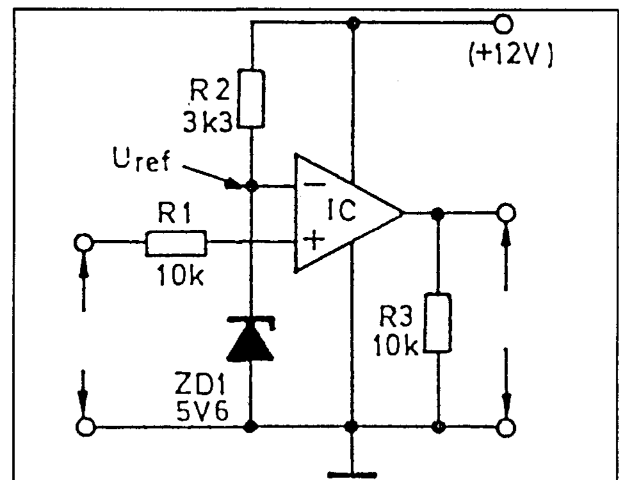
Inhoud

12/2.1

Achtergrond-informatie

Inleiding

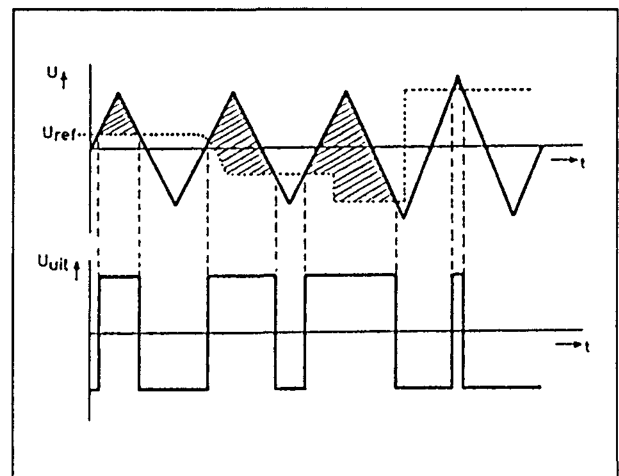
Comparatoren zijn schakelingen die een analoge spanning vergelijken met een andere analoge spanning. De eerste spanning is de ingangsspanning, de tweede de referentie- of drempelspanning. Wordt de ingangsspanning gelijk aan de drempelspanning, dan zal de uitgang omklappen van het ene naar het andere logische niveau. De twee ingangen zijn vergelijkbaar met deze van een operationele versterker. De uitgangsstructuur is echter heel anders van samenstelling en geeft de comparator zijn specifieke eigenschappen. Dat is het grote onderscheid tussen een op-amp en een comparator.
De uitgangstrap van een comparator is namelijk zo ontworpen dat de uitgangspuls zo snel mogelijk omschakelt van het ene naar het andere logische niveau.



Figuur 12/2.1-1: De basisschakeling van een comparator.

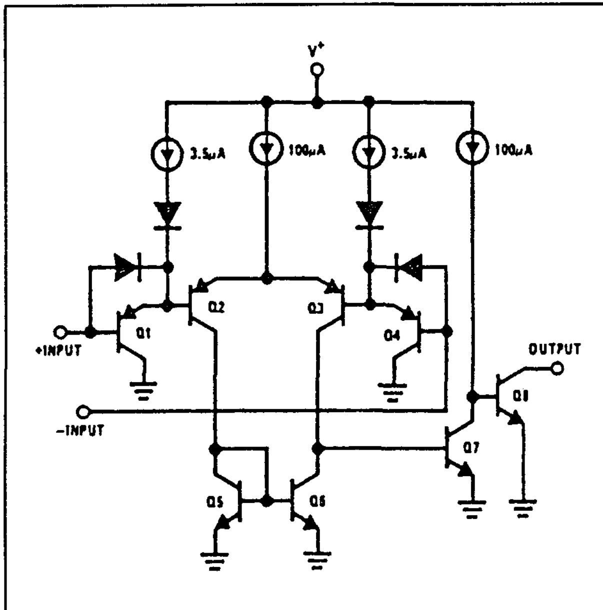
Basisschema

Het basisschema van een comparator is getekend in figuur 12/2.1-1. De inverterende ingang is verbonden met de referentiespanning, opgewekt door de zenerdiode ZD1. De niet-inverterende ingang gaat naar het ingangssignaal. De werking wordt grafisch toegelicht aan de hand van figuur 12/2.1-2. Is de ingangsspanning groter dan de referentiespanning, dan is de uitgang van de comparator "H". Wordt de ingangsspanning kleiner dan de referentie, dan klapt de comparator om en wordt de uitgang "L". In de figuur wordt de werking van de schakeling toegelicht voor verschillende waarden van de referentiespanning.

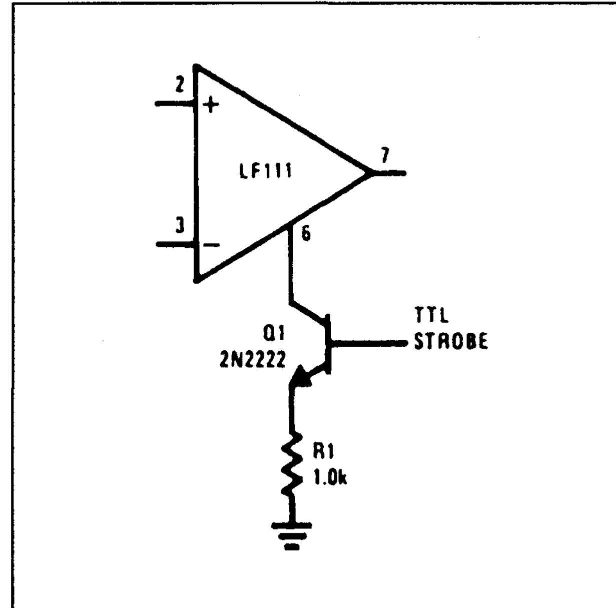


Figuur 12/2.1-2: De werking van de comparator grafisch toegelicht.

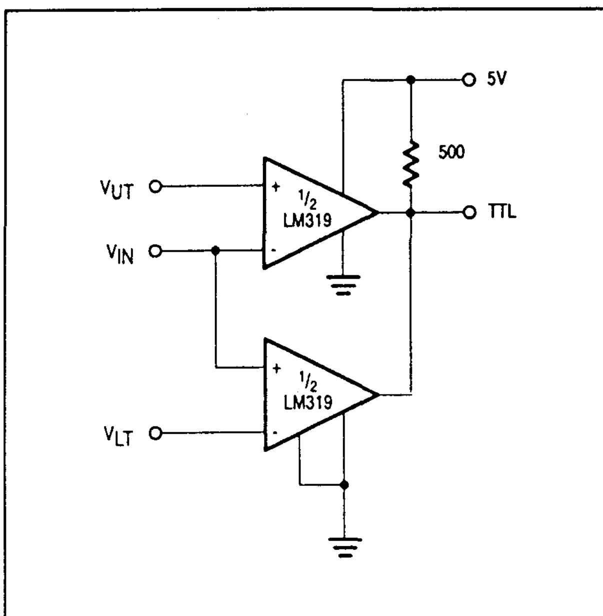
2.1 Achtergrond-informatie



Figuur 12/2.1-3: De open-collector van een LM193.



Figuur 12/2.1-5: Het besturen van de strobe van een comparator van het type LF111.



Figuur 12/2.1-4: De open-collectoren van twee comparatoren worden extern verbonden in een wired-OR.

De uitgang van een comparator

De meeste comparatoren hebben een open-collector of open-emitter uitgang.

In figuur 12/2.1-3 is bijvoorbeeld het inwendige schema van een LM193 getekend. De uitgang is intern verbonden met de collector van een transistor, waarvan de emitter verbonden is met de massa. Men zal dus bij een dergelijke comparator steeds een externe belasting naar de positieve voeding moeten opnemen! Het grote voordeel van deze open-collector structuur is dat men comparatoren eenvoudig in een wired-OR kan opnemen, dus alle uitgangen parallel schakelen met één gemeenschappelijke belasting. In figuur 12/2.1-4 is een voorbeeld van een dergelijke wired-OR gegeven. De schakeling werkt als vensterdiscriminator, waarbij een ingangsspanning V_{IN} vergeleken wordt met twee drempelspanningen V_{UT} en V_{LT}. De uitgangsspanning wordt gelijk aan +5 V als de waarde van de ingangsspanning tussen de twee drempels in ligt en gaat naar nul als de ingangsspanning groter wordt dan V_{UT} of kleiner dan V_{LT}. Om de toepasbaarheid van comparatoren nog universeler te maken zijn er echter ook schakelingen verkrijgbaar, waarbij zowel de emitter als de collector naar buiten zijn gevoerd.

2.1 Achtergrond-informatie

De strobe

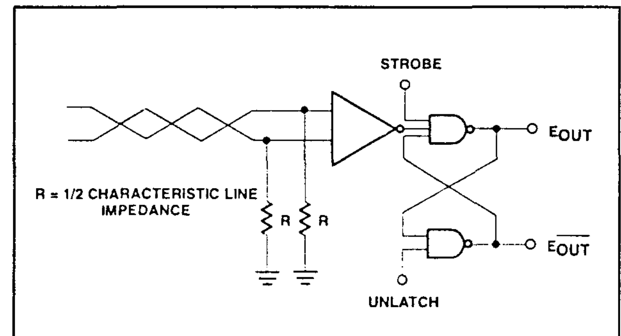
Een heleboel comparatoren hebben een zogenaamde strobe-ingang. Door een "L" of een "H" op deze ingang te zetten (afhankelijk van het type, zie figuur 12/2.1-5) zal de uitgang van de comparator naar sper gestuurd worden. Te vergelijken met de "tri-state" toestand van geheugens.

Offset-compensatie

Net zoals operationele versterkers bezitten vele comparatoren twee aansluitingen, waarmee men de offsetspanning van de ingangstrappen kan compenseren.

Differentiële comparatoren

Sommige comparatoren zijn speciaal ontworpen met het oog op differentiële toepassingen. Hierbij worden beide ingangen aangesloten op ingangssignalen, bijvoorbeeld een gebalanceerde lijn. Dergelijke comparatoren worden differentiële comparatoren genoemd, of ook wel sense amplifiers. Het grote schakeltechnische verschil met de gewone comparatoren is dat beide ingangen deel uitmaken van een verschilversterker, ingangsschakeling bij ook bij operationele versterkers standaard wordt toegepast. Een typische toepassing van een differentiële comparator als lijnontvanger is getekend in figuur 12/2.1-6.



Figuur 12/2.1-6: Een toepassing van een differentiële comparator als lijnontvanger.

Bij deze toepassing wordt de differentiële comparator gebruikt voor het herwinnen van een oorspronkelijk mooi digitaal signaal, dat is vervormd door transmissie via een lange, ruisgevoelige kabel. De door de twisted-pair kabel opgevangen ruis is differentieel, hetgeen betekent dat het ruissignaal op beide aders in even grote amplitude en gelijke fase aanwezig is.
Deze common-mode ruis en alle overige common-mode signalen, zoals 50 Hz en 100 Hz brom, worden door de differentiële structuur van de comparator uit het signaal verwijderd.

2.1 Achtergrond-informatie

12/2.2

Type-beschrijving LM/NE-serie van Philips

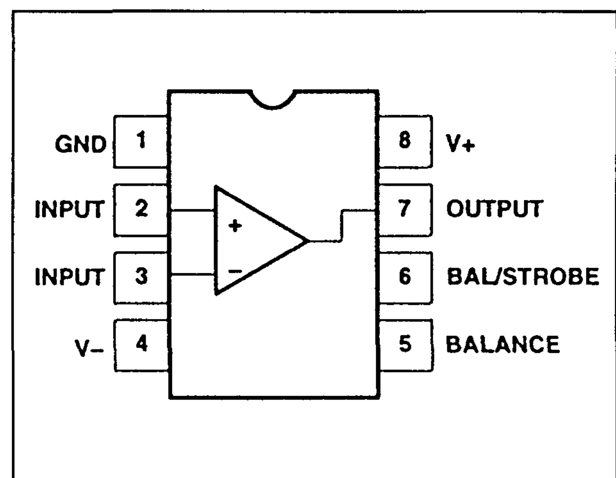
LM 111

enkelvoudig, 200 ns, 3,0 mV

De LM111 is een enkelvoudige comparator, die reeds goed werkt bij een voedingsspanning van 3 V. De uitgangstrap levert TTL-compatibele signalen af en is in staat een stroom van 50 mA te sinken. Het IC kan dus rechtstreeks relaisspoelen, LED's en gloeilampjes aansturen. De uitgangstrap heeft een open-collector structuur. De schakeling heeft twee aansluitingen die als offset-compensatie en als strobe kunnen dienen.

Technische gegevens

- fabrikant: Philips, Signetics
- behuizing: DIL-8
- aansluitgegevens: figuur 12/2.2-1
- intern schema: figuur 12/2.2-2
- voedingsspanning:
  minimaal: 3 V
  maximaal: 36 V, +/-18 V
- voedingsstroom:
  positief: 6,0 mA max.
  negatief: -5,0 mA max.
- **algemene karakteristieken:**
  - versterking: 200.000 typisch
  - response-tijd: 200 ns typisch
  - strobe-stroom: 3,0 mA typisch
- **ingangskarakteristieken:**
  - offset-spanning: 3,0 mV max.
  - offset-stroom: 10 nA max.
  - bias-stroom: 100 nA max.
  - maximale ingangsspanning:
    +13,8 V positief
    -14,7 V negatief
- **uitgangskarakteristieken:**
  - verzadigingsspanning: 1,5 V max.
  - lekstroom: 10 nA max.
  - uitgangsstroom: 50 mA max.



Figuur 12/2.2-1: Aansluitgegevens van de LM111.

Voorbeeld-schakelingen

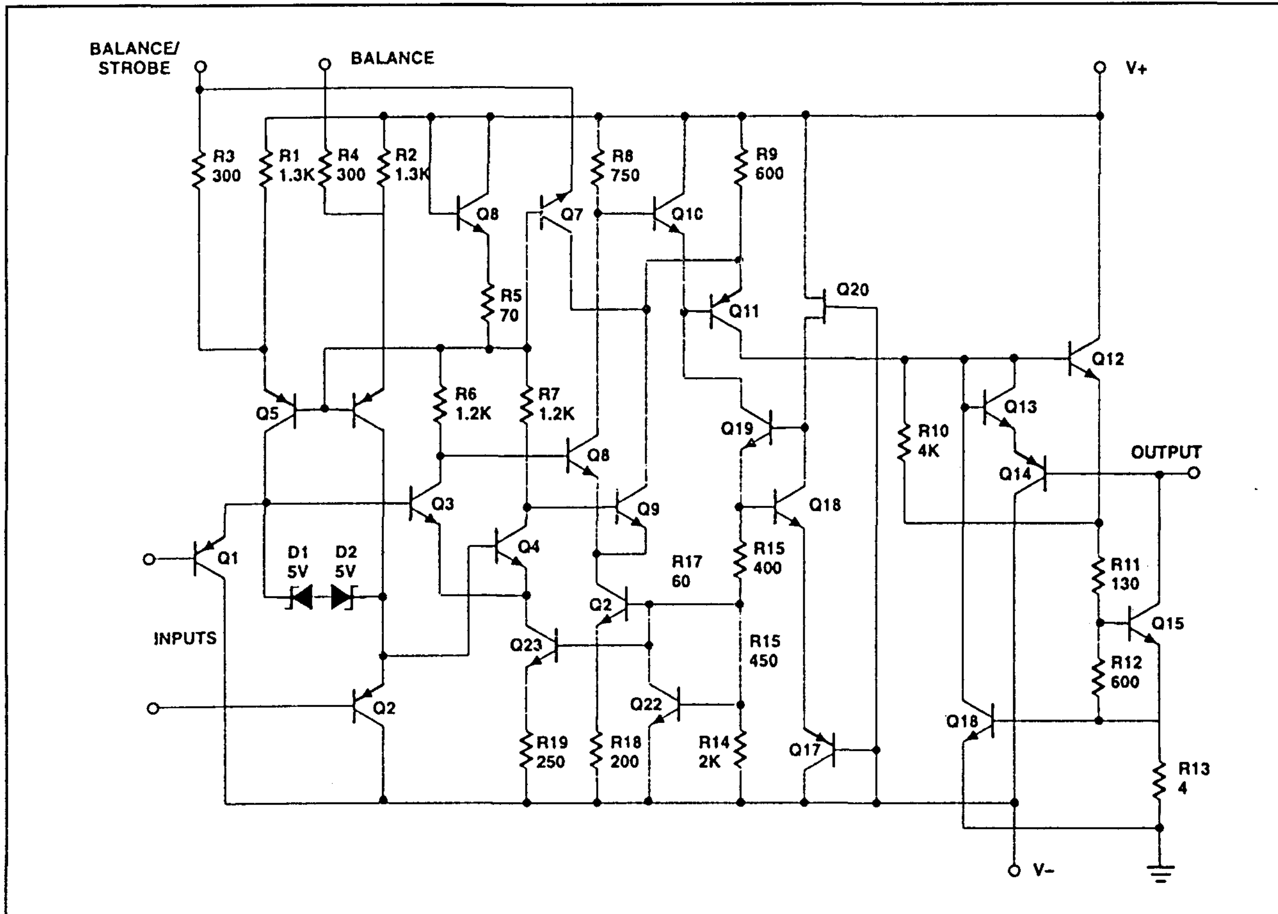
- Figuur 12/2.2-3:

Uit dit basisschema blijkt hoe de offset-compensatie van de LM111 uit de positieve voedingsspanning moet worden ingesteld. De schakeling is een nul-detector die een uitgangspuls genereert op het moment dat de ingangsspanning door 0 V gaat.

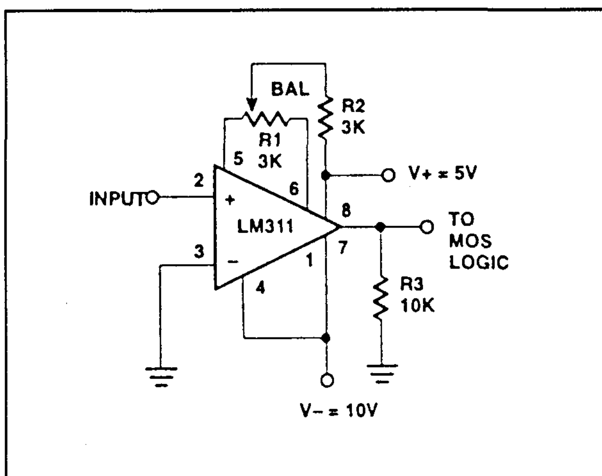
- Figuur 12/2.2-4:

In deze schakeling wordt de LM111 gebruikt voor het digitaliseren van het uitgangssignaal van een magnetische spoel, bijvoorbeeld het uitgangssignaal van een magnetische transducer in een tape-geheugen.

2.2 Type-beschrijving LM/NE-serie van Philips



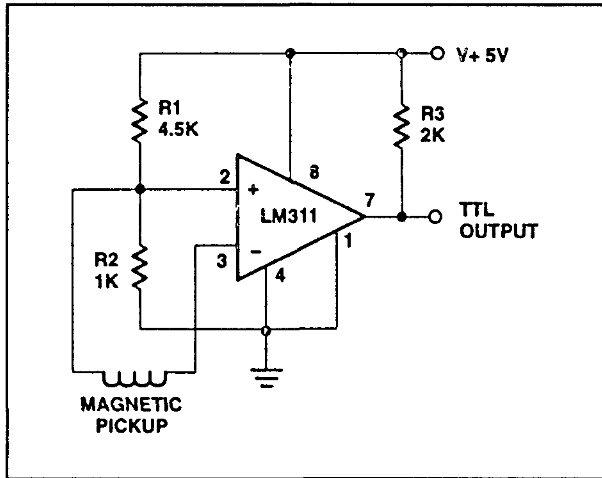
Figuur 12/2.2-2: Intern schema van de LM111.



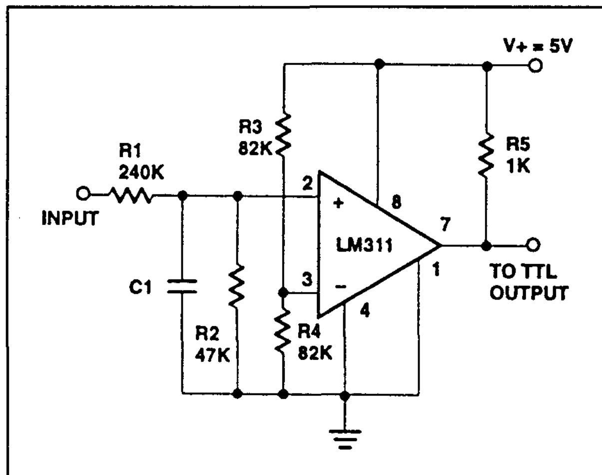
Figuur 12/2.2-3: De LM111 gebruikt als zero-detector.

– Figuur 12/2.2-5:
Een schakeling waarmee analoge ingangssignalen kunnen worden omgezet in TTL-compatibele digitale signalen. De inverterende ingang van de comparator wordt ingesteld op een spanning van +2,5 V en de analoge ingangsspanning wordt met deze drempel vergeleken.

2.2 Type-beschrijving LM/NE-serie van Philips



Figuur 12/2.2-4: Een detector voor het digitaliseren van de uitgangssignalen van een magnetische transducer.



Figuur 12/2.2-5: Analoge signalen worden met deze schakeling omgezet in TTL-compatibele uitgangssignalen.

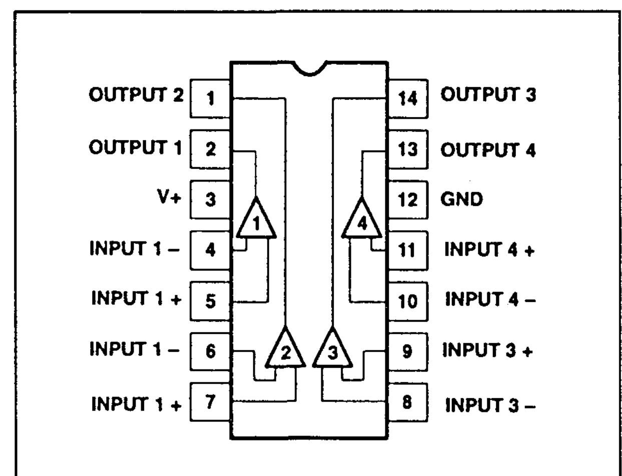
LM 139

viervoudig, 300 ns, 9,0 mV

De LM139 is een viervoudige comparator, die reeds goed werkt bij een voedingsspanning van 2 V. De uitgangstrap levert TTL-compatibele signalen af en is in staat een stroom van 16 mA te sinken. De uitgangstrap heeft een open-collector structuur. De schakeling heeft geen voorzieningen voor offset-compensatie of strobe.

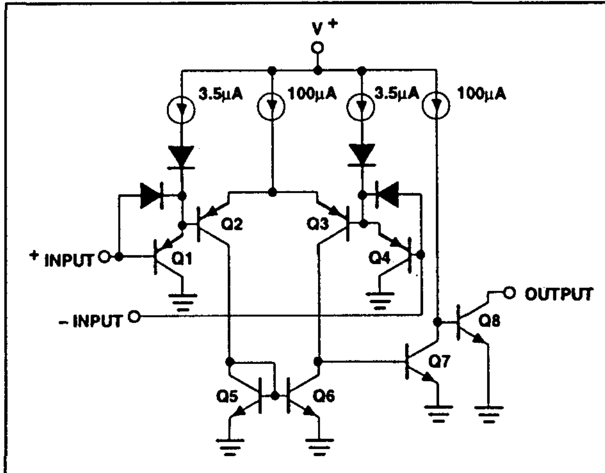
Technische gegevens

- fabrikant: Philips, Signetics
- behuizing: DIL-14
- aansluitgegevens: figuur 12/2.2-6
- intern schema: figuur 12/2.2-7
- voedingsspanning:
  minimaal: 2 V
  maximaal: 36 V, +/-18 V
- voedingsstroom:
  positief: 2,0 mA max.
  negatief: -2,0 mA max.
- **algemene karakteristieken:**
  - versterking: 200.000 typisch
  - response-tijd: 300 ns typisch
- **ingangskarakteristieken:**
  - offset-spanning: 9,0 mV max.
  - offset-stroom: 100 nA max.
  - bias-stroom: 300 nA max.
  - maximale ingangsspanning:
    +16,0 V positief
    -16,0 V negatief
- **uitgangskarakteristieken:**
  - verzadigingsspanning: 700 mV max.
  - lekstroom: 100 nA max.
  - uitgangsstroom: 16 mA max.

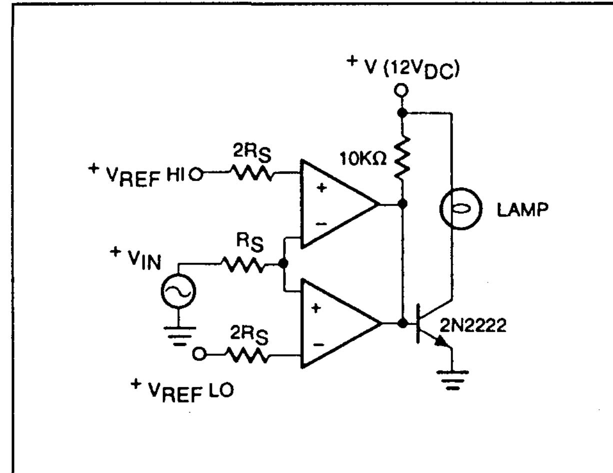


Figuur 12/2.2-6: Aansluitgegevens van de LM139.

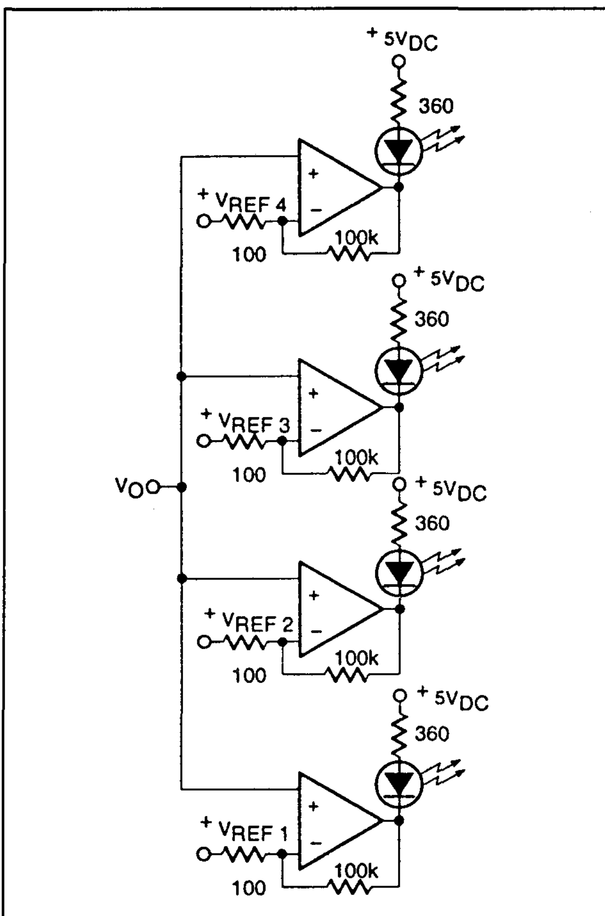
2.2 Type-beschrijving LM/NE-serie van Philips



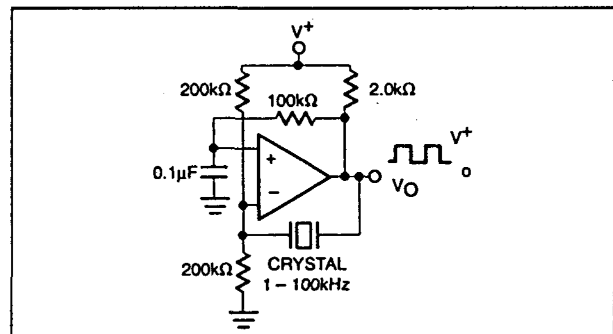
Figuur 12/2.2-7: Intern blokschema van de LM139.



Figuur 12/2.2-9: Een vensterdiscriminator met een halve LM139.



Figuur 12/2.2-8: De LM139 gebruikt als bargraph-indicator.



Figuur 12/2.2-10: Een kristaloscillator samengesteld rond één comparator uit een LM139.

Voorbeeld-schakelingen

– Figuur 12/2.2-8:

Bargraph-indicator, waarbij de vier comparatoren uit een NE139 worden gebruikt voor het sturen van vier LED's. De ingangsspanning V wordt vergeleken met vier referentiespanningen, die aan de inverterende ingangen van de comparatoren worden toegevoerd.

– Figuur 12/2.2-9:

Vensterdiscriminator met een halve LM139. De ingangsspanning wordt vergeleken met een hoge en met een lage drempel. De uit-

2.2 Type-beschrijving LM/NE-serie van Philips

gangen worden in een wired-OR gekoppeld en sturen de basis van de schakeltransistor 2N2222.

- Figuur 12/2.2-10:

Kristaloscillator rond één comparator uit een LM139.
Het kristal wordt opgenomen in de terugkoppellus van de uitgang naar de inverterende ingang. De niet-inverterende ingang wordt ontkoppeld.

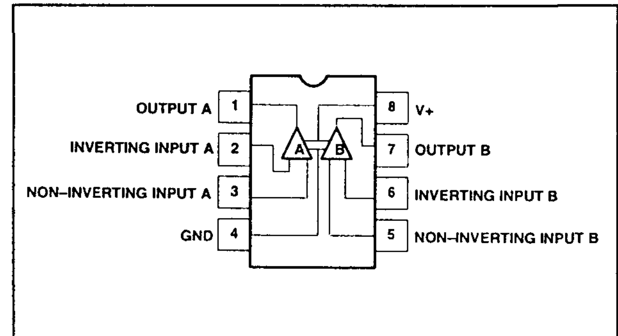
LM 193

tweevoudig, 300 ns, 4,0 mV

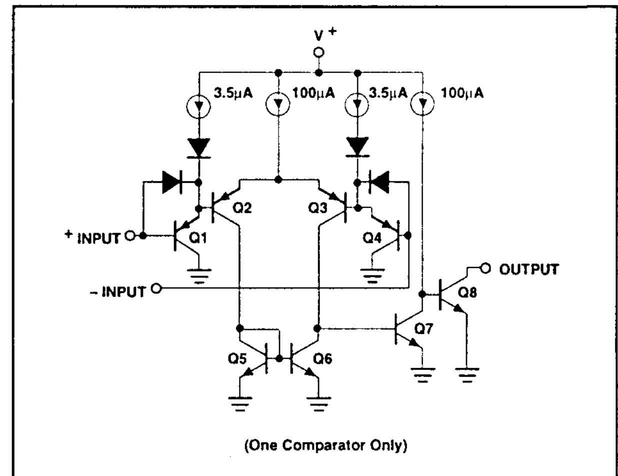
De LM193 is een dubbele comparator, die reeds goed werkt bij een voedingsspanning van 2 V. De uitgangstrap levert TTL-compatibele signalen af en is in staat een stroom van 16 mA te sinken. De uitgangstrap heeft een open-collector structuur. De schakeling heeft géén offset-compensatie of strobe.

Technische gegevens

- fabrikant: Philips, Signetics
- behuizing: DIL-8
- aansluitgegevens: figuur 12/2.2-11
- intern blokschema: figuur 12/2.2-12
- voedingsspanning:
  minimaal: 2 V
  maximaal: 36 V, +/-18 V
- voedingsstroom:
  positief: 2,5 mA max.
  negatief: -2,5 mA max.
- **algemene karakteristieken:**
  - versterking: 200.000 typisch
  - response-tijd: 300 ns typisch
- **ingangskarakteristieken:**
  - offset-spanning: 4,0 mV max.
  - offset-stroom: 100 nA max.
  - bias-stroom: 300 nA max.
  - maximale ingangsspanning:
    +16,0 V positief
    -16,0 V negatief
- **uitgangskarakteristieken:**
  - verzadigingsspanning: 700 mV max.
  - lekstroom: 100 nA max.
  - uitgangsstroom: 16 mA max.



Figuur 12/2.2-11: Aansluitgegevens van de LM193.

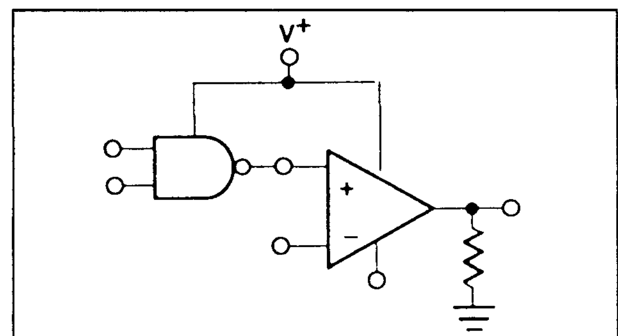


Figuur 12/2.2-12: Intern blokschema van de LM193.

Voorbeeld-schakeling

- Figuur 12/2.2-13:

TTL-naar-CMOS omzetter met één comparator uit de LM193.



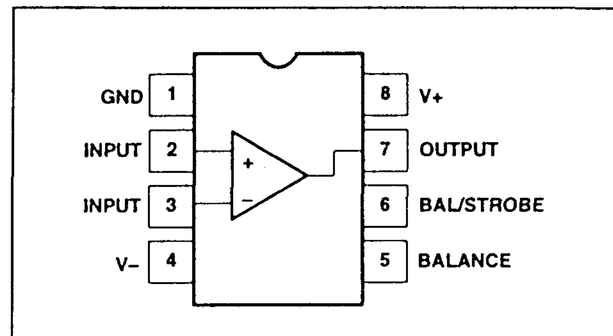
Figuur 12/2.2-13: De LM193 gebruikt als TTL-naar-CMOS omzetter.

2.2 Type-beschrijving LM/NE-serie van Philips

LM 211

enkelvoudig, 200 ns, 3,0 mV

De LM211 is een enkelvoudige comparator, die reeds goed werkt bij een voedingsspanning van 3 V. De uitgangstrap levert TTL-compatibele signalen af en is in staat een stroom van 50 mA te sinken. Het IC kan dus rechtstreeks relaisspoelen, LED's en gloeilampjes aansturen. De uitgangstrap heeft een open-collector structuur. De schakeling heeft twee aansluitingen die als offset-compensatie en als strobe kunnen dienen.



Figuur 12/2.2-14: Aansluitgegevens van de LM211.

Figuur 12/2.2-15: Intern schema van de LM211.

Technische gegevens
- fabrikant: Philips, Signetics
- behuizing: DIL-8
- aansluitgegevens: figuur 12/2.2-14
- intern schema: figuur 12/2.2-15
- voedingsspanning:
  minimaal: 3 V
  maximaal: 36 V, +/-18 V
- voedingsstroom:
  positief: 6,0 mA max.
  negatief: -5,0 mA max.
- **algemene karakteristieken:**
  - versterking: 200.000 typisch
  - response-tijd: 200 ns typisch
  - strobe-stroom: 3,0 mA typisch
- **ingangskarakteristieken:**
  - offset-spanning: 3,0 mV max.
  - offset-stroom: 10 nA max.
  - bias-stroom: 100 nA max.
  - maximale ingangsspanning:
    +13,8 V positief
    -14,7 V negatief
- **uitgangskarakteristieken:**
  - verzadigingsspanning: 1,5 V max.
  - lekstroom: 10 nA max.
  - uitgangsstroom: 50 mA max.

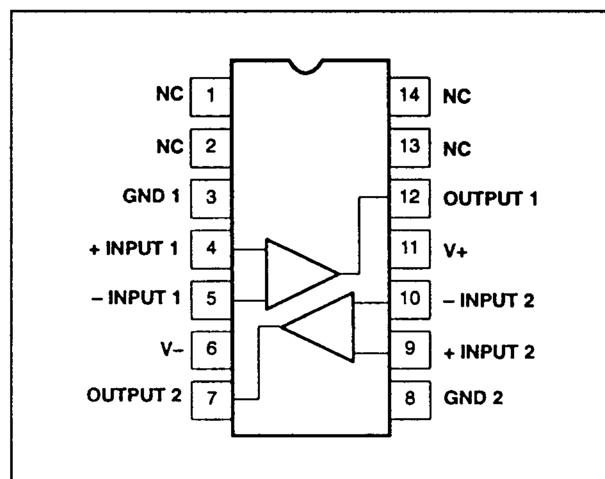
LM 219

tweevoudig, 80 ns, 7,0 mV

De LM219 is een tweevoudige comparator, die speciaal ontworpen is voor een TTL-compatibele voedingsspanning van 5 V. Schakeltechniek bekeken is de LM219 compatibel met de µA710, De uitgangstrap levert TTL-compatibele signalen af (fan-out = 3) en is in staat een stroom van 25 mA te sinken. Het IC kan dus rechtstreeks relaisspoelen, LED's en gloeilampjes aansturen.

De uitgangstrap heeft een open-collector structuur. De schakeling heeft géén offset-compensatie of strobe.

Technische gegevens
- fabrikant: Philips, Signetics
- behuizing: DIL-14
- aansluitgegevens: figuur 12/2.2-16
- intern schema: figuur 12/2.2-17
- voedingsspanning:
  minimaal: 5 V
  maximaal: 36 V, +/-18 V
- voedingsstroom:
  positief: 12,5 mA max.
  negatief: -5,0 mA max.
- **algemene karakteristieken:**
  - versterking: 40.000 typisch
  - response-tijd: 80 ns typisch
- **ingangskarakteristieken:**
  - offset-spanning: 7,0 mV max.
  - offset-stroom: 100 nA max.
  - bias-stroom: 1 µA max.
  - maximale ingangsspanning:
    +15,0 V positief
    -15,0 V negatief
- **uitgangskarakteristieken:**
  - verzadigingsspanning: 0,6 V max.
  - lekstroom: 10 µA max.
  - uitgangsstroom: 25 mA max.

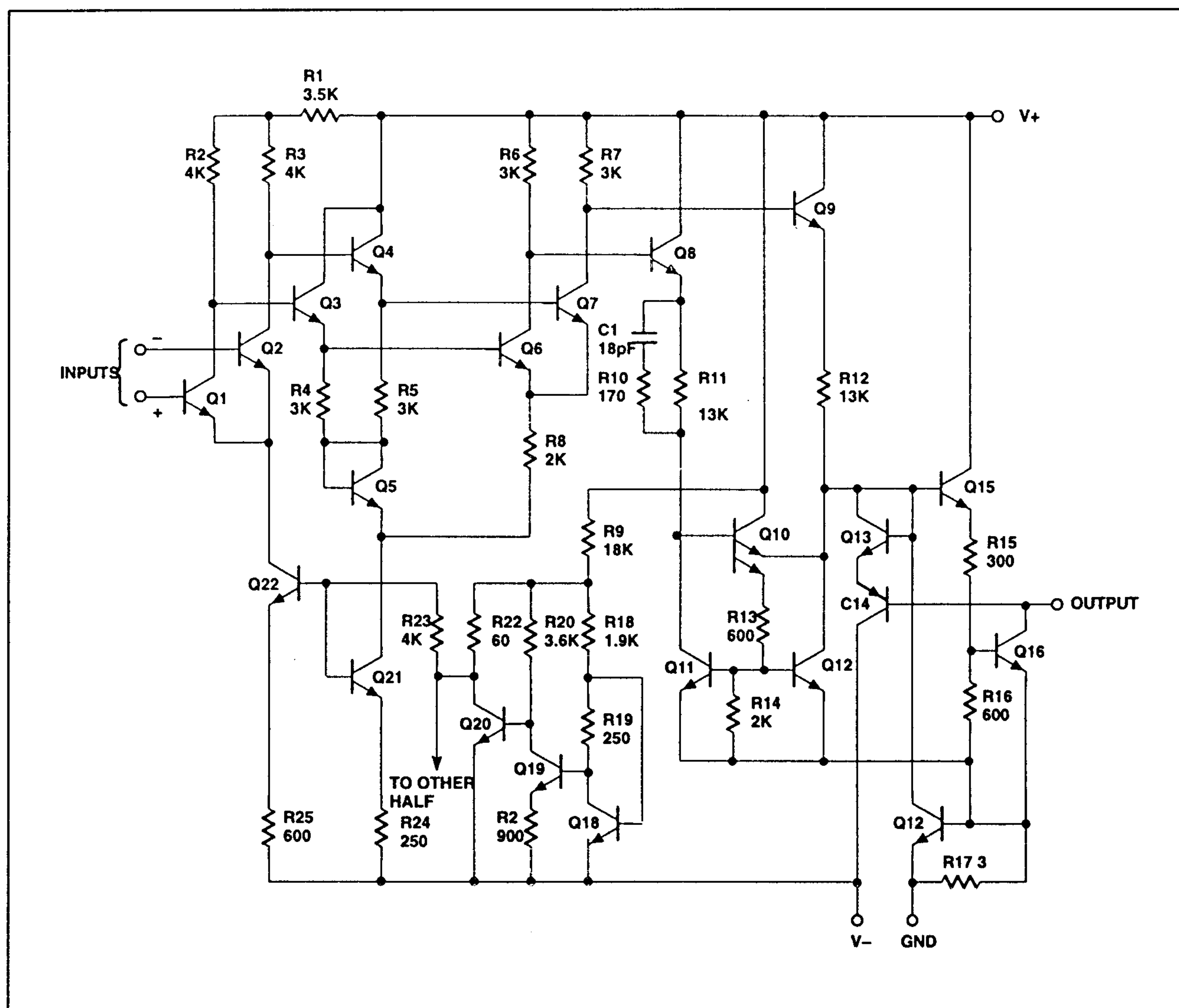


Figuur 12/2.2-16: Aansluitgegevens van de LM219.

Voorbeeld-schakeling
- Figuur 12/2.2-18:

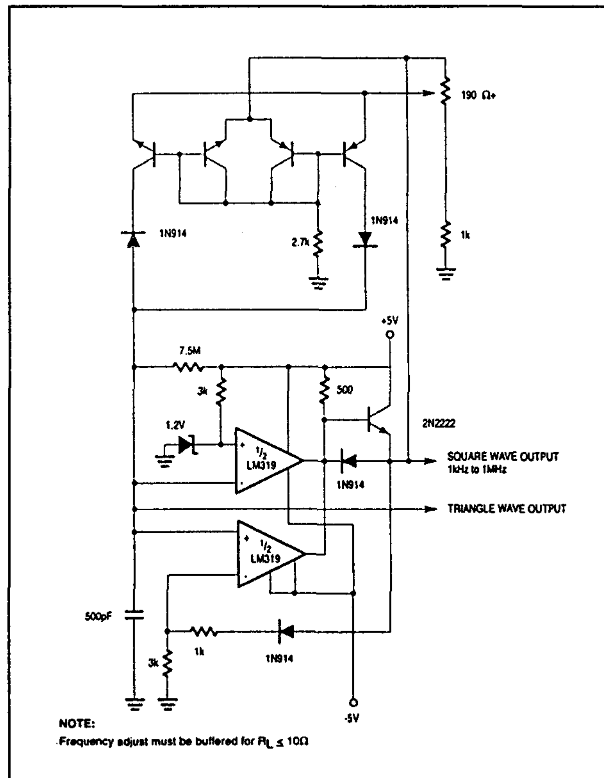
De twee comparatoren uit een LM219 worden in dit schema gebruikt als spanningsafhankelijke oscillator (VCO). De typische structuur van een functie-generator, die driehoekvormige en rechthoekvormige signalen levert is gemakkelijk te herkennen.

2.2 Type-beschrijving LM/NE-serie van Philips



Figuur 12/2.2-17: Intern schema van de LM219.

2.2 Type-beschrijving LM/NE-serie van Philips



Figuur 12/2.2-18: De LM219 gebruikt als functie-generator.

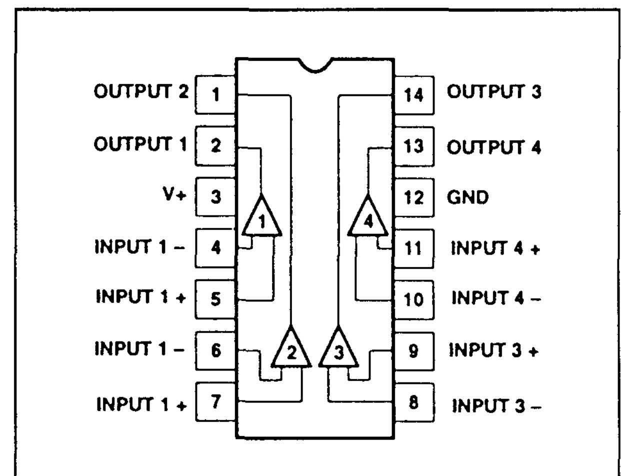
LM 239

viervoudig, 300 ns, 9,0 mV

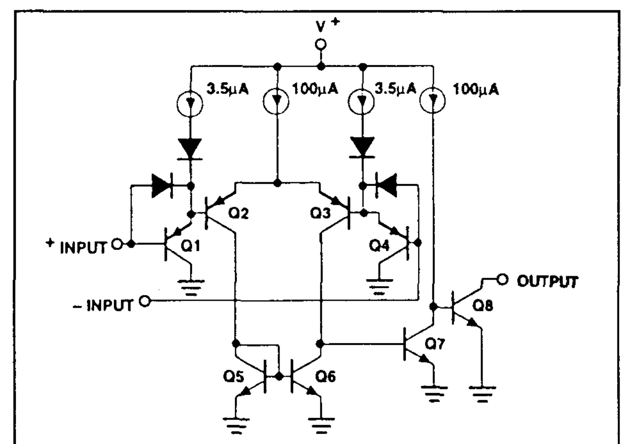
De LM239 is een viervoudige comparator, die reeds goed werkt bij een voedingsspanning van 2 V. De uitgangstrap levert TTL-compatibele signalen af en is in staat een stroom van 16 mA te sinken. De uitgangstrap heeft een open-collector structuur. De schakeling heeft geen voorzieningen voor offset-compensatie of strobe.

Technische gegevens

- fabrikant: Philips, Signetics
- behuizing: DIL-14
- aansluitgegevens: figuur 12/2.2-19
- intern schema: figuur 12/2.2-20
- voedingsspanning:
  minimaal: 2 V
  maximaal: 36 V, +/-18 V
- voedingsstroom:
  positief: 2,0 mA max.
  negatief: -2,0 mA max.
- **algemene karakteristieken:**
  - versterking: 200.000 typisch
  - response-tijd: 300 ns typisch
- **ingangskarakteristieken:**
  - offset-spanning: 9,0 mV max.
  - offset-stroom: 150 nA max.
  - bias-stroom: 400 nA max.
  - maximale ingangsspanning:
    +16,0 V positief
    -16,0 V negatief
- **uitgangskarakteristieken:**
  - verzadigingsspanning: 700 mV max.
  - lekstroom: 100 nA max.
  - uitgangsstroom: 16 mA max.



Figuur 12/2.2-19: Aansluitgegevens van de LM239.



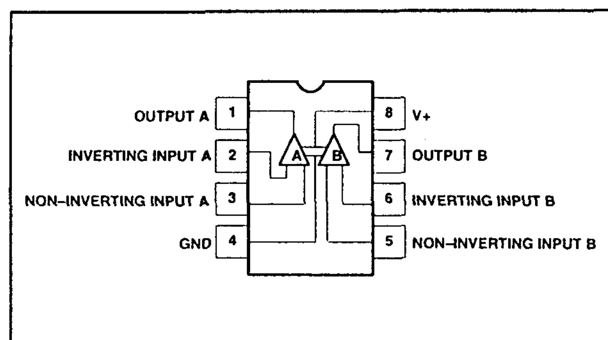
Figuur 12/2.2-20: Intern blokschema van de LM239.

2.2 Type-beschrijving LM/NE-serie van Philips

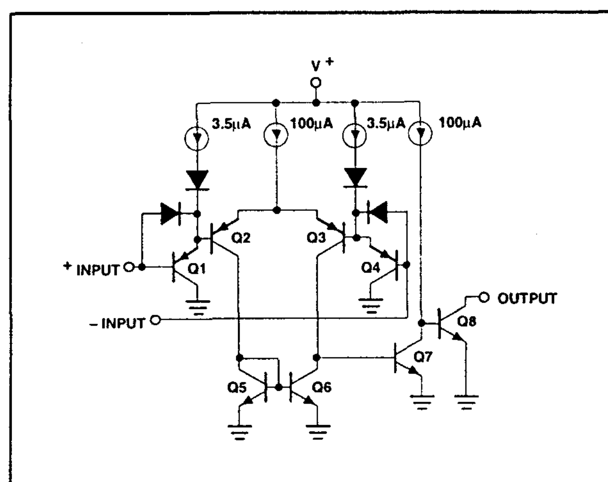
LM 293

tweevoudig, 300 ns, 4,0 mV

De LM293 is een dubbele comparator, die reeds goed werkt bij een voedingsspanning van 2 V. De uitgangstrap levert TTL-compatibele signalen af en is in staat een stroom van 16 mA te sinken. De uitgangstrap heeft een open-collector structuur. De schakeling heeft géén offset-compensatie of strobe. De LM 293 kan ingangsspanningen van 0 V verwerken bij unipolaire voeding.



Figuur 12/2.2-21: Aansluitgegevens van de LM293.



Figuur 12/2.2-22: Intern blokschema van de LM293.

Technische gegevens

- fabrikant: Philips, Signetics
- behuizing: DIL-8
- aansluitgegevens: figuur 12/2.2-21
- intern blokschema: figuur 12/2.2-22
- voedingsspanning:
  minimaal: 2 V
  maximaal: 36 V, +/-18 V
- voedingsstroom:
  positief: 2,5 mA max.
  negatief: -2,5 mA max.
- **algemene karakteristieken:**
  - versterking: 200.000 typisch
  - response-tijd: 300 ns typisch
- **ingangskarakteristieken:**
  - offset-spanning: 4,0 mV max.
  - offset-stroom: 150 nA max.
  - bias-stroom: 400 nA max.
  - maximale ingangsspanning:
    +16,0 V positief
    -16,0 V negatief
- **uitgangskarakteristieken:**
  - verzadigingsspanning: 700 mV max.
  - lekstroom: 100 nA max.
  - uitgangsstroom: 16 mA max.

LM 311

enkelvoudig, 200 ns, 7,5 mV

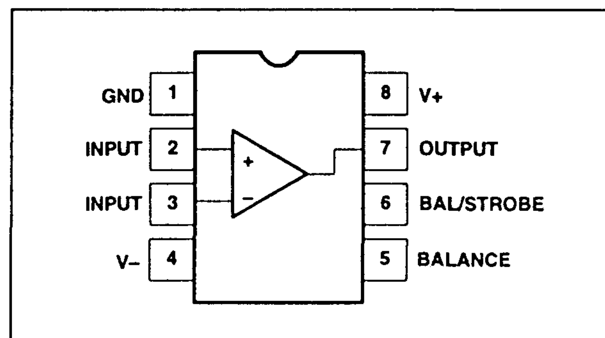
De LM311 is een enkelvoudige comparator, die reeds goed werkt bij een voedingsspanning van 3 V. De uitgangstrap levert TTL-compatibele signalen af en is in staat een stroom van 50 mA te sinken. Het IC kan dus rechtstreeks relaisspoelen, LED's en gloeilampjes aansturen. De uitgangstrap heeft een open-collector structuur. De schakeling heeft twee aansluitingen die als offset-compensatie en als strobe kunnen dienen.

Technische gegevens

- fabrikant: Philips, Signetics
- behuizing: DIL-8
- aansluitgegevens: figuur 12/2.2-23
- intern schema: figuur 12/2.2-24
- voedingsspanning:
  minimaal: 3 V
  maximaal: 36 V, +/-18 V
- voedingsstroom:
  positief: 3,5 mA max.
  negatief: -5,0 mA max.
- **algemene karakteristieken:**
  - versterking: 200.000 typisch

2.2 Type-beschrijving LM/NE-serie van Philips

  - response-tijd: 200 ns typisch
  - strobe-stroom: 3,0 mA typisch
- **ingangskarakteristieken:**
  - offset-spanning: 7,5 mV max.
  - offset-stroom: 25 nA max.
  - bias-stroom: 200 nA max.
  - maximale ingangsspanning:
    +13,8 V positief
    -14,7 V negatief
- **uitgangskarakteristieken:**
  - verzadigingsspanning: 1,5 V max.
  - lekstroom: 50 nA max.
  - uitgangsstroom: 50 mA max.



Figuur 12/2.2-23: Aansluitgegevens van de LM311.

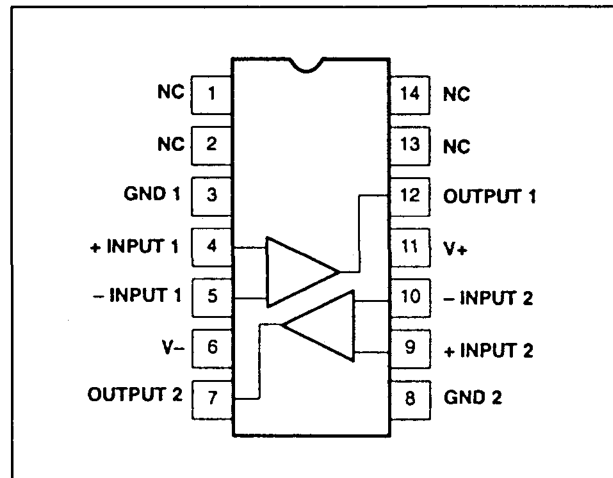
Figuur 12/2.2-24: Intern schema van de LM311.

2.2 Type-beschrijving LM/NE-serie van Philips

LM 319

tweevoudig, 80 ns, 10 mV

De LM319 is een tweevoudige comparator, die speciaal ontworpen is voor een TTL-compatibele voedingsspanning van 5 V. Schakeltechnisch bekeken is de LM319 compatibel met de µA710, De uitgangstrap levert TTL-compatibele signalen af (fan-out = 3) en is in staat een stroom van 25 mA te sinken. Het IC kan dus rechtstreeks relaisspoelen, LED's en gloeilampjes aansturen. De uitgangstrap heeft een open-collector structuur. De schakeling heeft géén offset-compensatie of strobe.

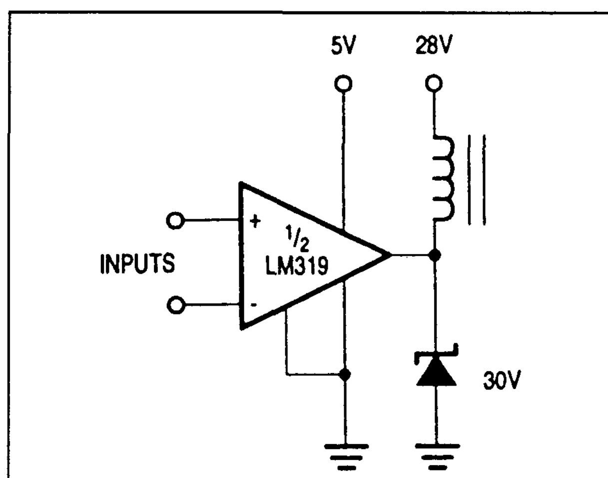


Figuur 12/2.2-25: Aansluitgegevens van de LM319.

Figuur 12/2.2-26: Intern schema van de LM319.

2.2 Type-beschrijving LM/NE-serie van Philips

Technische gegevens
- fabrikant: Philips, Signetics
- behuizing: DIL-14
- aansluitgegevens: figuur 12/2.2-25
- intern schema: figuur 12/2.2-26
- voedingsspanning:
  minimaal: 5 V
  maximaal: 36 V, +/-18 V
- voedingsstroom:
  positief: 12,5 mA max.
  negatief: -5,0 mA max.
- **algemene karakteristieken:**
  - versterking: 40.000 typisch
  - response-tijd: 80 ns typisch
- **ingangskarakteristieken:**
  - offset-spanning: 10,0 mV max.
  - offset-stroom: 300 nA max.
  - bias-stroom: 1,2 μA max.
  - maximale ingangsspanning:
    +15,0 V positief
    -15,0 V negatief
- **uitgangskarakteristieken:**
  - verzadigingsspanning: 0,4 V max.
  - lekstroom: 10 μA max.
  - uitgangsstroom: 25 mA max.



Figuur 12/2.2-27: De LM319 gebruikt als TTL-compatibele relais-driver.

Voorbeeld-schakeling
- Figuur 12/2.2-27:

Een comparator uit een LM319 kan gebruikt worden als TTL-compatibele relais-driver. Dank zij de open-collector uitgangstrap kan men de comparator voeden met +5 V, maar de uitgangstransistor op een veel hogere voedingsspanning aansluiten.

LM 339

viervoudig, 300 ns, 9,0 mV

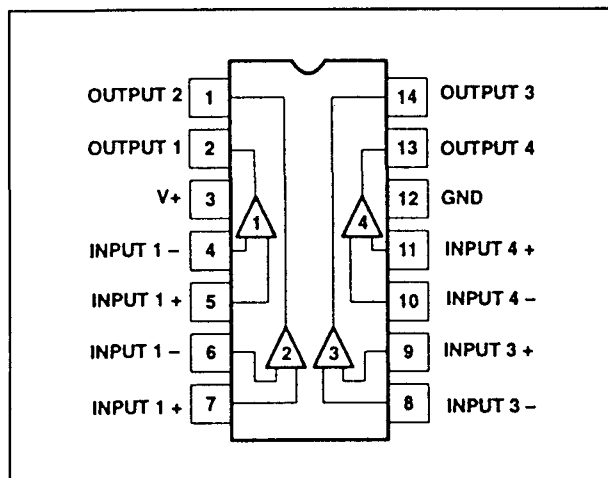
De LM339 is een viervoudige comparator, die reeds goed werkt bij een voedingsspanning van 2 V. De uitgangstrap levert TTL-compatibele signalen af en is in staat een stroom van 16 mA te sinken. De uitgangstrap heeft een open-collector structuur. De schakeling heeft geen voorzieningen voor offset-compensatie of strobe.

Technische gegevens
- fabrikant: Philips, Signetics
- behuizing: DIL-14
- aansluitgegevens: figuur 12/2.2-28
- intern schema: figuur 12/2.2-29
- voedingsspanning:
  minimaal: 2 V
  maximaal: 36 V, +/-18 V
- voedingsstroom:
  positief: 2,0 mA max.
  negatief: -2,0 mA max.
- **algemene karakteristieken:**
  - versterking: 200.000 typisch
  - response-tijd: 300 ns typisch
- **ingangskarakteristieken:**
  - offset-spanning: 9,0 mV max.
  - offset-stroom: 150 nA max.
  - bias-stroom: 400 nA max.
  - maximale ingangsspanning:
    +16,0 V positief
    -16,0 V negatief
- **uitgangskarakteristieken:**
  - verzadigingsspanning: 700 mV max.
  - lekstroom: 100 nA max.
  - uitgangsstroom: 16 mA max.

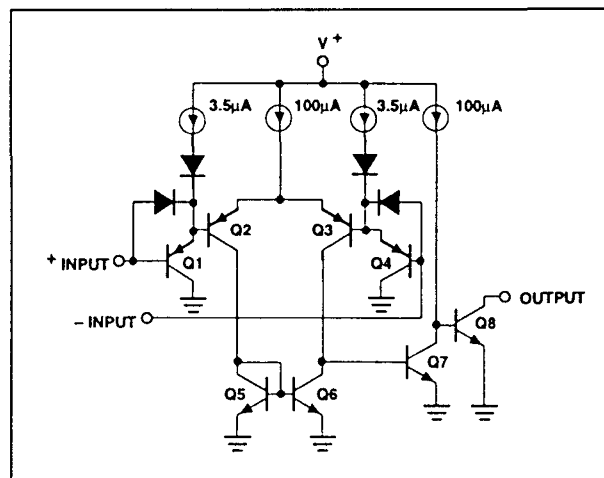
Voorbeeld-schakeling
- Figuur 12/2.2-30:

In deze toepassing worden drie comparatoren uit een LM339 gebruikt als spanningsgestuurde versterker. De schakeling wordt gevoed uit een spanning van +30 V (V^+).

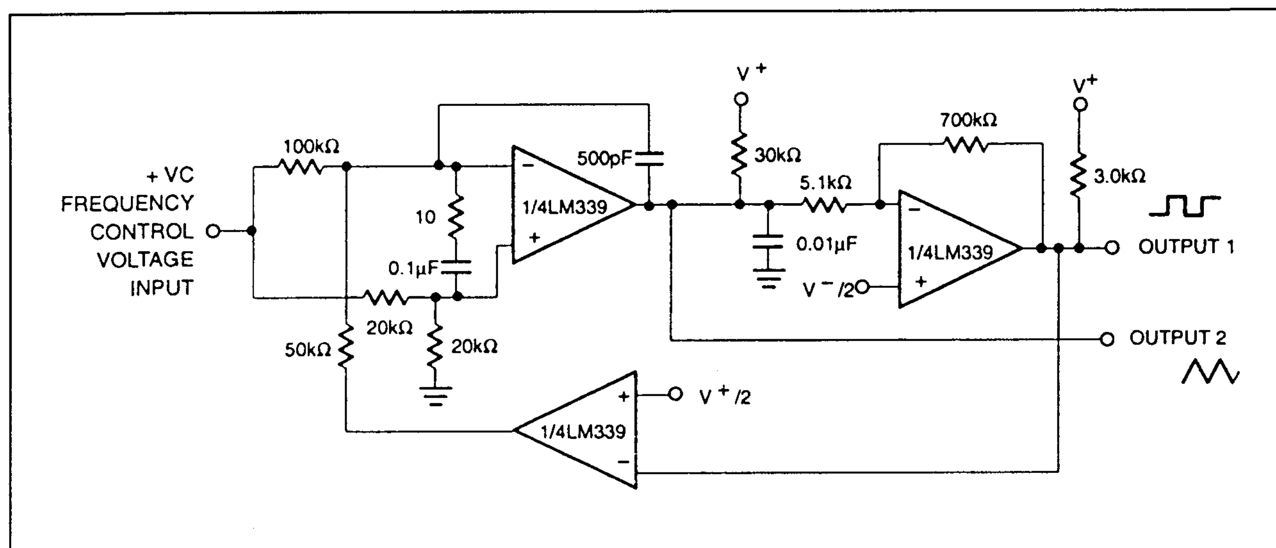
2.2 Type-beschrijving LM/NE-serie van Philips



Figuur 12/2.2-28: Aansluitgegevens van de LM339.



Figuur 12/2.2-29: Intern blokschema van de LM339.



Figuur 12/2.2-30: Drie comparatoren uit een LM339 vormen een spanningsafhankelijke oscillator, met een frequentiebereik van 700 Hz tot 100 kHz.

De stuurspanning Vc kan variëren tussen +250 mV en +50 V, waarbij de gegenereerde frequentie tussen 700 Hz en 100 kHz ligt.

LM 393

tweevoudig, 300 ns, 4,0 mV

De LM393 is een dubbele comparator, die reeds goed werkt bij een voedingsspanning van 2 V. De uitgangstrap levert TTL-compatibele signalen af en is in staat een stroom van 16 mA te sinken.

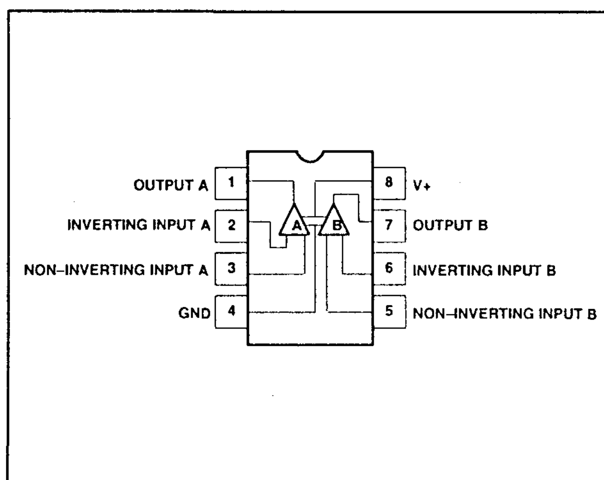
De uitgangstrap heeft een open-collector structuur. De schakeling heeft géén offset-compensatie of strobe.

Technische gegevens

- fabrikant: Philips, Signetics
- behuizing: DIL-8
- aansluitgegevens: figuur 12/2.2-31
- intern blokschema: figuur 12/2.2-32
- voedingsspanning:
  minimaal: 2 V
  maximaal: 36 V, +/-18 V

2.2 Type-beschrijving LM/NE-serie van Philips

- voedingsstroom:
  positief: 2,5 mA max.
  negatief: -2,5 mA max.
- **algemene karakteristieken:**
  - versterking: 100.000 typisch
  - response-tijd: 300 ns typisch
- **ingangskarakteristieken:**
  - offset-spanning: 4,0 mV max.
  - offset-stroom: 150 nA max.
  - bias-stroom: 400 nA max.
  - maximale ingangsspanning:
    +16,0 V positief
    -16,0 V negatief
- **uitgangskarakteristieken:**
  - verzadigingsspanning: 700 mV max.
  - lekstroom: 1 μA max.
  - uitgangsstroom: 16 mA max.



Figuur 12/2.2-31: Aansluitgegevens van de LM393.

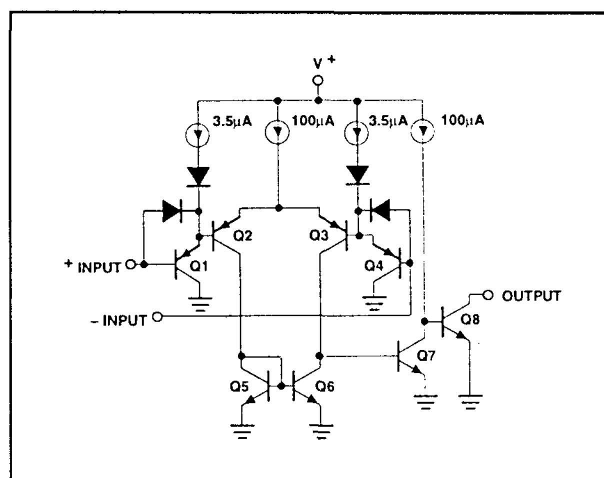
NE 521

tweevoudig, 12 ns, 15,0 mV, sense

De NE 521 is een tweevoudige differentiële comparator, speciaal ontwikkeld voor toepassingen als sense-amplifier. De uitgangstrap levert TTL-compatibele signalen af. Beide trappen hebben een gemeenschappelijke STROBE-ingang S en iedere trap heeft een individuele STROBE-ingang G. De LM521 kan gebruikt worden als snelle lijnontvanger en moet gevoed worden uit symmetrische spanningen van +/-7 V.

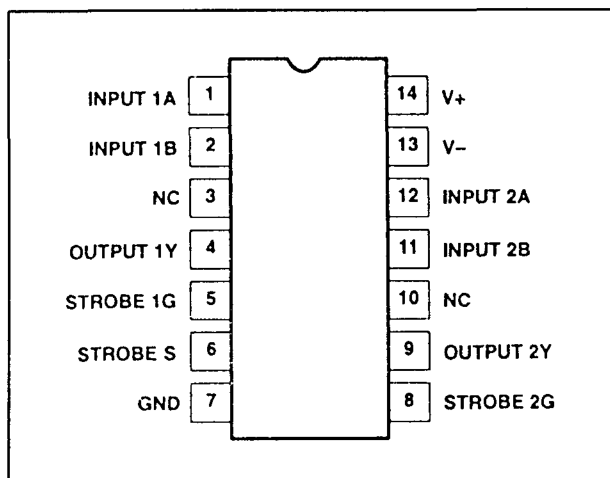
Technische gegevens

- fabrikant: Philips, Signetics
- behuizing: DIL-14
- aansluitgegevens: figuur 12/2.2-33
- intern blokschema: figuur 12/2.2-34
- voedingsspanningen:
  +/-7 V
- voedingsstroom:
  positief: 35 mA max.
  negatief: -28 mA max.
- **algemene karakteristieken:**
  - waarheidstabel strobe:
    figuur 12/2.2-35
- **ingangskarakteristieken:**
  - offset-spanning: 15 mV max.
  - offset-stroom: 12 μA max.
  - bias-stroom: 40 μA max.
  - maximale ingangsspanning:
    +5 V positief
    -5 V negatief
  - common-mode spanning:
    -3 V min, +3 V max.
- **schakelkarakteristieken:**
  - propagation delay L naar H: 12 ns max.
  - propagation delay H naar L: 9 ns max.
  - strobe L naar H: 10 ns max.
  - strobe H naar L: 6 ns max.
  - maximale frequentie: 55 MHz typisch

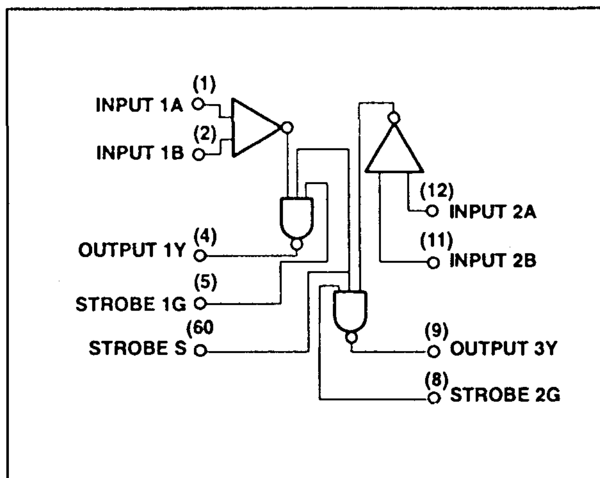


Figuur 12/2.2-32: Intern blokschema van de LM393.

2.2 Type-beschrijving LM/NE-serie van Philips



Figuur 12/2.2-33: Aansluitgegevens van de NE521.



Figuur 12/2.2-34: Intern schema van de NE521.

V_{ID} A^+, B^-	STROBE S	STROBE G	OUTPUT (Y)
$V_{ID} \leq -V_{OS}$	H	H	L
$-V_{OS} < V_{ID} < V_{OS}$	H	H	Undefined
$V_{ID} \geq V_{OS}$	H	H	H
X	L	X	H
X	X	L	H

Figuur 12/2.2-35: Waarheidstabel van de STROBE's van de NE521.

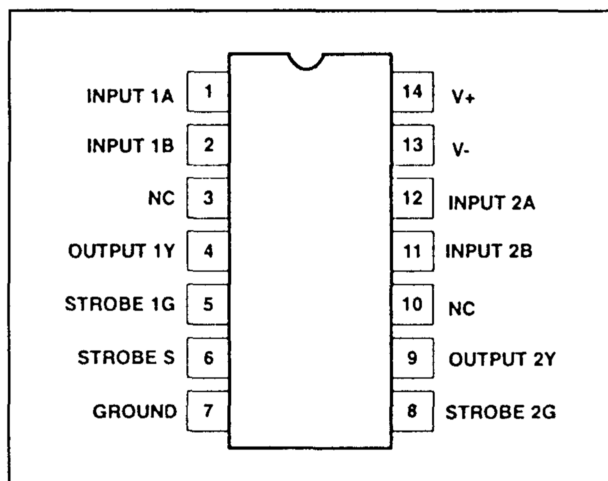
NE 522

tweevoudig, 15 ns, 10,0 mV, sense

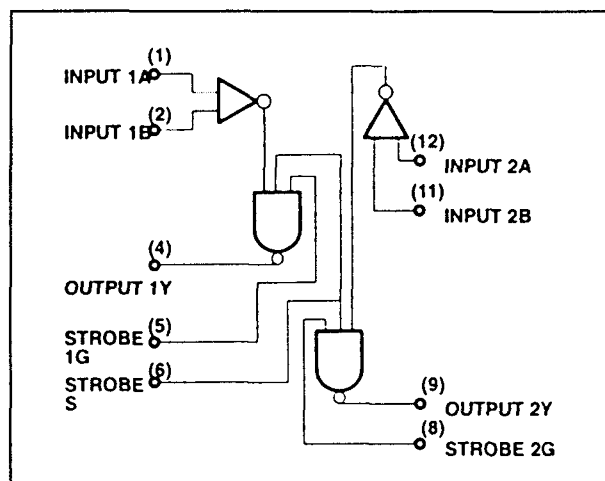
De NE522 is een tweevoudige differentiële comparator, speciaal ontwikkeld voor toepassingen als sense-amplifier. De uitgangstrap levert TTL-compatibele signalen af. Beide trappen hebben een gemeenschappelijke STROBE-ingang S en iedere trap heeft een individuele STROBE-ingang G. De LM522 kan gebruikt worden als snelle lijnontvanger en moet gevoed worden uit symmetrische spanningen van +/-7 V.

Technische gegevens

- fabrikant: Philips, Signetics
- behuizing: DIL-14
- aansluitgegevens: figuur 12/2.2-36
- intern blokschema: figuur 12/2.2-37
- voedingsspanningen: +/-7 V
- voedingsstroom: positief: 35 mA max. negatief: -28 mA max.
- **algemene karakteristieken:**
  - waarheidstabel strobe: figuur 12/2.2-38



Figuur 12/2.2-36: Aansluitgegevens van de NE522.



Figuur 12/2.2-37: Intern blokschema van de NE522.

V_{ID} (A^+, B^-)	STRS	STRG	OUTPUT TRANSISTOR
$< -V_{OS}$	H	H	ON
$-V_{OS} < V_{ID} < V_{OS}$	H	H	Undefined
$> V_{OS}$	H	H	OFF
X	L	X	OFF
X	X	L	OFF

Figuur 12/2.2-38: Waarheidstabel van de STROBE's van de NE522.

2.2 Type-beschrijving LM/NE-serie van Philips

- **ingangskarakteristieken:**
  - offset-spanning: 10 mV max.
  - offset-stroom: 12 μA max.
  - bias-stroom: 40 μA max.
  - maximale ingangsspanning:
    +5 V positief
    -5 V negatief
  - common-mode spanning:
    -3 V min, +3 V max.
- **schakelkarakteristieken:**
  - propagation delay L naar H: 15 ns max.
  - propagation delay H naar L: 12 ns max.
  - strobe L naar H: 13 ns max.
  - strobe H naar L: 9 ns max.
  - maximale frequentie: 35 MHz typisch

NE 527

enkelvoudig, 15 ns, 10,0 mV

De NE527 is een zeer snelle enkelvoudige comparator, speciaal ontwikkeld voor toepassingen als:
- ECL naar TTL interfacing;
- TTL naar ECL interfacing;
- uitlezen van optische sensoren;
- uitlezen van zeer snelle geheugens.

De schakeling combineert zeer snelle Schottky-technologie met lineaire schakelingen. Op deze manier kunnen zeer snelle poorten op één chip gecombineerd worden met lineaire schakelingen met uitstekende kwaliteit. De twee analoge ingangen hebben een emitter-volger als basis, waardoor de ingangsimpedantie hoog is. De schakeling heeft twee complementaire uitgangen, die TTL- of ECL-compatibele signalen afleveren. Deze gaan naar NAND-poorten, waar de uitgangen logisch worden gekoppeld aan twee STROBE-signalen. Vanwege de combinatie van analoge en digitale technieken heeft de NE527 drie voedingsspanningen nodig: twee analoge (V_1), die symmetrisch moeten zijn en een digitale (V_2).

Technische gegevens
- fabrikant: Philips, Signetics
- behuizing: DIL-14
- aansluitgegevens: figuur 12/2.2-39
- intern blokschema: figuur 12/2.2-40
- voedingsspanningen:
  - analoog:
    +5 V en -6 V min.
    +/-15 V max.
  - digitaal:
    +5 V typisch
    +7 V max.
- voedingsstromen:
  analoog positief: 5 mA max.
  analoog negatief: -10 mA max.
  digitaal positief: 20 mA max.
- **algemene karakteristieken:**
  - waarheidstabel strobe:
    figuur 12/2.2-41
  - spanningsversterking: 5000 typisch
- **ingangskarakteristieken:**
  - offset-spanning: 10 mV max.
  - offset-stroom: 1 μA max.
  - bias-stroom: 4 μA max.
  - maximale ingangsspanning:
    +6 V positief
    -6 V negatief
  - common-mode spanning:
    -5 V min, +5 V max.
- **uitgangskarakteristieken:**
  - kortsluitstroom: -70 mA max.
- **schakelkarakteristieken:**
  - propagation delay L naar H: 26 ns max.
  - propagation delay H naar L: 24 ns max.
  - strobe L naar H: 6 ns typisch
  - strobe H naar L: 6 ns typisch

Voorbeeld-schakelingen

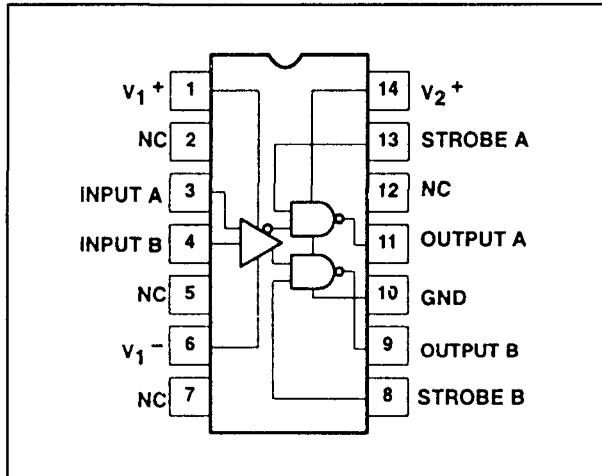
- Figuur 12/2.2-42:

In deze applicatie wordt de NE527 gebruikt als ECL naar TTL omzetter. De ECL-ingangsspanning wordt vergeleken met een negatieve drempel, instelbaar door middel van de spanningsdeler R1/R2. De STROBE's kunnen in de lucht hangen. De twee uitgangen leveren complementaire TTL-signalen af.

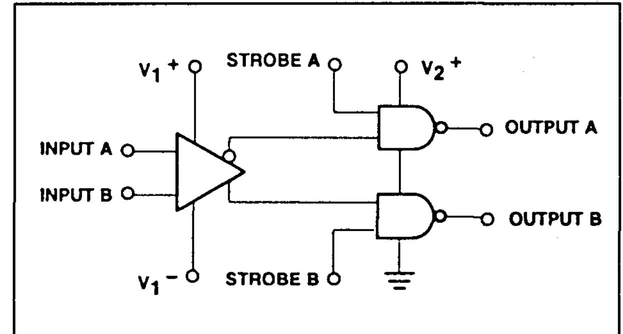
- Figuur 12/2.2-43:

TTL naar ECL omzetter. De TTL-drempels worden vergeleken met een referentiespanning, in te stellen met de spanningsdeler R1/R3.

2.2 Type-beschrijving LM/NE-serie van Philips



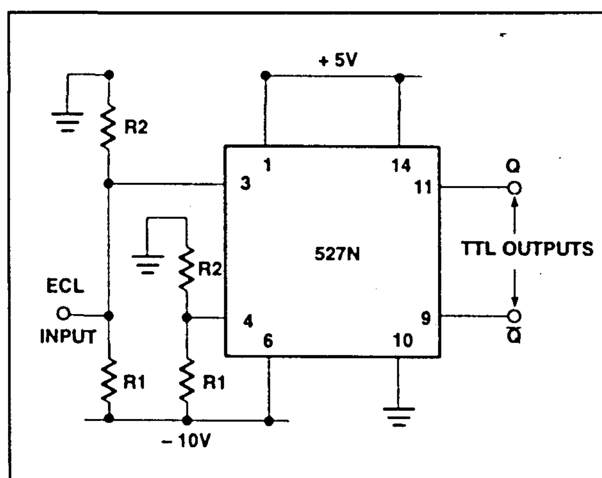
Figuur 12/2.2-39: Aansluitgegevens van de NE527.



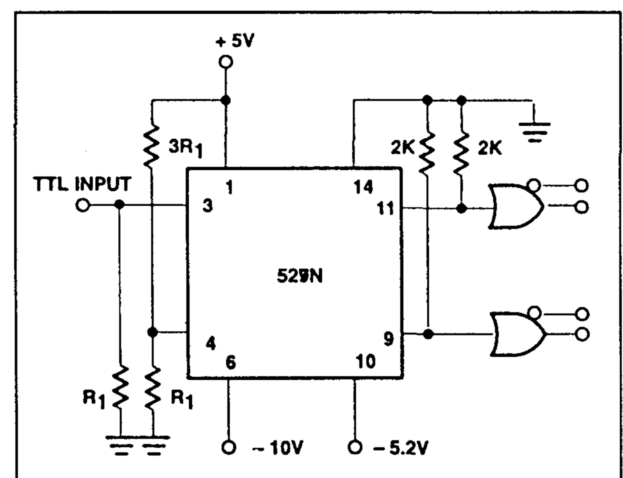
Figuur 12/2.2-40: Intern blokschema van de NE527.

V_{ID} (A^+, B^-)	STROBE A	STROBE B	OUTPUT A	OUTPUT B	COMMENT
$V_{ID} \leq -V_{OS}$	H	X	L	H	Read I_{IHA}, I_{ILB}
$-V_{OS} < V_{ID} < V_{OS}$	H	H	Undefined	Undefined	
$V_{ID} \geq V_{OS}$	X	H	H	L	Read I_{ILA}, I_{IHB}
X	L	L	H	H	

Figuur 12/2.2-41: Waarheidstabel van de STROBE's van de NE527.



Figuur 12/2.2-42: Een ECL naar TTL interface met de NE527.

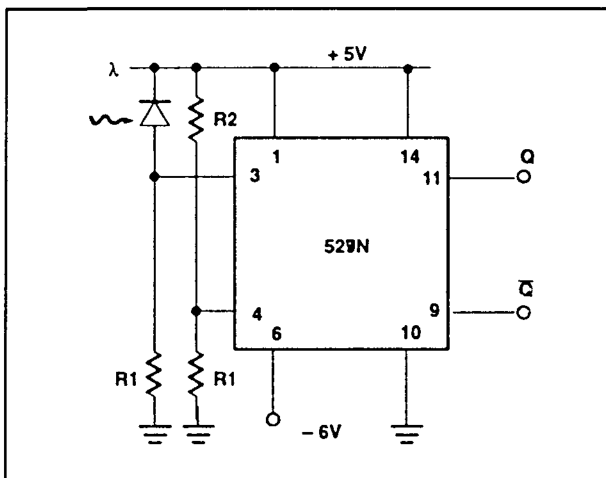


Figuur 12/2.2-43: Een TTL naar ECL interface met een NE527.

2.2 Type-beschrijving LM/NE-serie van Philips

Let op de manier waarop de uitgangstrappen gevoed worden. Pen 14, de $V2^+$, gaat nu naar de digitale massa . De massa-aansluiting van het IC op pen 10 wordt nu met de negatieve ECL-voeding verbonden.
- Figuur 12/2.2-44:

De NE525 wordt hier gebruikt als detector van de signalen die door een foto-diode worden opgewekt. De referentiedrempel wordt ingesteld door middel van de spanningsdeler R1/R2. De uitgangen leveren TTL-compatibele signalen.



Figuur 12/2.2-44: Een detector voor een fotogevoelige diode met de NE527.

NE 529

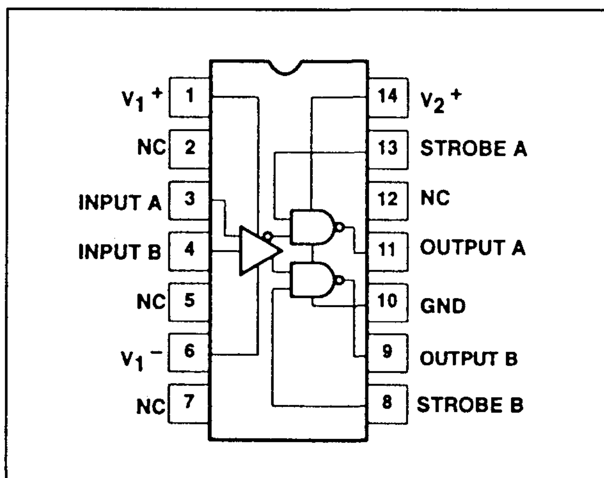
enkelvoudig, 10 ns, 10,0 mV

De NE529 is een zeer snelle enkelvoudige comparator, speciaal ontwikkeld voor toepassingen als:
- ECL naar TTL interfacing;
- TTL naar ECL interfacing;
- uitlezen van optische sensoren;
- uitlezen van zeer snelle geheugens.

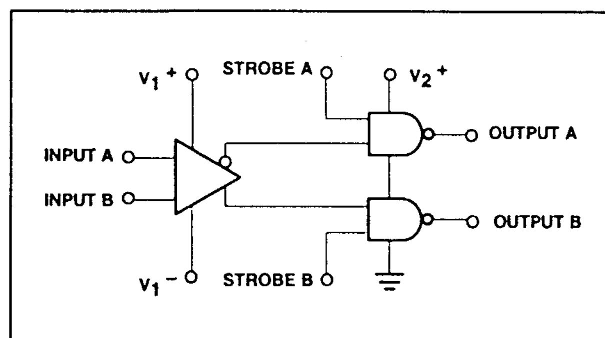
De schakeling combineert zeer snelle Schottky-technologie met lineaire schakelingen. Op deze manier kunnen zeer snelle poorten op één chip gecombineerd worden met lineaire schakelingen met uitstekende kwaliteit. De schakeling is in grote lijnen compatibel met de NE527, de twee analoge ingangen hebben echter géén emitter-volger als basis. De schakeling heeft twee complementaire uitgangen, die TTL- of ECL-compatibele signalen afleveren. Deze gaan naar NAND-poorten, waar de uitgangen logisch worden gekoppeld aan twee STROBE-signalen. Vanwege de combinatie van analoge en digitale technieken heeft de NE529 drie voedingsspanningen nodig: twee analoge (V_1), die symmetrisch moeten zijn en een digitale (V_2).

Technische gegevens
- fabrikant: Philips, Signetics
- behuizing: DIL-14
- aansluitgegevens: figuur 12/2.2-45
- intern blokschema: figuur 12/2.2-46
- voedingsspanningen:
  - analoog:
    +5 V en -6 V min.
    +/-15 V max.
  - digitaal:
    +5 V typisch
    +7 V max.
- voedingsstromen:
  analoog positief: 5 mA max.
  analoog negatief: -10 mA max.
  digitaal positief: 20 mA max.
- **algemene karakteristieken:**
  - waarheidstabel strobe:
    figuur 12/2.2-47
  - spanningsversterking: 5000 typisch
- **ingangskarakteristieken:**
  - offset-spanning: 10 mV max.
  - offset-stroom: 15 μA max.
  - bias-stroom: 50 μA max.
  - maximale ingangsspanning:
    +6 V positief
    -6 V negatief
  - common-mode spanning:
    -6 V min, +6 V max.
- **uitgangskarakteristieken:**
  - kortsluitstroom: -70 mA max.
- **schakelkarakteristieken:**
  - propagation delay L naar H: 22 ns max.
  - propagation delay H naar L: 20 ns max.
  - strobe L naar H: 6 ns typisch
  - strobe H naar L: 6 ns typisch

2.2 Type-beschrijving LM/NE-serie van Philips



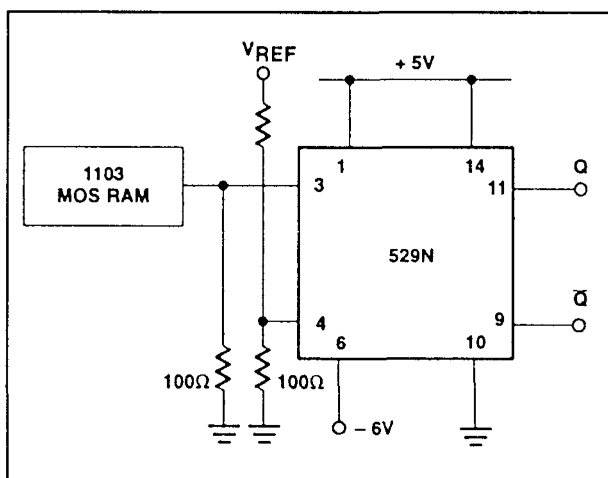
Figuur 12/2.2-45: Aansluitgegevens van de NE529.



Figuur 12/2.2-46: Intern blokschema van de NE529.

V_{ID} (A^+, B^-)	STROBE A	STROBE B	OUTPUT A	OUTPUT B
$V_{ID} \leq -V_{OS}$	H	X	L	H
$-V_{OS} < V_{ID} < V_{OS}$	H	H	Undefined	Undefined
$V_{ID} \geq V_{OS}$	X	H	H	L
X	L	L	H	H

Figuur 12/2.2-47: Waarheidstabel van de STROBE's van de NE529.



Figuur 12/2.2-48: Een NE529 wordt gebruikt als uitleeselement van een geheugen.

Voorbeeld-schakeling

– Figuur 12/2.2-48:

In deze toepassing wordt de NE529 gebruikt als comparator voor het opschonen van het uitgangssignaal van een geheugen. De ingangsspanning wordt vergeleken met een drempelwaarde, in de stellen door het aanpassen van de weerstanden in de spanningsdeler tussen de massa en de V_{REF}.

LM 2901

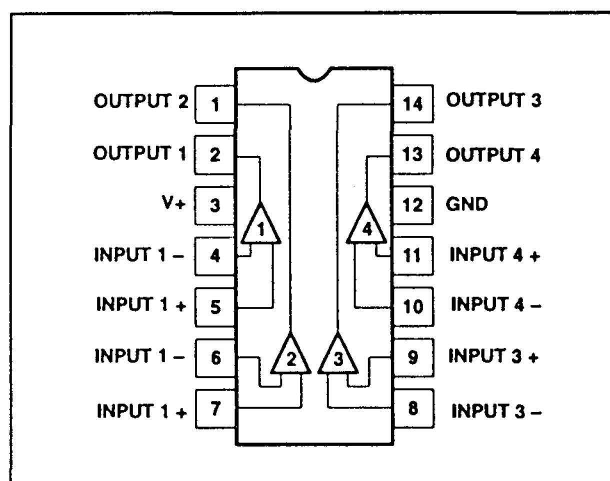
viervoudig, 300 ns, 15,0 mV

De LM2901 is een viervoudige comparator, die reeds goed werkt bij een voedingsspanning van 2 V. De uitgangstrap levert TTL-compatibele signalen af en is in staat een

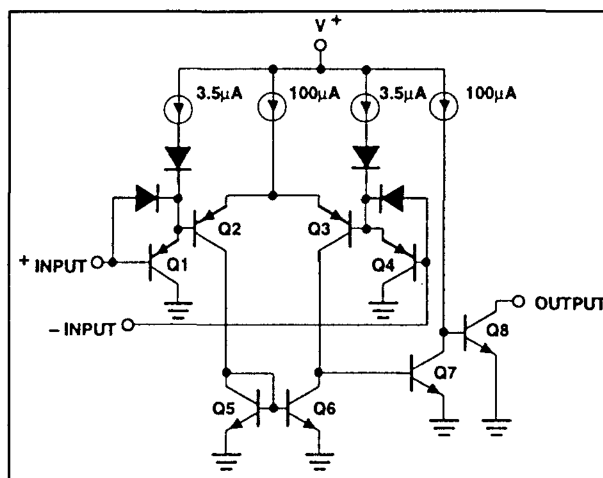
2.2 Type-beschrijving LM/NE-serie van Philips

stroom van 16 mA te sinken. De uitgangstrap heeft een open-collector structuur. De schakeling heeft geen voorzieningen voor offset-compensatie of strobe.

Technische gegevens
- fabrikant: Philips, Signetics
- behuizing: DIL-14
- aansluitgegevens: figuur 12/2.2-49
- intern schema: figuur 12/2.2-50
- voedingsspanning:
  minimaal: 2 V
  maximaal: 36 V, +/-18 V
- voedingsstroom:
  positief: 2,5 mA max.
  negatief: -2,5 mA max.
- **algemene karakteristieken:**
  - versterking: 100.000 typisch
  - response-tijd: 300 ns typisch
- **ingangskarakteristieken:**
  - offset-spanning: 15,0 mV max.
  - offset-stroom: 200 nA max.
  - bias-stroom: 500 nA max.
  - maximale ingangsspanning:
    +16,0 V positief
    -16,0 V negatief
- **uitgangskarakteristieken:**
  - verzadigingsspanning: 700 mV max.
  - lekstroom: 1 μA max.
  - uitgangsstroom: 16 mA max.



Figuur 12/2.2-49: Aansluitgegevens van de LM2901.



Figuur 12/2.2-50: Intern blokschema van de LM2901.

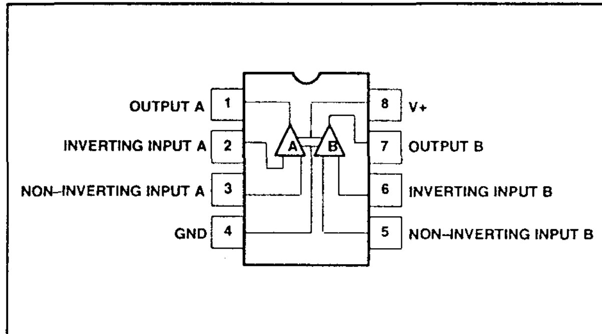
LM 2903

tweevoudig, 300 ns, 15,0 mV

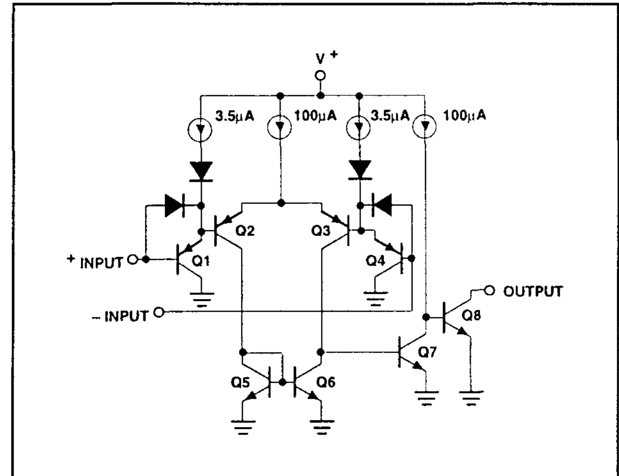
De LM2903 is een dubbele comparator, die reeds goed werkt bij een voedingsspanning van 2 V. De uitgangstrap levert TTL-compatibele signalen af en is in staat een stroom van 16 mA te sinken. De uitgangstrap heeft een open-collector structuur. De schakeling heeft géén offset-compensatie of strobe.

Technische gegevens
- fabrikant: Philips, Signetics
- behuizing: DIL-8
- aansluitgegevens: figuur 12/2.2-51
- intern blokschema: figuur 12/2.2-52
- voedingsspanning:
  minimaal: 2 V
  maximaal: 36 V, +/-18 V
- voedingsstroom:
  positief: 2,5 mA max.
  negatief: -2,5 mA max.
- **algemene karakteristieken:**
  - versterking: 100.000 typisch
  - response-tijd: 300 ns typisch
- **ingangskarakteristieken:**
  - offset-spanning: 15,0 mV max.
  - offset-stroom: 200 nA max.
  - bias-stroom: 500 nA max.

2.2 Type-beschrijving LM/NE-serie van Philips



Figuur 12/2.2-51: Aansluitgegevens van de LM2903.



Figuur 12/2.2-52: Intern blokschema van de LM2903.

- maximale ingangsspanning:
  +16,0 V positief
  -16,0 V negatief
- **uitgangskarakteristieken:**
  - verzadigingsspanning: 700 mV max.
  - lekstroom: 100 nA max.
  - uitgangsstroom: 16 mA max.

2.2 Type-beschrijving LM/NE-serie van Philips

12/3

Analoog naar digitaal omzetters, binaire uitgangen

Inhoud

ZN 427	8 bit parallel	+/-0,5 LSB	10 µs	
ZN 432	10 bit parallel	+/-0,5 LSB	20 µs	
ZN 433	10 bit par/ser	+/-0,5 LSB	1 µs	
ZN 437	8 bit parallel	+/-0,5 LSB	16 µs	8 analoge ingangen
ZN 439	8 bit parallel	+/-0,25 LSB	5 µs	
ZN 447	8 bit parallel	+/-0,3 LSB	9 µs	
ZN 448	8 bit parallel	+/-0,5 LSB	9 µs	
ZN 449	8 bit parallel	+/-1,0 LSB	9 µs	
ZN 501	10 bit parallel	+/-0,5 LSB	20 µs	
ZN 502	10 bit parallel	+/-1,0 LSB	20 µs	
ZN 503	10 bit par/ser	+/-0,5 LSB	20 µs	
ZN 504	10 bit par/ser	+/-1,0 LSB	20 µs	
ZN 509	8 bit serieel	+/-0,5 LSB	8 µs	
ZN 510	8 bit serieel	+/-1,0 LSB	8 µs	
ZN 538	8 bit parallel	+/-0,5 LSB	16 µs	8 analoge ingangen
ZN 539	8 bit parallel	+/-1,0 LSB	16 µs	8 analoge ingangen

12/3.1

Achtergrond-informatie

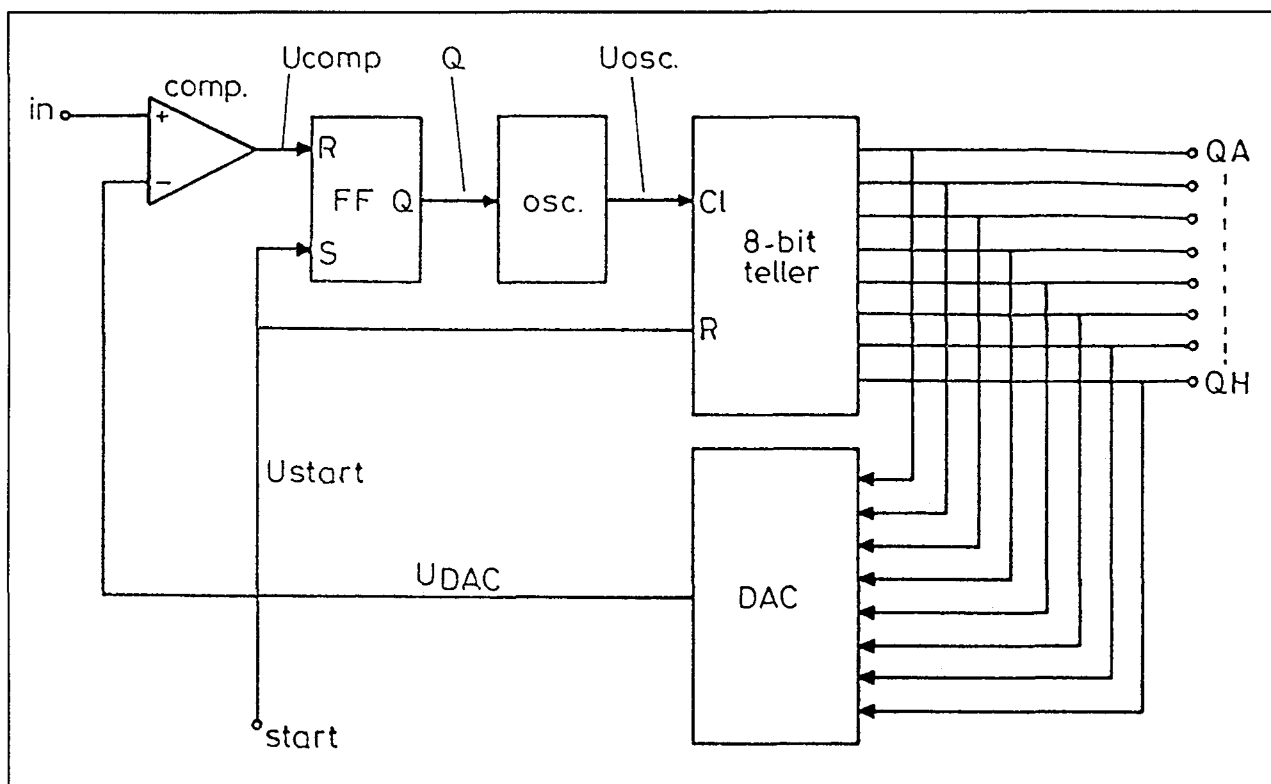
Inleiding

ADC's met terugkoppelingen

In dit hoofdstuk worden analoog naar digitaal omzetters behandeld, die werken volgens het principe van de terugkoppeling. De analoge ingangsspanning wordt in een comparator vergeleken met een stapspanning die afkomstig is van een in de schakeling aanwezige digitaal naar analoog omzetter. Deze DAC wordt gestuurd uit de uitgangen van de ADC.

Als de trapspanning gelijk wordt aan de om te zetten ingangsspanning is de digitale code op de uitgangen een zo goed mogelijke binaire gewichtsbenadering van de analoge ingangsspanning.

Uit dit werkingsprincipe volgt, dat deze schakelingen een ***binaire*** digitale code op hun uitgangen genereren.



Figuur 12/3.1-1: Het principe van een RAC ADC.

3.1 Achtergrond-informatie

Soorten ADC's met terugkoppeling

Er bestaan drie praktische uitvoeringen van het terugkoppelingsprincipe:

- de RAC ADC;
- de tracking ADC;
- de SAR ADC.

De drie schakelingen wijken in nauwkeurigheid niet fundamenteel van elkaar af. Het grote verschil zit in de verwerkingssnelheid. De drie uitvoeringen van het terugkoppelingsprincipe zijn van traag naar snel opgesomd.

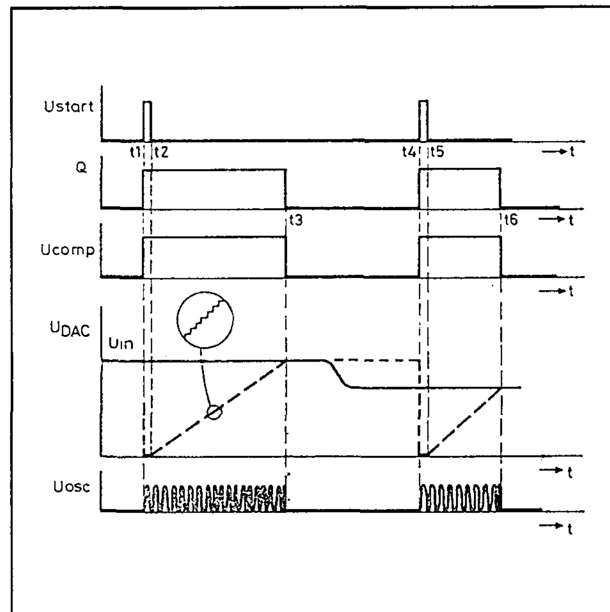
Het principe van de RAC ADC

Inleiding

RAC staat voor "Ramp And Compare", letterlijk vertaald "maak een zaagtand en vergelijk". Deze schakeling wekt uit zijn eigen binaire uitgangscode via een DAC een stapspanning op en stopt de omzetting als deze stapspanning groter wordt dan de ingangsspanning. Het principe van deze schakelingen komt er op neer dat een teller gestuurd wordt uit een klokoscillator. De uitgangen van deze teller worden aangeboden aan een digitaal naar analoog omzetter. De analoge uitgangsspanning van deze schakeling wordt in een comparator vergeleken met de ingangsspanning. Als beide spanningen aan elkaar gelijk zijn wordt de klokoscillator geblokkeerd zodat de teller stopt en de digitale tegenwaarde van de analoge ingangsspanning op de uitgangen ter beschikking staat.

Blokschema

Het blokschema van een typische acht bit brede RAC ADC is getekend in figuur 12/3.1-1. De werking van de schakeling wordt toegelicht aan de hand van de grafieken van figuur 12/3.1-2.Een omzettingscyclus start door het aanleggen van een START-puls op de gelijknamige ingang. Hierdoor wordt een flip-flop geset en de teller gereset. Alle acht uitgangen van de schakeling gaan naar "L". Doordat de uitgangscode "L-L-L-L-L-L-L-L" wordt zal de analoge uitgangsspanning van de digitaal naar analoog omzetter naar 0 V gaan. Het gevolg is dat deze spanning in ieder geval kleiner is dan de waarde van de om te zetten analoge ingangsspanning.



Figuur 12/3.1-2: De timing van de RAC ADC van figuur 12/3.1-1.

De uitgang van de comparator wordt "H". De hoge Q-uitgang van de flip-flop start de ingebouwde oscillator. Hoewel deze schakeling begint met het leveren van pulsen aan de teller zal deze schakeling nog niet gaan tellen. Dat gebeurt pas als de START-puls wegvalt en de RESET van de teller wordt vrijgegeven. De acht uitgangen van de teller doorlopen de normale binaire code. Het gevolg is dat de uitgangsspanning van de DAC trapvormig zal stijgen. Daar iedere codewijziging overeen komt met een verhoging van het gewicht met één bit, zal de uitgangsspanning van de DAC steeds bij iedere klokpuls met de stapgrootte van de DAC stijgen. Dit proces gaat verder tot de uitgangsspanning van de DAC gelijk wordt aan de ingangsspanning. Op dat moment (t3) klapt de comparator om. De negatieve uitgangspuls op de uitgang van de comparator reset de flipflop. De oscillator wordt daardoor uitgescha-

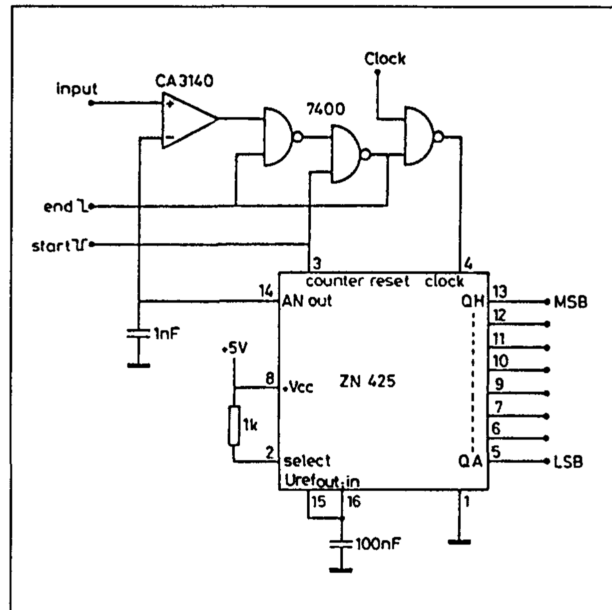
keld, het systeem blijft stabiel in de evenwichtstoestand waarbij beide analoge spanningen aan elkaar gelijk zijn.
Na een tijdsverloop (t3 - t1) staat er dus op de uitgangen van de schakeling een digitale code waarvan de som van de gewichten overeen komt met de grootte van de ingangsspanning. Het zal duidelijk zijn dat er bij praktische schakelingen na de teller nog een bufferregister volgt, waarin de digitale code wordt opgeslagen totdat de volgende omzetting voltooid is. Op deze manier wordt voorkomen dat het telproces op de uitgangen te volgen is. Bovendien staat dan een serie codes op de uitgangen van het bufferregister die het verloop van de ingangsspanning volgt, zonder dat deze serie codes verstoord wordt door het telproces zélf.

Eigenschappen

Een RAC ADC kan zeer goedkoop worden geïntegreerd. Het grote nadeel van de schakeling is echter dat zij zeer traag werkt. Bij iedere cyclus moet de comparerende spanning uit de DAC immers weer van nul af worden opgebouwd. Een RAC ADC is echter wél ideaal voor het inlezen van langzaam variërende meetgrootheden in het geheugen van een computer. Dan speelt immers de trage omzettingssnelheid geen grote rol. Vanwege de START en EINDE CONVERSIE signalen die uit de schakeling afgeleid kunnen worden, is een RAC ADC een ideale partner voor een computerbus.

Voorbeeld

In figuur 12/3.1-3 is een praktische schakeling van een RAC ADC getekend, samengesteld rond de ZN 424 van Ferranti. Bij deze schakeling moeten de comparator, de flipflop en de klok extern worden opgebouwd. Het IC zélf bevat de teller, de DAC en de referentiespanning voor de DAC. De flip-flop is in dit voorbeeld samengesteld uit twee NAND-poorten uit een 7400. De derde poort uit dit IC wordt als echte poort gebruikt voor het wel of niet doorlaten van de pulsen van de klokoscillator.



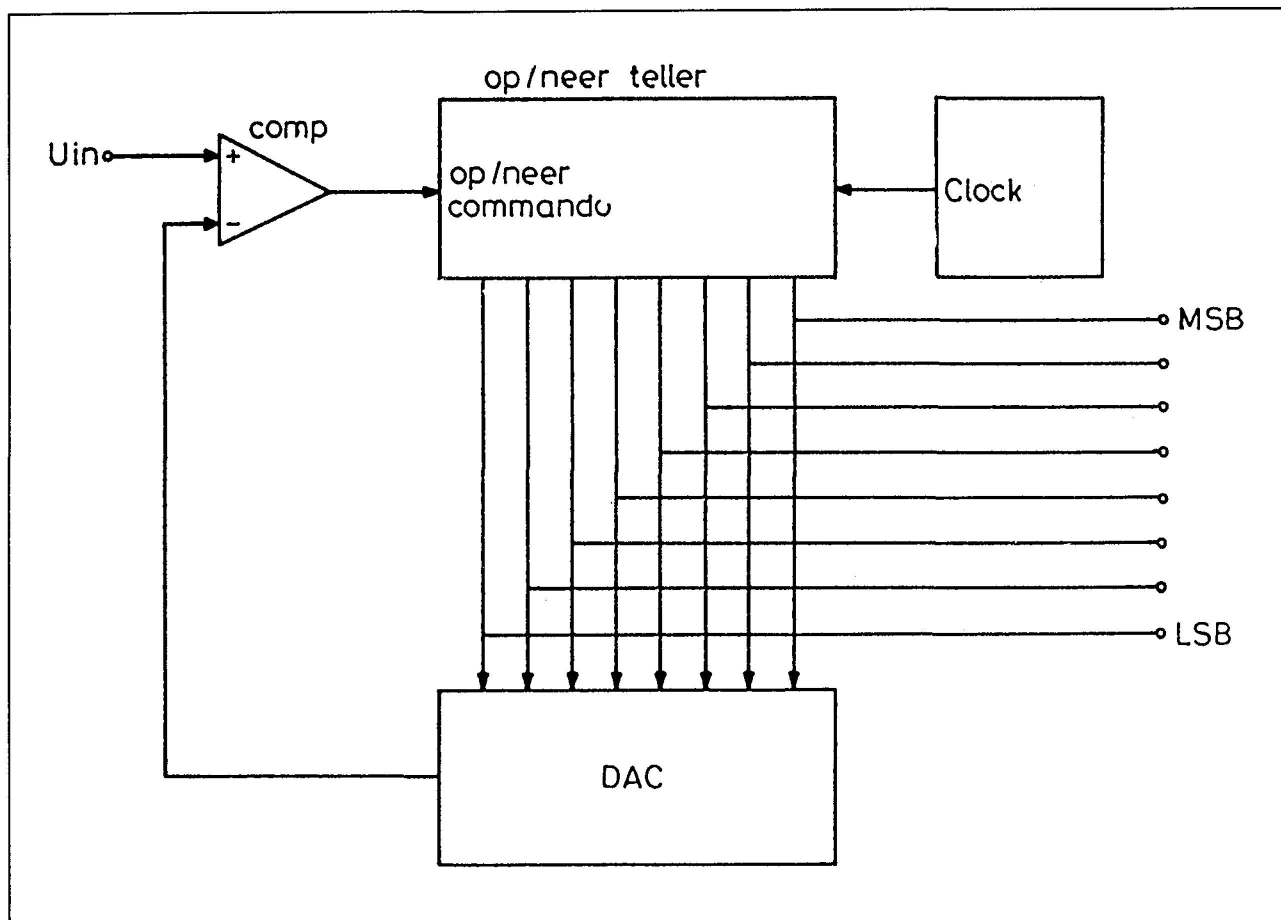
Figuur 12/3.1-3: Schema van een praktische RAC ADC met een IC van Ferranti.

Tracking ADC

Principe

De tracking ADC is een verfijning van de RAC ADC. De belangrijkste verbetering is het verhogen van de omzettingssnelheid. Dat is een gevolg van het feit dat de digitale code op de uitgangen het verloop van de analoge ingangsspanning als het ware van cyclus tot cyclus volgt. Er wordt dus niet na iedere cyclus gereset. De normale teller van de RAC ADC wordt vervangen door een op en neer teller. Daalt de analoge ingangsspanning, dan wordt de teller in de neermodus gestuurd, zodat het equivalente gewicht van de digitale code daalt totdat dit weer gelijk is aan de nieuwe waarde van de ingangsspanning. Stijgt de ingangsspanning weer, dan gaat de teller naar de opmodus, zodat het equivalente gewicht van de digitale code zich snel aanpast aan de stijgende ingangsspanning.

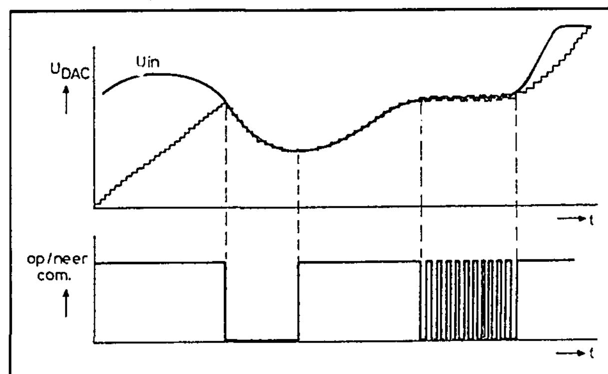
3.1 Achtergrond-informatie



Figuur 12/3.1-4: Het principiële blokschema van een tracking ADC.

Blokschema

In figuur 12/3.1-4 is het blokschema van een tracking ADC getekend. De werking wordt toegelicht aan de hand van de grafieken van figuur 12/3.1-5. Bij het aanschakelen van de voeding is de teller gereset. De uitgangscode is dan "L-L-L-L-L-L-L-L". De DAC levert 0 V aan de comparator. De uitgangsspanning van de comparator stuurt de op/neer teller in de opmodus. De schakeling werkt op dit moment als een RAC ADC. Als de uitgangs-spanning van de DAC groter wordt dan de ingangsspanning klapt de comparator om. De op/neer teller wordt nu in de neermodus gestuurd. De volgende puls van de klok-oscillator vermindert het gewicht van de digitale code met één eenheid. Het gevolg is dat de uitgangsspanning van de DAC iets lager wordt en weer kleiner wordt dan de ingangsspanning. De comparator slaat om, de teller gaat weer naar de opmodus. Op deze manier zal de uitgangscode steeds met één bit oscilleren rond de waarde van de ingangsspanning.

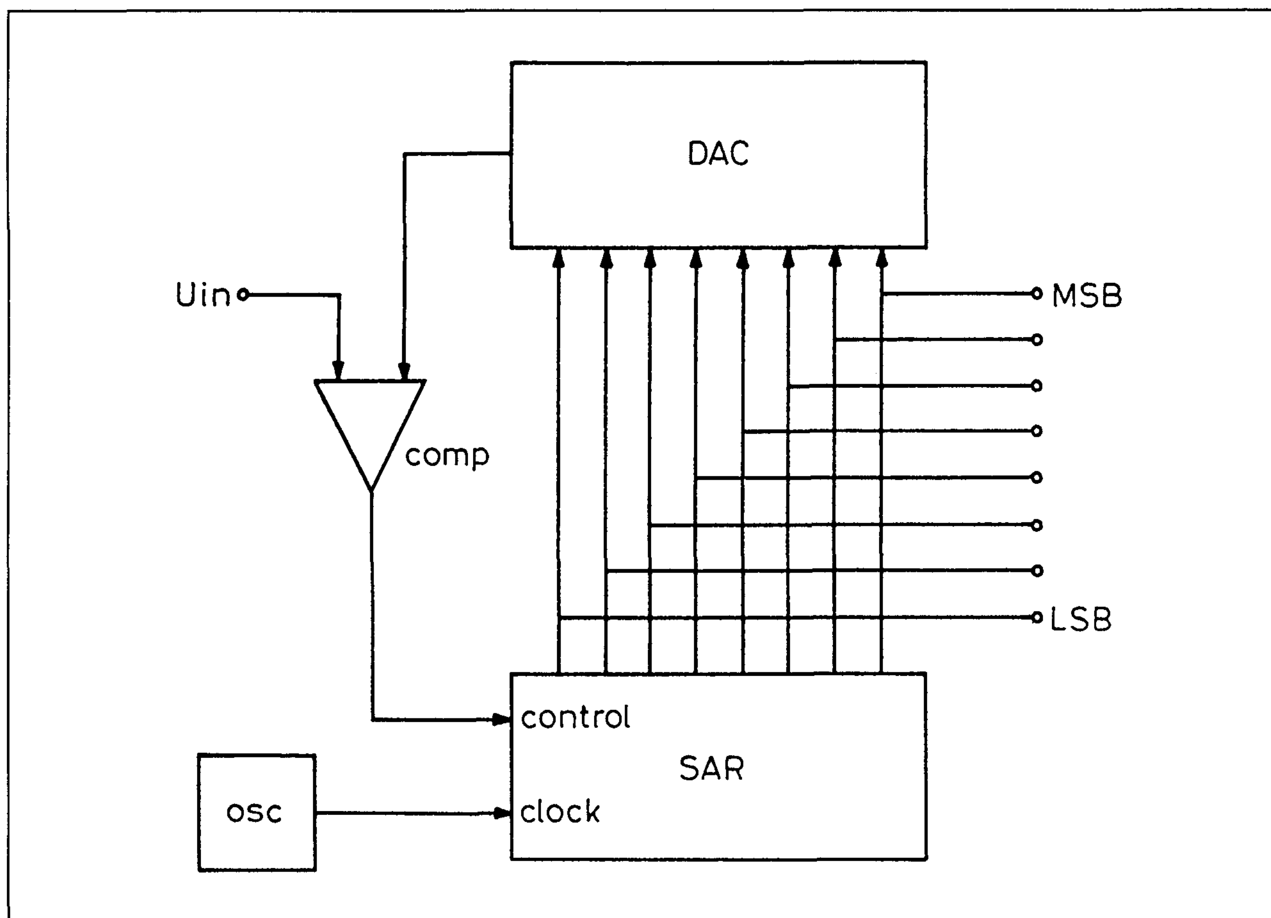


Figuur 12/3.1-5: De werking van een tracking ADC grafisch toegelicht.

SAR ADC

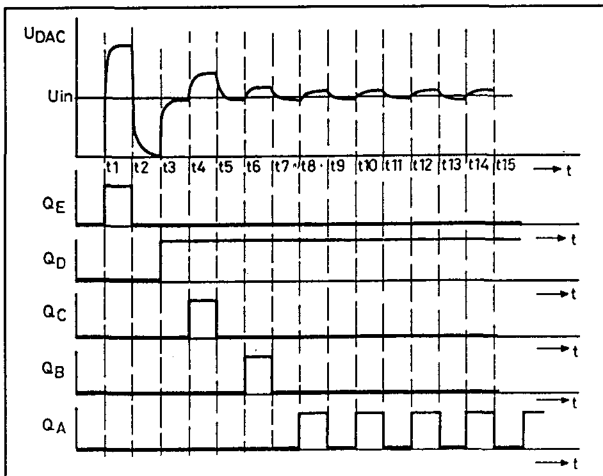
Inleiding

SAR staat voor "Succesive Approximation Register", vrij vertaald "register dat zorgt voor opeenvolgende benadering". Hierbij wordt een speciaal digitaal register, een SAR, gebruikt voor het sturen van de DAC in de terugkoppeling. Deze zorgt ervoor dat de uitgangsspanning van de DAC zo snel mogelijk gelijk wordt aan de ingangsspanning.
De werking van een SAR ADC kan het best toegelicht worden aan de hand van een alledaags voorbeeld. Stel dat men het gewicht van een voorwerp moet bepalen met een apothekersbalans. Het voorwerp wordt in de ene schaal gelegd, de bedoeling is dat er in de andere schaal gewichten worden gelegd totdat de balans in evenwicht is. Wie volgens het principe van de RAC ADC zou werken zou niets anders dan gewichtjes van een gram op de schaal leggen totdat de balans omsloeg en nadien het gewicht van het voorwerp bepalen door het aantal gewichtjes van een gram op te tellen. Wie volgens het systeem van de SAR ADC zou werken zou eerst een gewicht van een kilogram in de schaal leggen. Slaat de balans dan door, dan wordt het gewicht weer verwijderd en vervangen door een gewicht van 500 gram. Is dit te weinig, dan wordt dit gewicht aangevuld met een van 250 gram.
Slaat de balans dan weer door, dan wordt dit twee gewicht verwijderd en vervangen door een van 125 gram. Op deze manier zou men heel snel het gewicht van het voorwerp kunnen bepalen. Een SAR ADC werkt op dezelfde manier!

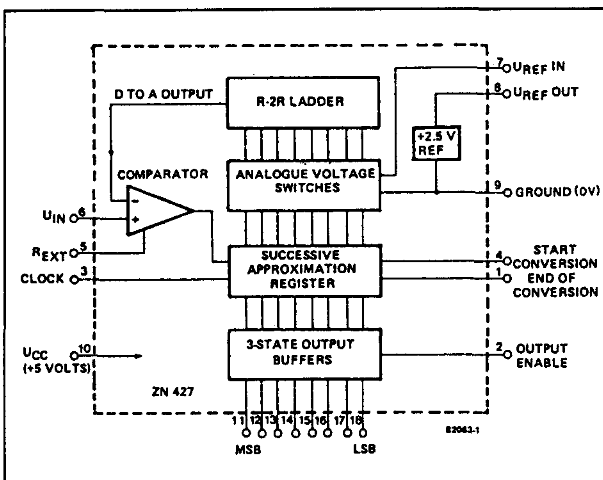


Figuur 12/3.1-6: Het principiële blokschema van een SAR ADC.

3.1 Achtergrond-informatie



Figuur 12/3.1-7: De timing van een SAR ADC.



Figuur 12/3.1-8: Intern blokschema van de ZN 427 SAR ADC van Ferranti.

Blokschema en werking

Het blokschema van een SAR ADC is getekend in figuur 12/3.1-6, de timing van de schakeling volgt uit de grafieken van figuur 12/3.1-7. Voor de eenvoud is de timing getekend voor een vijf bit brede schakeling. Na de eerste klokpuls (t1) maakt de SAR het hoogste bit Qe "H". De DAC wekt een analoge spanning op gelijkwaardig aan het gewicht van dit bit. Deze spanning wordt vergeleken met de ingangsspanning van de ADC. De comparator geeft een signaal "spanning te hoog" af aan de controle-ingang van de SAR. Bij de volgende klokpuls wordt Qe weer "L". De uitgangsspanning van de DAC gaat naar nul en de comparator stuurt een signaal "spanning te laag" naar de controle van de SAR.

Bij de volgende klokpuls wordt het op een na hoogste bit Qd "H" gemaakt. De uitgangsspanning van de DAC is nog steeds kleiner dan de ingangsspanning, de SAR krijgt van de comparator een signaal "spanning te klein". Bij de volgende klokpuls wordt nu ook het derde hoogste bit Qc "H" gemaakt. De DAC levert de analoge uitgangsspanning die overeen komt met het digitale gewicht van de twee hoge bits aan de comparator. Nu is deze spanning echter groter dan de ingangsspanning. Bij de volgende klokpuls wordt Qc weer "L" gemaakt, het signaal "spanning te laag" zorgt ervoor dat bij de volgende klokpuls Qb "H" wordt. Op deze manier tast de SAR in snel tempo alle combinaties van MSB naar LSB af, totdat een evenwicht is gevonden waarbij de uitgangscode oscilleert rond de waarde van de ingangsspanning.

Voorbeeld

In figuur 12/3.1-8 is als voorbeeld het interne blokschema van een SAR ADC getekend die min of meer een industriestandaard is geworden: de 8 bit brede omzetter van het type ZN 427 van Ferranti.

Zoals uit deze tekening blijkt beschikt een standaard SAR ADC over een tri-state uitgangsbuffer, een interne referentie voor het sturen van de ingebouwde DAC en een END OF CONVERSION uitgang.

12/3.2

Type-beschrijving ZN-serie

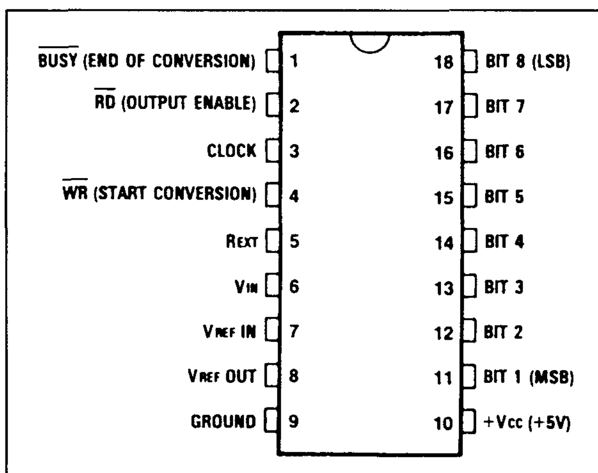
ZN 427

8 bit parallel, +/-0,5 LSB, 10 µs

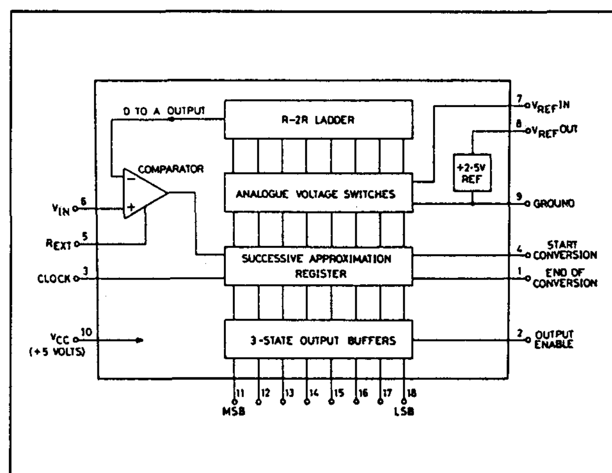
De ZN 427 is een 8 bit brede omzetter, die werkt volgens het SAR-principe. De schakeling bevat een DAC, een snelle comparator, een SAR en een 2,56 V bandgap spanningsreferentie. Deze interne referentie kan echter gemakkelijk vervangen worden door een externe referentie. De binaire uitgangen zijn tri-state en kunnen dus op een bus worden aangesloten. De interne comparator moet via een serie-weerstand worden verbonden met een negatieve spanning van maximaal -30 V.

Technische gegevens

- fabrikant: Plessey Semiconductors
- behuizing: DIL-18
- aansluitgegevens: figuur 12/3.2-1
- intern blokschema: figuur 12/3.2-2
- tijddiagram: figuur 12/3.2-3
- voedingsspanning: +5,5 V max.
- voedingsstroom: 40 mA max.
- **gegevens omzetter**:
  - resolutie: 8 bit
  - lineariteitsfout: +/-0,5 LSB max.
  - differentiële fout: +/-0,5 LSB typisch
  - temp-co fout: +/-3 ppm/°C typisch
  - temp-co gain: +/-2,5 ppm/°C typisch
  - conversie tijd: 10 µs max.
- **gegevens referentie:**
  - interne referentie: 2,56 V typisch
  - impedantie bron: 2 Ω max.
  - temp-co: 50 ppm/°C typisch
  - stroom: 15 mA max.
  - externe referentie: 1,5 V tot 3,0 V
- **gegevens comparator:**
  - ingangsstroom: 1 µA typisch
  - impedantie: 100 kΩ typisch
  - ingangsspanning: 3,5 V max.

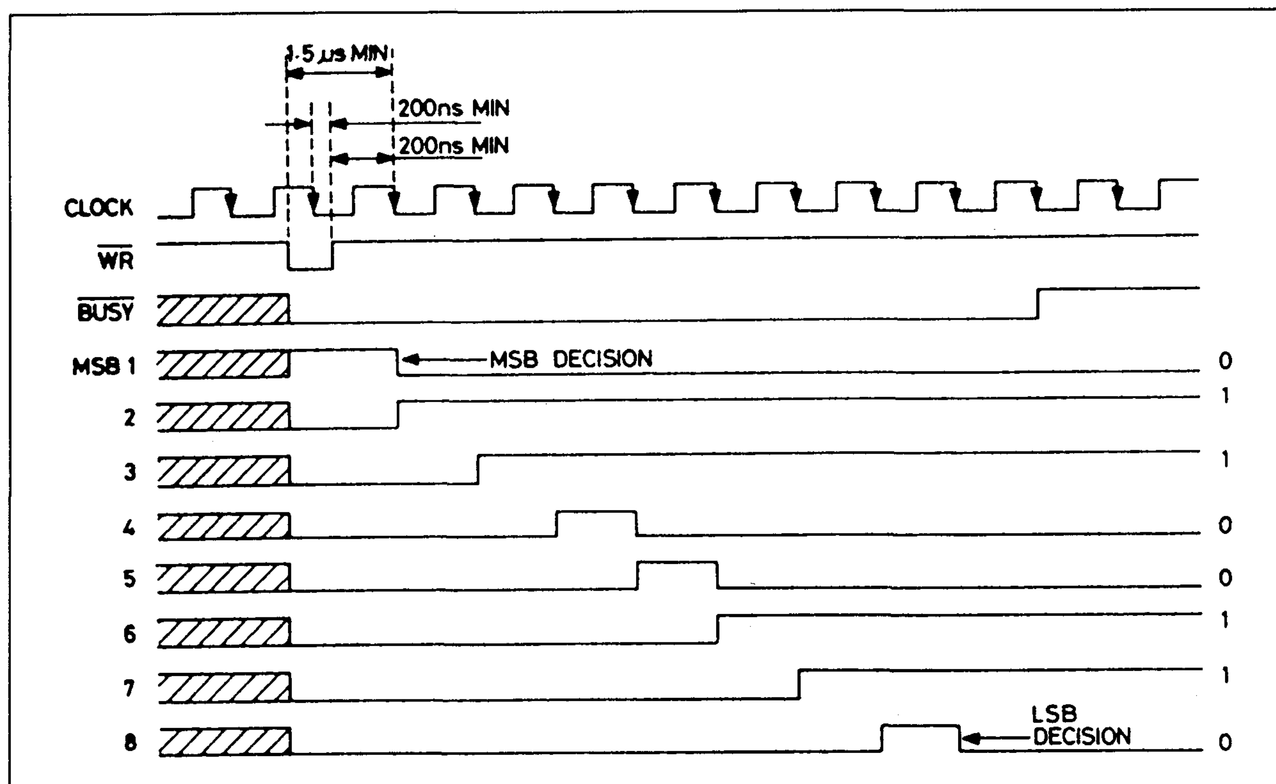


Figuur 12/3.2-1: Aansluitgegevens van de ZN 427.



Figuur 12/3.2-2: Intern blokschema van de ZN 427.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-3: Timing van de ZN 427.

- negatieve voeding: -30 V max.
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL
  - tri-state lek: 2 µA max.
  - read input to data output: 250 ns max.
  - enable delay: 250 ns max.
  - breedte start puls: 250 ns min.
  - propagation delay: 250 ns max.
  - clock-puls: 500 ns min.
  - clock-frequentie: 1 MHz max.

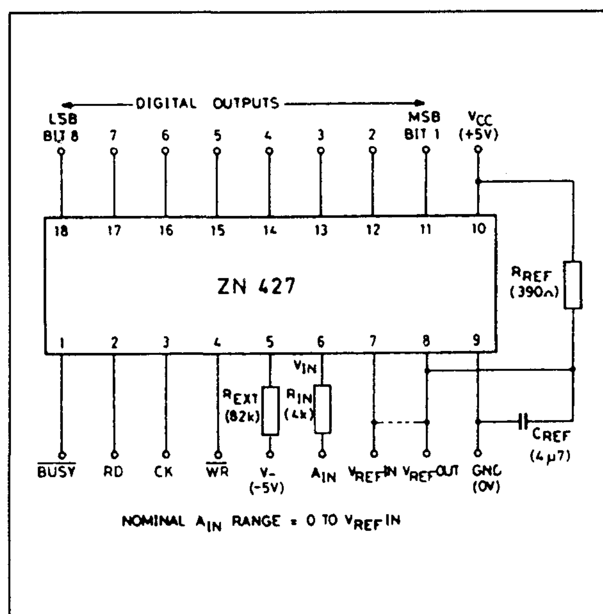
Voorbeeld-schakelingen

- figuur 12/3.2-4:

Basis-configuratie rond de ZN 427 met een ingangsbereik van 0 V tot en met V_{REF}.

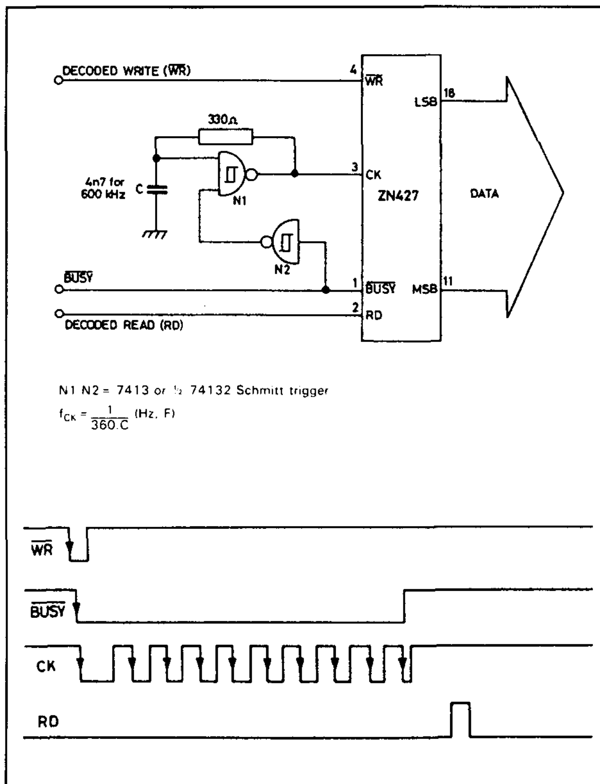
- figuur 12/3.2-5:

De meest eenvoudige schakeling voor het genereren van de clock-pulsen bestaat uit twee Schmitt-trigger poorten, geschakeld als astabiele multivibrator. De koppeling met het BUSY-signaal verzorgt de synchronisatie.



Figuur 12/3.2-4: De basis-configuratie rond de ZN 427.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-5: Het genereren van het clock-signaal.

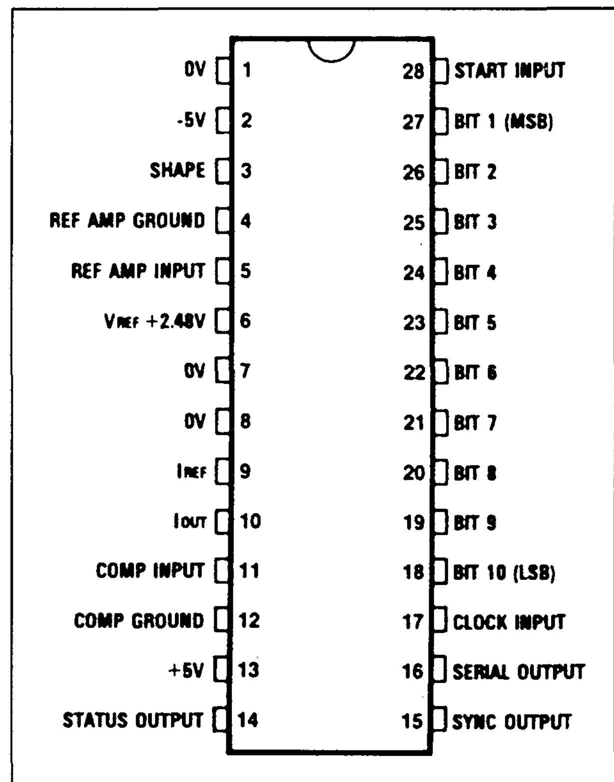
ZN 432

10 bit parallel, +/-0,5 LSB, 20 µs

De ZN 432 is een 10 bit brede omzetter, die werkt volgens het SAR-principe. De schakeling bevat een DAC die is samengesteld uit gewogen stroombronnen, een snelle comparator, een SAR en een 2,50 V spanningsreferentie met referentieversterker. De binaire uitgangen zijn niet tri-state uitgevoerd! De schakeling moet symmetrisch gevoed worden uit +/-5 V.

Technische gegevens

- fabrikant: Plessey Semiconductors
- behuizing: DIL-28
- aansluitgegevens: figuur 12/3.2-6
- intern blokschema: figuur 12/3.2-7
- tijddiagram: figuur 12/3.2-8
- voedingsspanning: +/-5,5 V max.
- voedingsstroom: 35 mA max.
- **gegevens omzetter:**
  - resolutie: 10 bit
  - lineariteitsfout: +/-0,5 LSB max.
  - differentiële fout: +/-0,5 LSB typisch
  - temp-co fout: +/-10 ppm/°C typisch
  - temp-co gain: +/-10 ppm/°C typisch
  - conversie tijd: 20 µs max.
- **gegevens referentie:**
  - interne referentie: 2,48 V typisch
  - impedantie bron: 0,75 Ω max.
  - temp-co: 50 ppm/°C typisch
  - stroom: 2 mA max.
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL



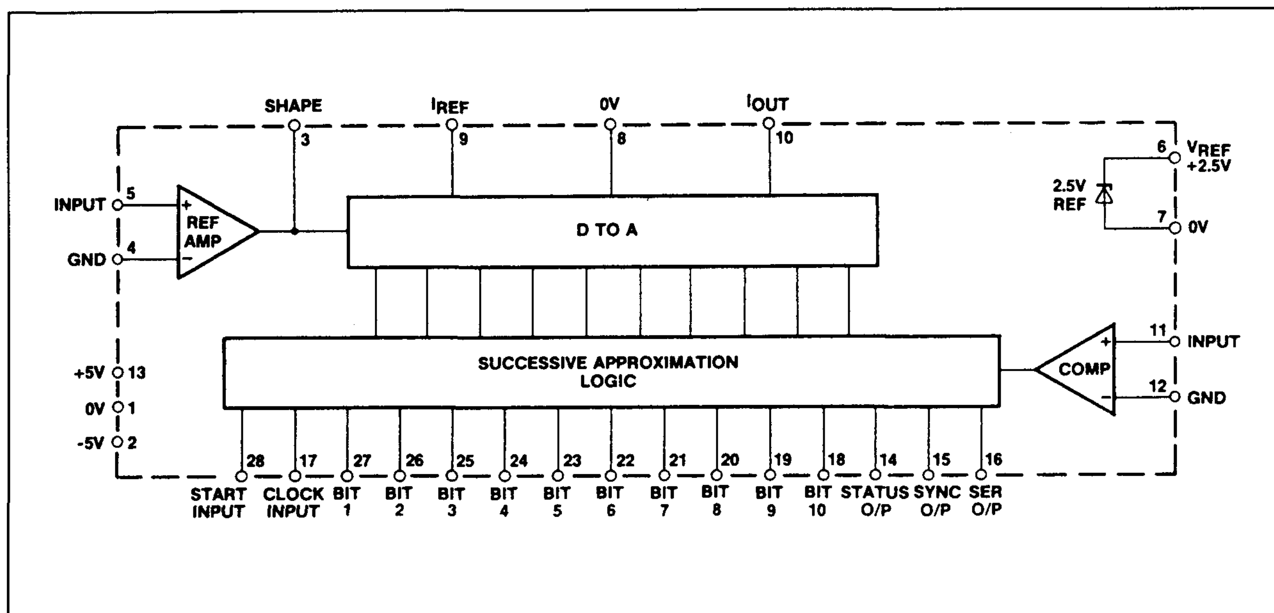
Figuur 12/3.2-6: Aansluitgegevens van de ZN 432.

Voorbeeld-schakeling

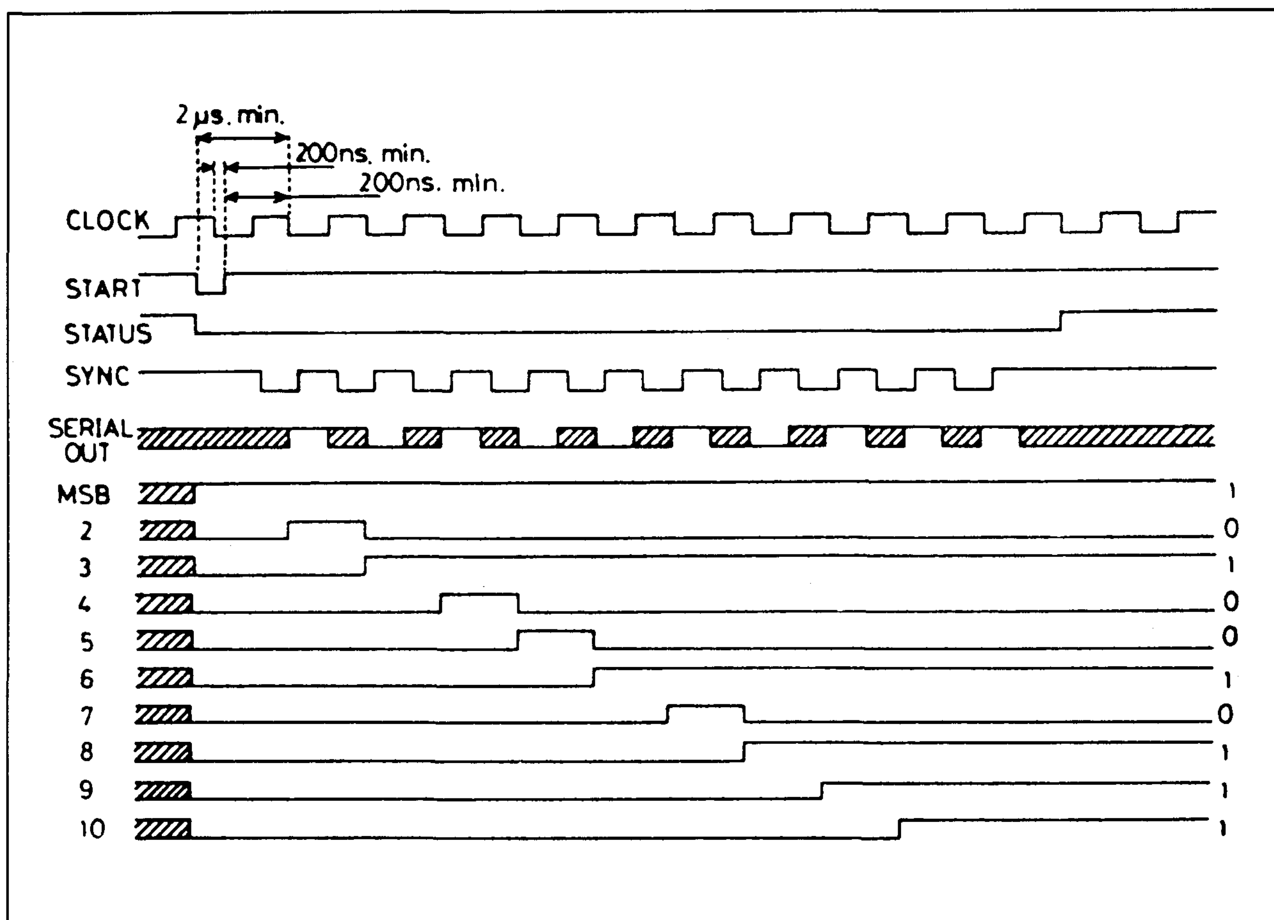
- figuur 12/3.2-9:

Standaard schakeling rond de ZN 432 met symmetrische voeding en unipolaire werking van de ingang.

3.2 Type-beschrijving ZN-serie

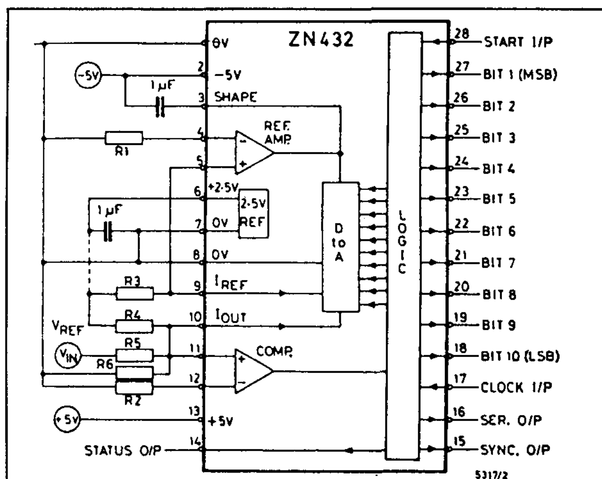


Figuur 12/3.2-7: Intern blokschema van de ZN 432.

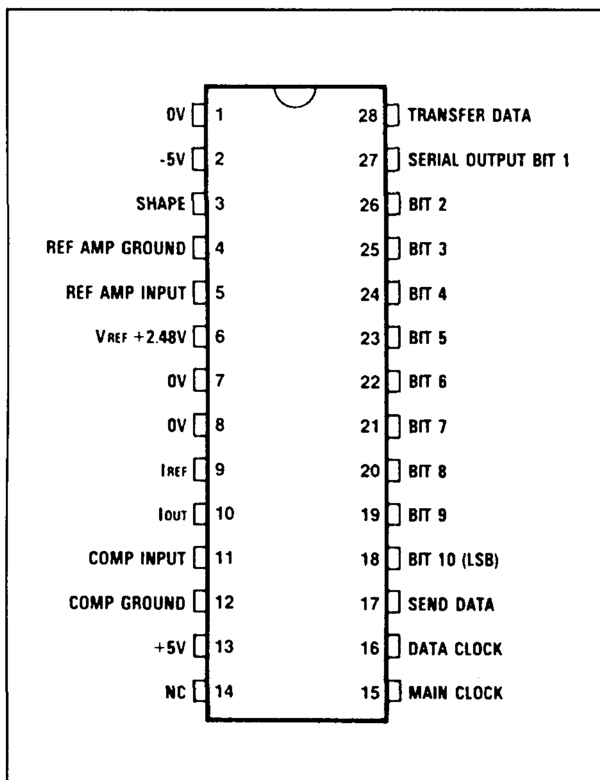


Figuur 12/3.2-8: Timing van de ZN 432.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-9: Standaard schakeling rond de ZN 432.



Figuur 12/3.2-10: Aansluitgegevens van de ZN 433.

ZN 433

10 bit par/ser, +/-0,5 LSB, 1 µs

De ZN 433 is een 10 bit brede omzetter, die werkt volgens het tracking-principe. De schakeling bevat een DAC die is samengesteld uit snelle gewogen stroombronnen, een snelle comparator, een op/neer-teller en een 2,50 V spanningsreferentie met referentieversterker.

De binaire uitgangen staan zowel onder parallelle als onder seriële vorm ter beschikking. De ZN 433 moet symmetrisch gevoed worden uit +/-5 V en is zowel TTL- als CMOS-compatible.

Technische gegevens

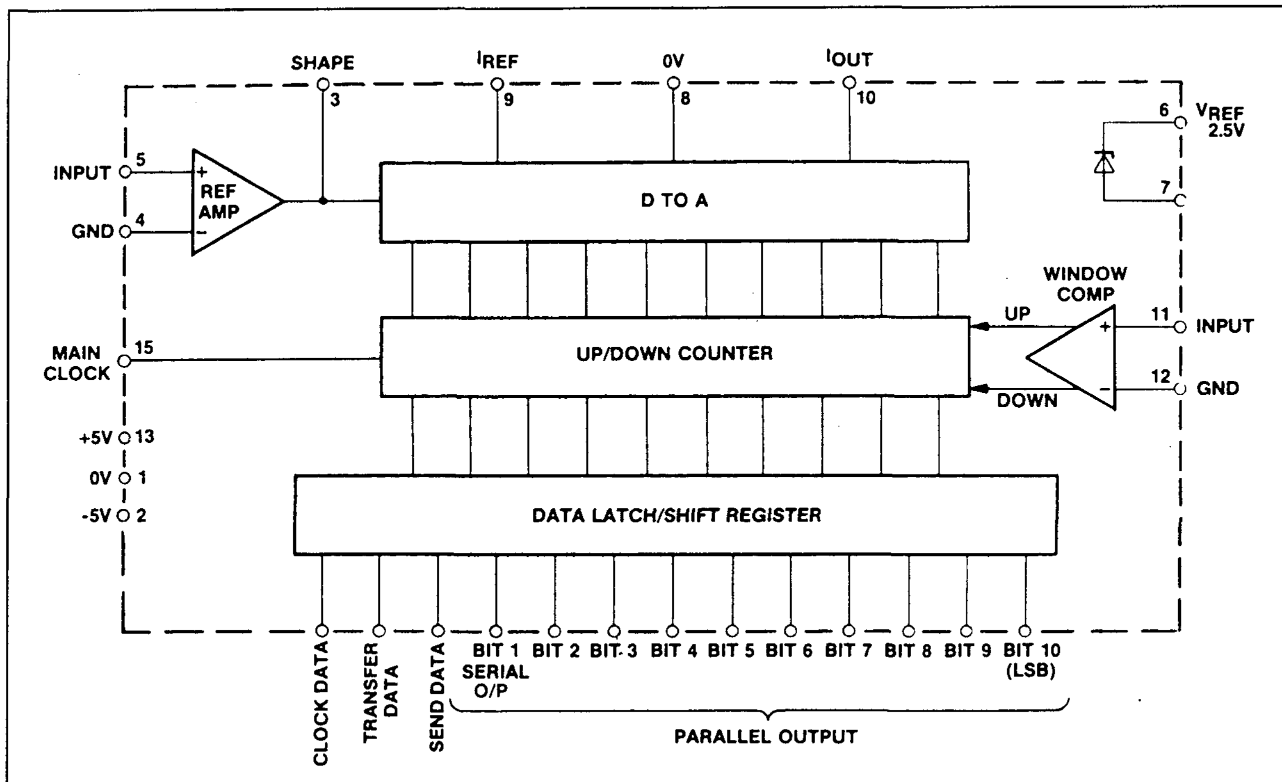
- fabrikant: Plessey Semiconductors
- behuizing: DIL-28
- aansluitgegevens: figuur 12/3.2-10
- intern blokschema: figuur 12/3.2-11
- voedingsspanning: +/-5,5 V max.
- voedingsstroom: 50 mA max.
- **gegevens omzetter**:
  - resolutie: 10 bit
  - lineariteitsfout: +/-0,5 LSB max.
  - differentiële fout: +/-0,5 LSB typisch
  - temp-co fout: +/-7 ppm/°C typisch
  - temp-co gain: +/-10 ppm/°C typisch
  - conversie tijd: 1 µs max.
- **gegevens referentie:**
  - interne referentie: 2,48 V typisch
  - impedantie bron: 0,75 Ω max.
  - temp-co: 50 ppm/°C typisch
  - stroom: 4 mA max.
- **gegevens logica:**
  - binaire uitgangen: TTL/CMOS
  - stuuringangen: TTL/CMOS

Logische werking

De uitgangen worden parallel geladen in de datalatch als de TRANSFER DATA ingang "H" is.

De minimale pulsbreedte op deze ingang moet 50 ns bedragen. Deze ingang mag niet naar "H" gaan voordat de MAIN CLOCK weer "L" is geworden en moet weer naar "L" gaan voor de volgende positieve flank van de MAIN CLOCK verschijnt.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-11: Intern blokschema van de ZN 433.

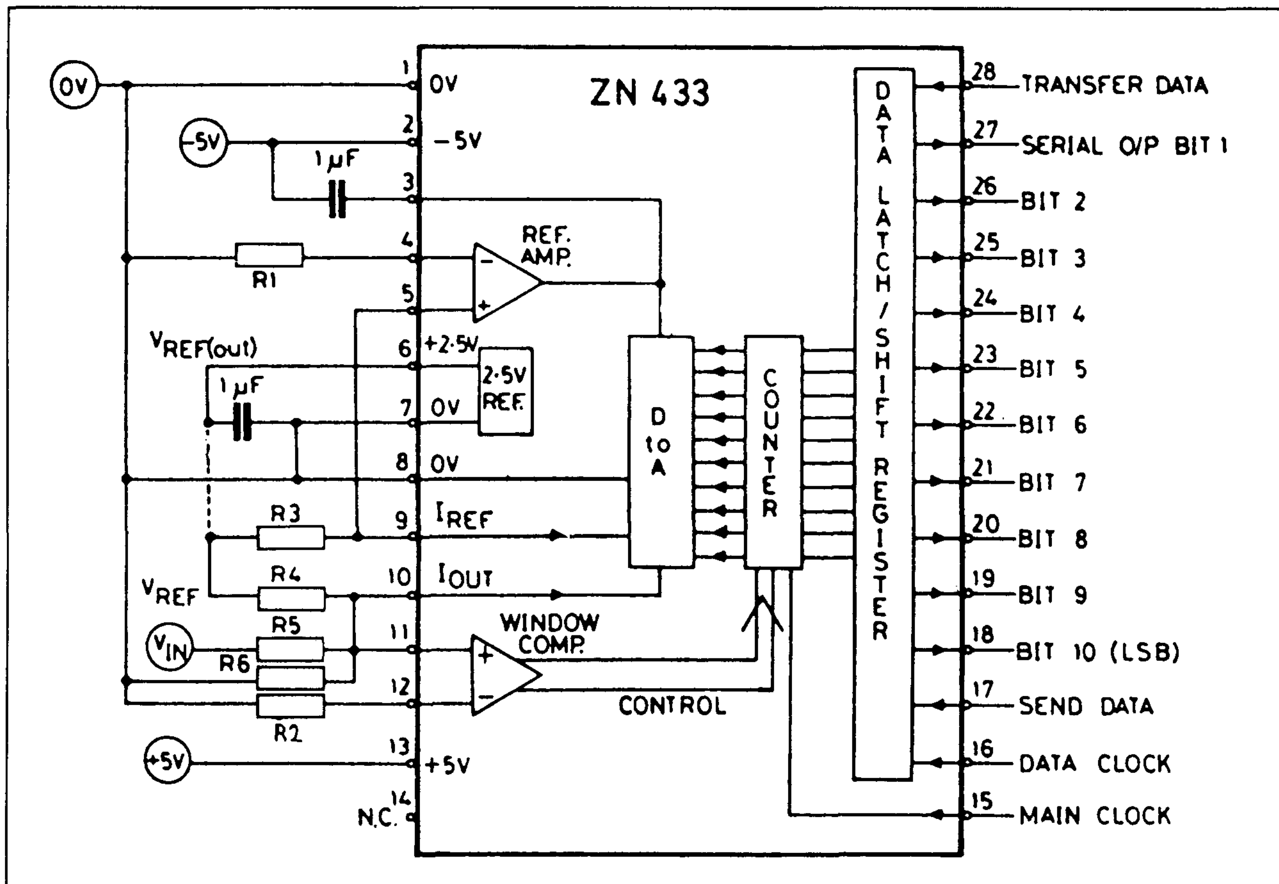
Als de TRANSFER DATA op "H" wordt gehouden, zullen de uitgangspulsen onmiddellijk op de parallelle uitgangen verschijnen. Seriële gegevens verschijnen, met het MSB als eerste, op pen 27 door de ingang DATA CLOCK te sturen met een blokgolf met een maximale frequentie van 1 MHz. Een "L" op de ingang SEND DATA schakelt de DATA CLOCK uit en zet alle uitgangen op "H".

Voorbeeld-schakeling
– figuur 12/3.2-12:
Standaard schakeling rond de ZN 433.

ZN 437

8 bit parallel,
+/-0,5 LSB, 16 μs, 8 analoge ingangen
De ZN 437 is een 8 bit brede omzetter, die werkt volgens het SAR-principe. De schakeling heeft acht analoge ingangen, die door middel van een analoge multiplexer met de ingang van de comparator verbonden kunnen worden. De binaire gegevens van de acht analoge ingangen kunnen in een RAM worden opgeslagen en van daaruit op commando van besturingssignalen een na een uitgelezen worden op de data-bus. Hiervoor worden de signalen A0 tot en met A2 van een adres-bus gebruikt. De schakeling bevat een DAC, een snelle comparator, een SAR, een 8 x 8 RAM, tri-state uitgangsbuffers en de nodige logica om het gehele IC uit een μP-bus te besturen. De binaire uitgangen zijn tri-state en kunnen dus op een bus worden aangesloten.
De omzetter kan in een van de vier onderstaande modi werken:
- single shot conversie van een van de acht ingangen;
- single shot conversie van alle ingangen;
- continue bemonstering van een bepaalde ingang;
- continue bemonstering van alle ingangen.

3.2 Type-beschrijving ZN-serie



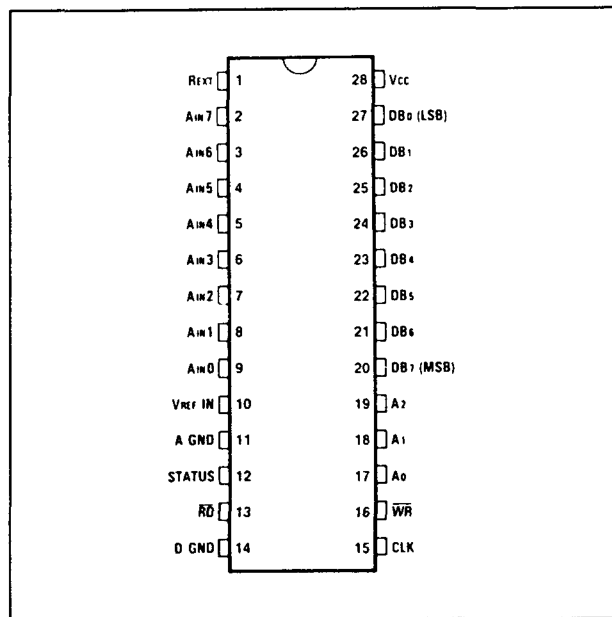
Figuur 12/3.2-12: Standaard schakeling rond de ZN 433.

De ingebouwde comparator moet via een externe serie-weerstand op pen 1 worden aangesloten op een negatieve voedingsspanning van maximaal -30 V.

Technische gegevens

- fabrikant: Plessey Semiconductors
- behuizing: DIL-28
- aansluitgegevens: figuur 12/3.2-13
- intern blokschema: figuur 12/3.2-14
- voedingsspanning:
  +5,5 V max.
  -30 V max.
- voedingsstroom: 45 mA max.
- **gegevens omzetter:**
  - resolutie: 8 bit
  - lineariteitsfout: +/-0,5 LSB max.
  - differentiële fout: +/-0,75 LSB typisch
  - temp-co fout: +/-3 ppm/°C typisch
  - temp-co gain: +/-10 ppm/°C typisch
  - conversie tijd: 16 μs max.
- **gegevens referentie:**
  - externe referentie: 3,0 V max.
- **gegevens multiplexer:**
  - ingangsstroom: 10 nA typisch
  - impedantie: 10 MΩ typisch
  - spanning: 3,5 V max.
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL
  - enable/disable tijd:
    TE1: 220 ns typisch
    TE0: 120 ns typisch
    TD1: 160 ns typisch
    TD0: 110 ns typisch
  - schrijfpuls: 135 ns min.
  - leespuls: 220 ns min.
  - $\overline{WR}$-puls naar STATUS: 360 ns typisch
  - data setup: 55 ns min.
  - data hold: 10 ns min.

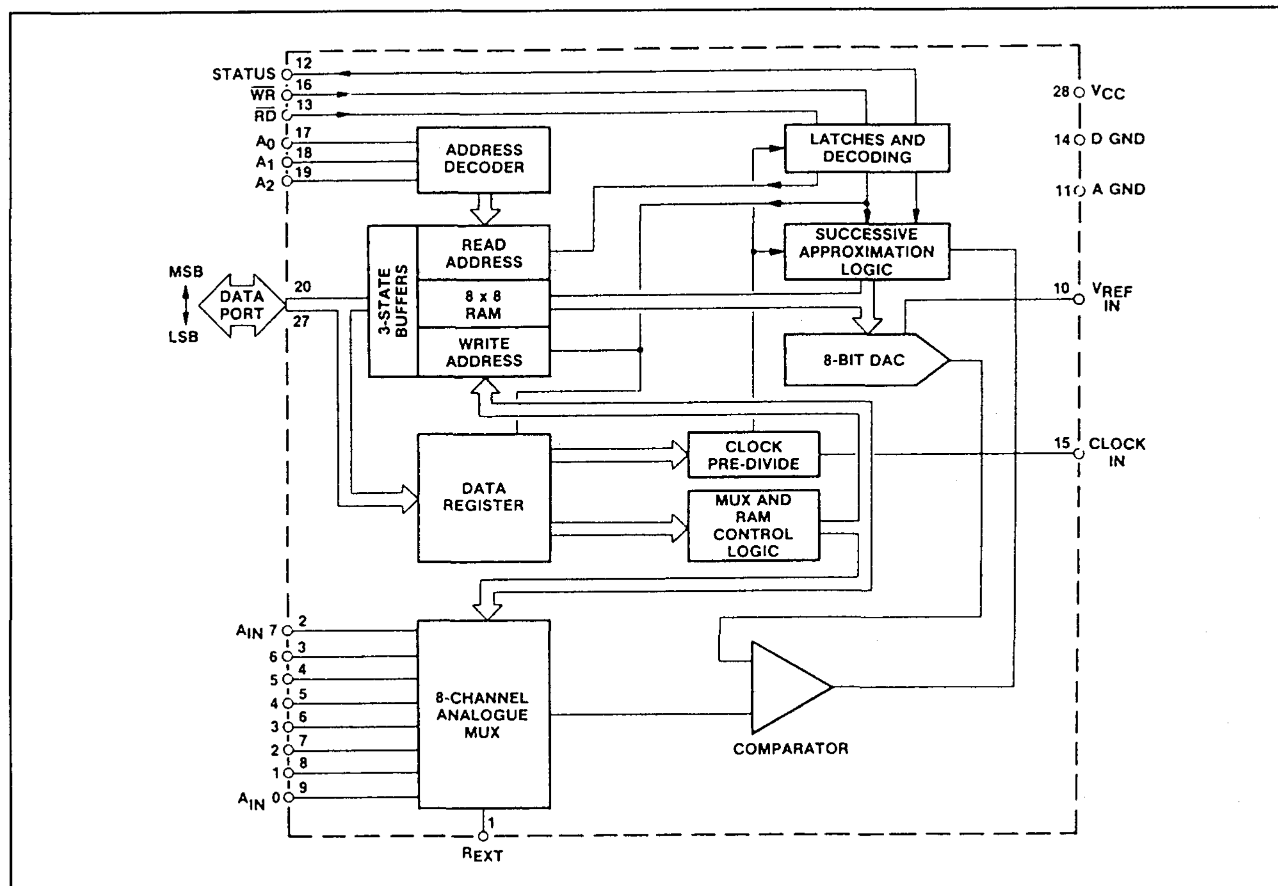
3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-13: Aansluitgegevens van de ZN 437.

Beschrijving van de werking

De ZN 437 accepteert maximaal acht analoge ingangsspanningen en wordt volledig geprogrammeerd door een 8 bit controle woord. De resultaten van de SAR-omzetting worden automatisch in de juiste plaats van het 8 x 8 RAM-geheugen opgeborgen. Het controle woord wordt in het IC geladen bij het verschijnen van de negatieve flank van het $\overline{WR}$-signaal. De mode van de conversie, de ingangskanalen en de clock-frequentie worden bepaald door de inhoud van het controle woord. De STATUS-uitgang gaat "H" op het moment dat een analoog naar digitaal omvorming start. De multiplexer aan de ingang selecteert een van de ingangen en voert deze toe aan de interne comparator, die de grootte van deze spanning vergelijkt met de uitgangsspanning van de DAC.



Figuur 12/3.2-14: Intern blokschema van de ZN 437.

3.2 Type-beschrijving ZN-serie

	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Control Word	$\overline{START}$	CLOCK PRE-DIVIDER		$\overline{CY}$	$\overline{SQ}$	ANALOGUE INPUT		
Initialisation word	1	X	X	1	1	X	X	X

X = do not care

Figuur 12/3.2-15: De samenstelling van het controle woord.

DB2	DB1	DB0	CHANNEL SELECTED
0	0	0	0
1	0	0	1
0	1	0	2
1	1	0	3
0	0	1	4
1	0	1	5
0	1	1	6
1	1	1	7

Figuur 12/3.2-16: De samenstelling van de ingangsselectie code.

DB6	DB5	DIVISION RATIO
1	1	1
1	0	2
0	1	4
0	0	8

Figuur 12/3.2-17: De twee bits die de deelfactor voor de clock-frequentie bepalen.

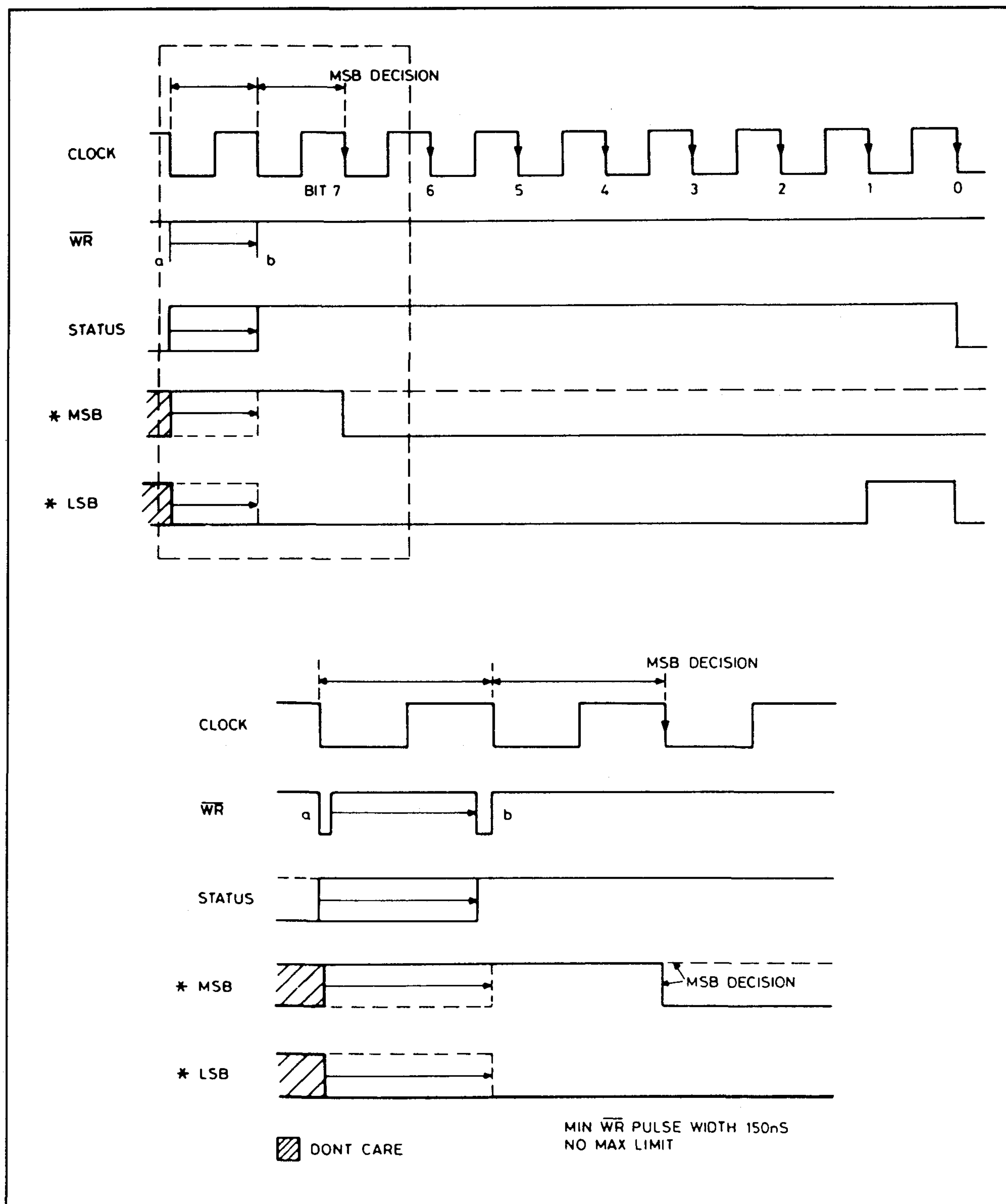
Op het moment dat de omzetting is voltooid, gaat STATUS naar "L". De gegevens worden dan weer ingeschreven in de ingebouwde RAM. De uitgangsgegevens kunnen worden uitgelezen door het juiste kanaaladres op de pennen A0 tot en met A2 te zetten, en $\overline{RD}$ "L" te maken.
Op deze negatieve flank worden de geselecteerde gegevens uit het RAM getransporteerd naar de uitgangsbuffers, die bovendien uit de tri-state toestand ontwaken.

Het controle woord

Na het aanleggen van de voedingsspanning moet de ZN 437 geïnitialiseerd worden door het aanleggen van het controle woord. Op dat moment moeten de ingangen $\overline{START}$, $\overline{SQ}$ en $\overline{CY}$ "L" zijn.
De samenstelling van het controle woord is gegeven in figuur 12/3.2-15.
De functie van de bits is als volgt:

- ANALOGUE INPUT
  Een drie bit brede binaire code voor de selectie van de ingangen. De samenstelling van deze code is gegeven in figuur 12/3.2-16. Deze code moet alleen in het woord opgenomen worden als de conversie specifiek op één kanaal van toepassing moet zijn.
- SEQUENCE $\overline{SQ}$
  Een aktief lage ingang, die toegepast moet worden als alle ingangen sequentieel bemonsterd moeten worden.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-18: De timing van de conversie-cyclus van de ZN 437.

3.2 Type-beschrijving ZN-serie

- CYCLING $\overline{\text{CY}}$
  Een aktief lage ingang, die geactiveerd moet worden als alle kanalen continu bemonsterd moeten worden.
- CLOCK PRE-DIVIDER
  Een twee bit brede code, die aangeeft met welke factor de clock-frequentie gedeeld wordt, volgens de tabel van figuur 12/3.2-17.
- $\overline{\text{START}}$
  Een "H" naar "L" overgang op dit bit start een omzetting.

Het controle woord moet aanwezig zijn op de data-bus en wordt in het IC gelatched bij de positieve flank van het $\overline{\text{WR}}$-signaal. Dit signaal is altijd noodzakelijk als een nieuw controle woord wordt ingelezen.

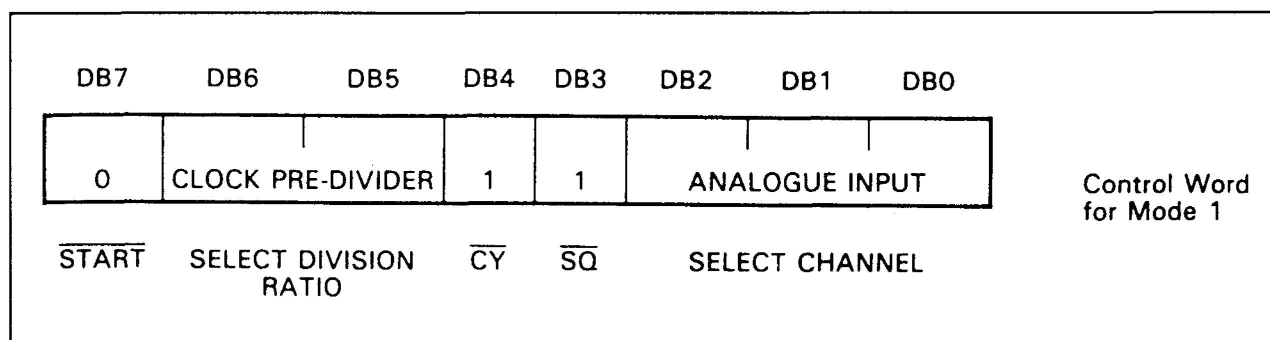
Timing van de omzetting
Na het inladen van het controle woord wordt de omzetting gestart door het "L" gaan van het $\overline{\text{WR}}$-signaal. Deze puls hoeft niet gesynchroniseerd te zijn met de clock en moet een minimale breedte van 150 ns hebben. De timing van de schakeling is weergegeven in figuur 12/3.2-18.

Conversie modi
De ZN 437 heeft vier verschillende conversie-modi:
- mode 1:
  single shot conversie van een van de acht ingangen;
- mode 2:
  continue bemonstering van een bepaalde ingang;
- mode 3:
  single shot conversie van alle ingangen;
- mode 4:
  continue bemonstering van alle ingangen.

De mode wordt bepaald door de samenstelling van de $\overline{\text{CY}}$- en $\overline{\text{SQ}}$-bits van het controle-woord.

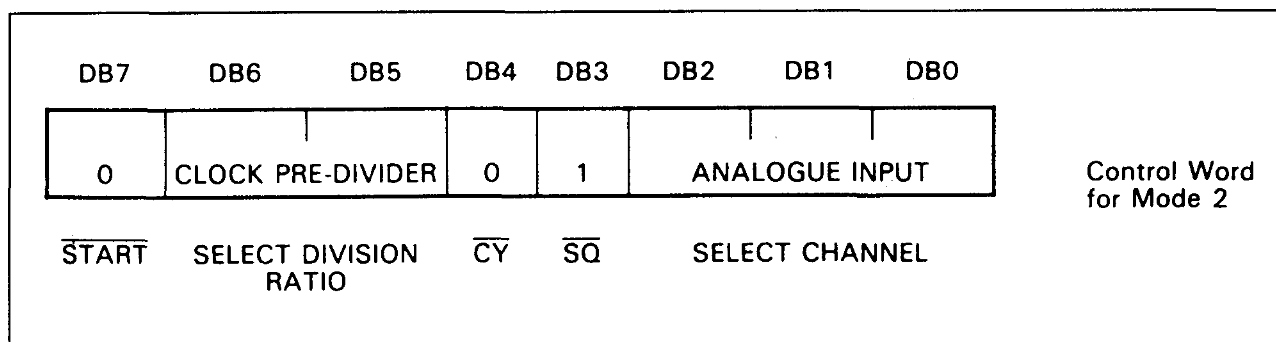
Mode 1
De samenstelling van het controle woord voor deze mode is getekend in figuur 12/3.2-19. De omzetting wordt gestart door het "L" worden van DB7. De STATUS-uitgang gaat naar "H" en de interne clock wordt gestart. Na de omzetting gaat STATUS naar "L" en de interne clock wordt gestopt. De samenstelling van het controle woord in het register wordt nu automatisch gereset naar "H" en de schakeling is klaar voor het ontvangen van de volgende opdracht.

Mode 2
Een continue bemonstering van een specifieke ingang wordt ingeleid door het "L" gaan van $\overline{\text{START}}$. Na iedere conversie bekijkt de interne logica de logische waarde op $\overline{\text{CY}}$. Is deze nog steeds "L", zie figuur 12/3.2-20, dan wordt een volgende omzetting gestart. Is dit bit echter "H" (door het schrijven van een nieuwe controle woord), dan wordt de omzetting gestopt.

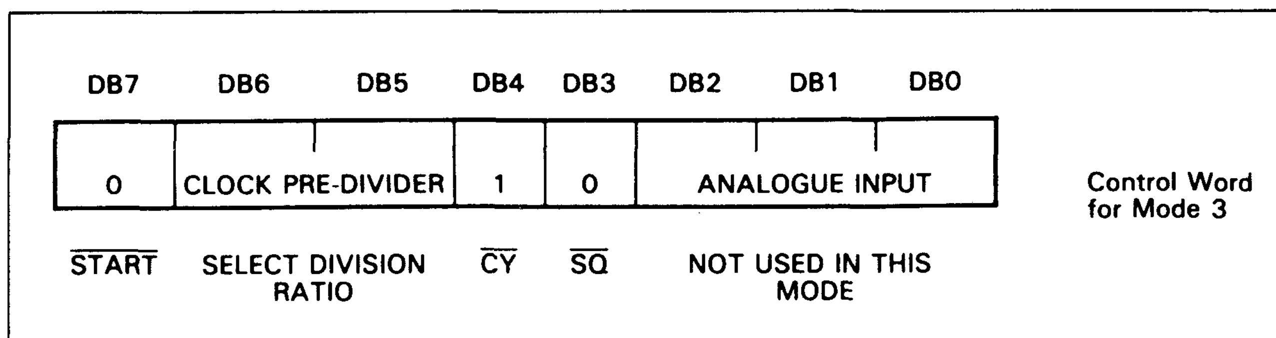


Figuur 12/3.2-19: De samenstelling van het controle woord bij mode 1.

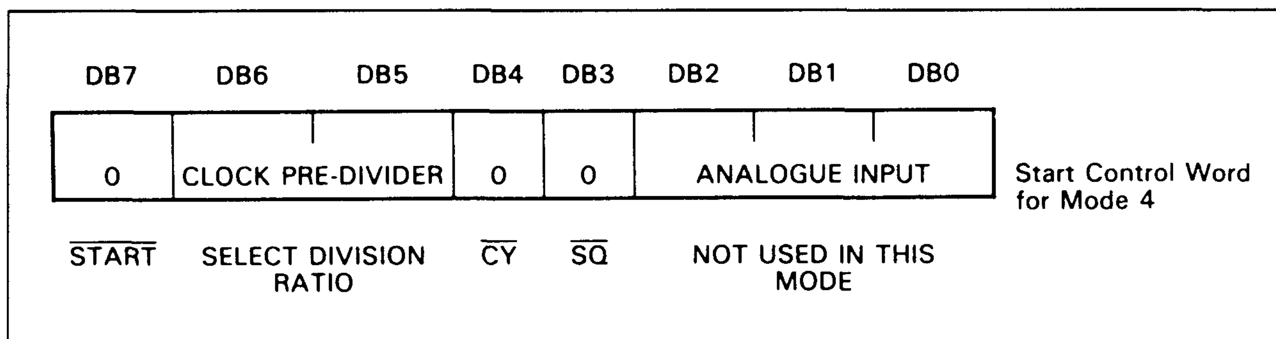
3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-20: De samenstelling van het controle woord voor een mode 2 werking.



Figuur 12/3.2-21: De samenstelling van het controle woord voor mode 3.



Figuur 12/3.2-22: De samenstelling van het controle woord voor mode 4.

Mode 3

Door het controle woord de samenstelling te geven van figuur 12/3.2-21 start de ZN 437 met het een na een bemonsteren van alle ingangen. De samenstelling van de drie eerste bits van het woord is nu uiteraard niet van belang. De omzetting start weer door het "L" worden van de $\overline{START}$. De STATUS-uitgang wordt "H" en de interne clock wordt gestart. Nadat alle ingangen zijn afgescand en de resultaten in het interne RAM-geheugen zijn opgeslagen, wordt de cyclus beëindigd. Het in het register opgeslagen controle woord wordt weer gevuld met "H"'s.

Mode 4

Voor mode 4 moeten $\overline{CY}$ en $\overline{SQ}$ "L" worden gemaakt (zie figuur 12/3.2-22). Een cyclus start weer door het "L" worden van $\overline{START}$. Nadat ingangskanaal 7 bemonsterd is, wordt weer begonnen met het bemonsteren van kanaal 0. Er zij twee methodes om het bemonsteren te beëindigen. In eerste instantie kan een nieuw controle woord geschreven

3.2 Type-beschrijving ZN-serie

worden, met $\overline{\text{SQ}}$, $\overline{\text{CY}}$ en $\overline{\text{START}}$ "H". De aan de gang zijnde omzetting wordt voltooid, nadien wordt de schakeling gereset. Maakt men echter alleen $\overline{\text{START}}$ en $\overline{\text{CY}}$ "H", dan wordt een volledige cyclus (dus tot en met analoge ingang 7) afgerond en gaat het IC nadien naar de wacht-stand.

Het uitlezen van de data

De gegevens in het 8 x 8 RAM worden geselecteerd door de drie laagste adreslijnen A0 tot en met A2 volgens de gegevens in de tabel van figuur 12/3.2-23. De gegevens op de adres-bus worden ingelezen op het moment dat $\overline{\text{RD}}$ "L" gaat.

A_2	A_1	A_0	CHANNEL TO BE READ
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

Figuur 12/3.2-23: Het selecteren van de gegevens die in het RAM-geheugen opgeslagen zijn.

De acht data-poorten, via dewelke de gegevens ter beschikking komen, zijn bidirectionele in/uitgangen, die in tri-state geschakeld kunnen worden door het "H" worden van het $\overline{\text{RD}}$-signaal.

De clock

De clock-ingang van de ZN 437 moet gestuurd worden met TTL-compatibele signalen met een maximale frequentie van 4 MHz. Bij deze frequentie moet de interne frequentie-deler echter worden ingesteld op :8.

Het analoge deel van de schakeling

De ZN 437 heeft een externe referentie nodig met een spanning van maximaal +3,0 V. Deze spanning wordt aangesloten tussen de pennen 10 en 11. De impedantie van de externe referentie-bron moet kleiner zijn dan 2,5 Ω.

De snelle comparator moet via een serieweerstand op pen 1 aangesloten worden op een negatieve voedingsspanning. Bij een voeding van -5 V moet deze weerstand gelijk zijn aan 1,8 kΩ.

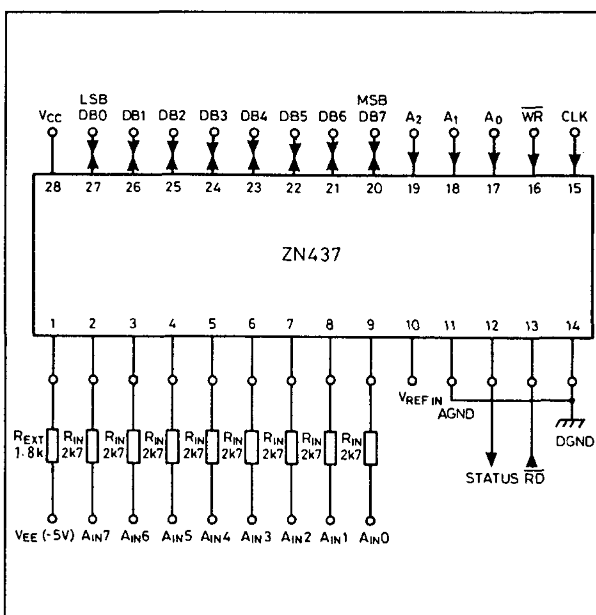
Voorbeeld-schakelingen

– figuur 12/3.2-24:

Basis-schema rond de ZN 437 voor unipolaire werking. In dit geval is het bereik van de analoge ingangen beperkt tot de waarde van de referentiespanning. Let op de serieweerstanden in de analoge ingangslijnen! Bipolaire werking is mogelijk door de analoge ingangen te offsetten op een instelspanning, zodat de spanningen aan de ingangen van het IC steeds positief zijn.

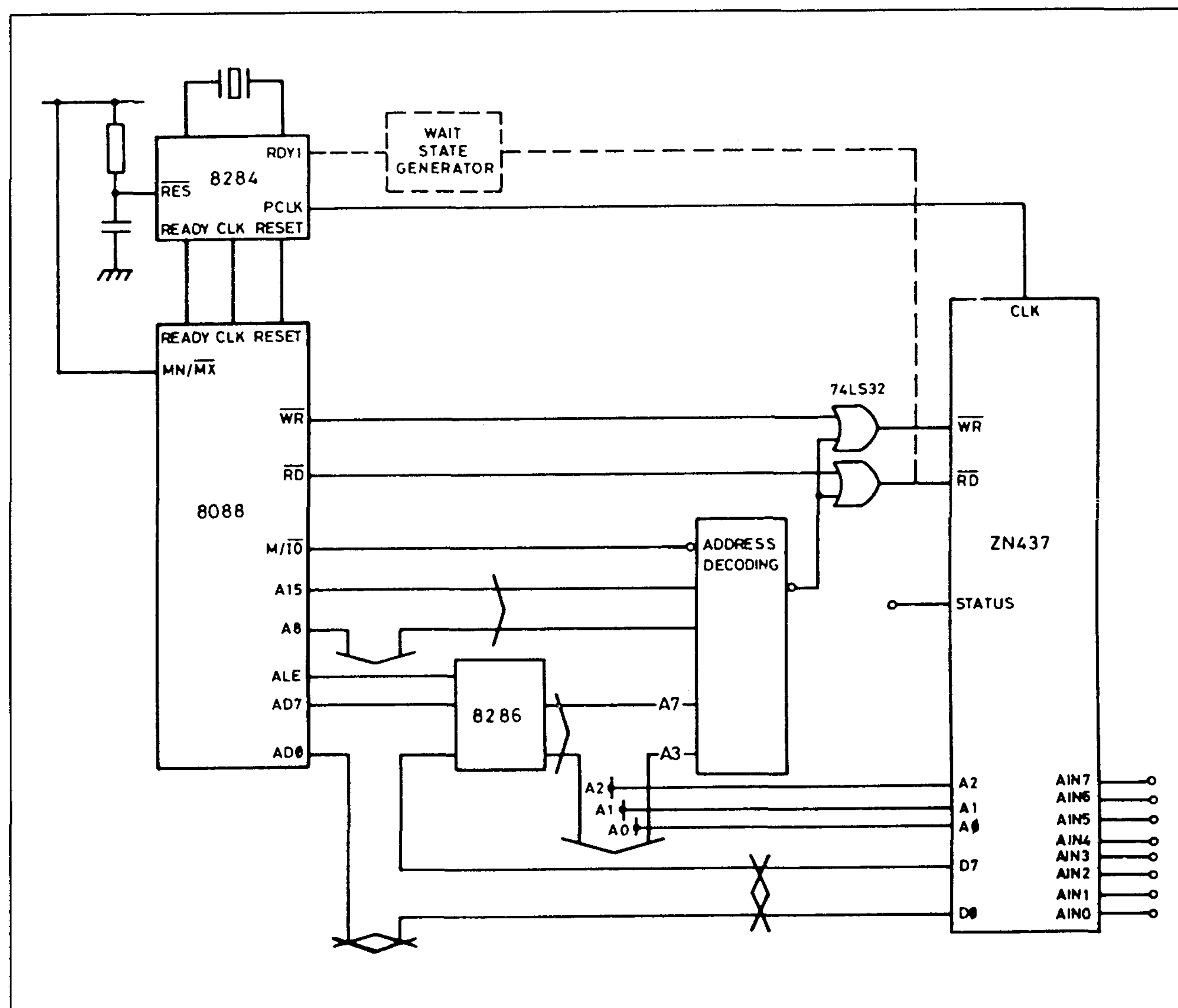
– figuur 12/3.2-25:

Standaard-schema voor de interfacing tussen een processor uit de Intel-serie en de ZN 437.



Figuur 12/3.2-24: Standaard-schema rond de ZN 437 voor unipolaire werking.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-25: Het interfacen van een ZN 437 op een processor uit de Intel-familie.

ZN 439

8 bit parallel, +/-0,25 LSB, 5 µs

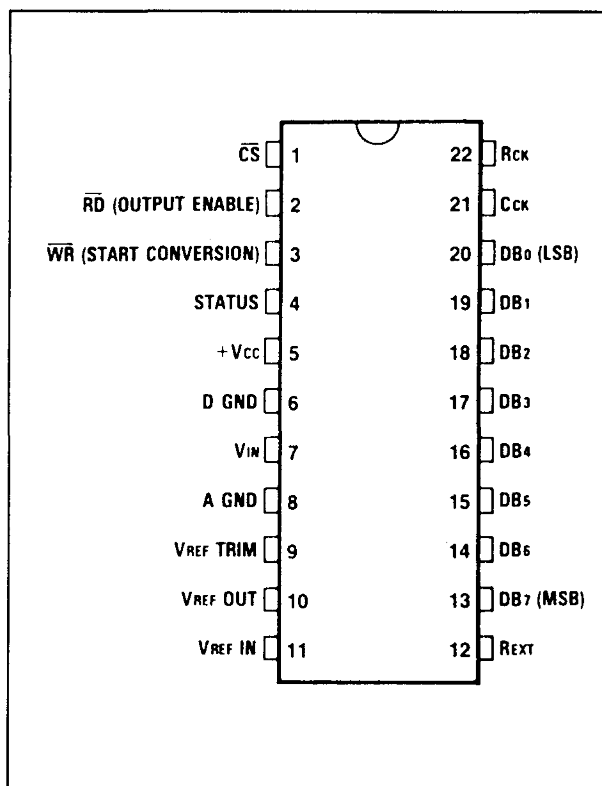
De ZN 439 is een 8 bit brede omzetter, die werkt volgens het SAR-principe. De schakeling is speciaal ontworpen voor eenvoudige interfacing op een µP-bus. De schakeling bevat een DAC, een snelle comparator, een SAR en een 2,5 V bandgap spanningsreferentie. Deze interne referentie kan extern afgeregeld worden. Daarnaast is een interne clock-oscillator aanwezig, die door middel van een RC-tijdconstante op een bepaalde frequentie ingesteld kan worden. De binaire uitgangen zijn tri-state en kunnen dus op een bus worden aangesloten. De schakeling kan gevoed worden uit een standaard +5 V voeding, maar de comparator moet via een externe serie-weerstand aangesloten worden op een negatieve spanning van maximaal -30 V.

Er worden zes versies geleverd, die onderling alleen verschillen in de lineariteit:
- ZN 439 E-9: +/-0,25 LSB;
- ZN 439 J-9: +/-0,25 LSB;

3.2 Type-beschrijving ZN-serie

- ZN 439 E-8: +/-0,50 LSB;
- ZN 439 J-8: +/-0,50 LSB;
- ZN 439 E-7: +/-1,0 LSB;
- ZN 439 J-7: +/-1,0 LSB.

Technische gegevens
- fabrikant: Plessey Semiconductors
- behuizing: DIL-22
- aansluitgegevens: figuur 12/3.2-26
- intern blokschema: figuur 12/3.2-27
- tijddiagram: figuur 12/3.2-28
- voedingsspanning:
  +5,5 V max.
  -30 V max.
- voedingsstroom: 45 mA max.
- **gegevens omzetter:**
  - resolutie: 8 bit
  - lineariteitsfout: zie hoger
  - differentiële fout: +/-0,5 LSB typisch
  - temp-co fout: +/-6 ppm/°C typisch
  - temp-co gain: +/-10 ppm/°C typisch
  - conversie tijd: 5 µs max.
- **gegevens referentie:**
  - interne referentie: 2,88 V typisch
  - tolerantie: +/-3 % max.
  - impedantie bron: 0,75 Ω max.
  - temp-co: 70 ppm/°C typisch
  - stroom: 5,2 mA max.
- **gegevens comparator:**
  - ingangsstroom: 1 µA typisch
  - impedantie: 100 kΩ typisch
  - spanning: 3,5 V max.
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL
  - tri-state lek: 2 µA max.
  - enable/disable delay TE1: 160 ns max.
  - enable/disable delay TE0: 120 ns max.
  - enable/disable delay TD1: 160 ns max.
  - enable/disable delay TD0: 110 ns max.
  - breedte schrijf-puls: 150 ns min.
  - breedte lees-puls: 160 ns min.
- **gegevens clock:**
  - frequentie intern: 1,6 MHz max.
  - frequentie extern: 2 MHz max.
  - temp-co: +/-0,1 %/°C typisch
  - externe C: 100 pF min.
  - externe R: 1 kΩ min.
  - pulsbreedte extern: 250 ns min.

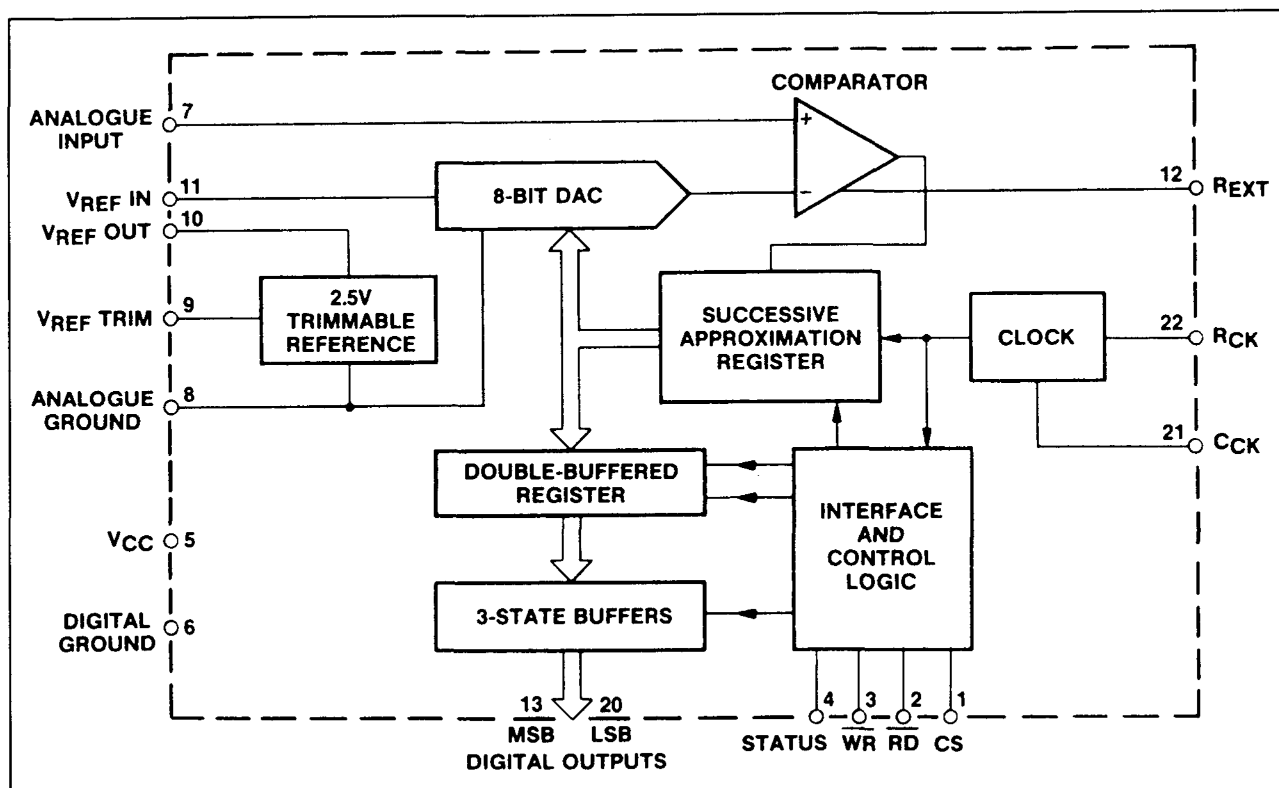


Figuur 12/3.2-26: Aansluitgegevens van de ZN 439.

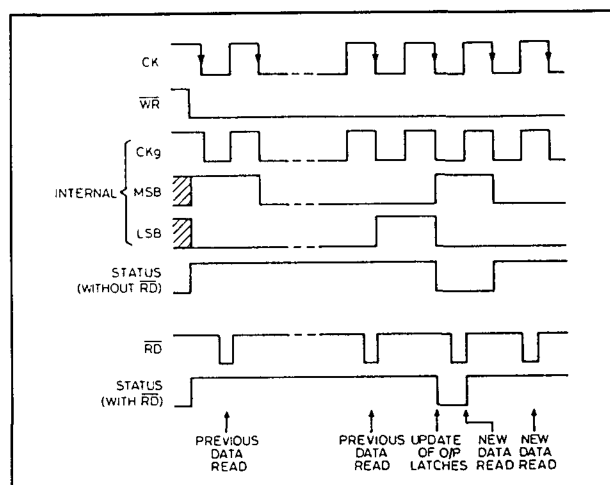
Voorbeeld-schakeling
- figuur 12/3.2-29:

Basis-configuratie rond de ZN 439 voor unipolaire werking, waarbij de ingangsspanning mag variëren tussen 0 V en de waarde van de referentiespanning. In dit voorbeeld wordt de interne clock gebruikt.
Met 1,5 kΩ en 100 pF zal de frequentie ongeveer gelijk zijn aan de maximale waarde van 1,5 MHz. Als een externe clock wordt toegepast, blijft pen 22 open en moet pen 21 via een optrekweerstand met de +5 V voeding verbonden worden en natuurlijk ook met het externe clock-signaal. De interne referentie (pen 10) moet via een weerstand met de +5 V verbonden worden en ontkoppeld naar de massa met een condensator.

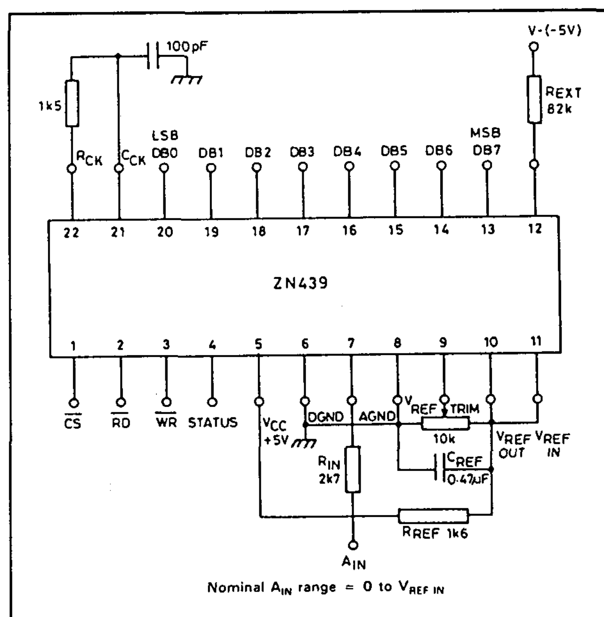
3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-27: Intern blokschema van de ZN 439.



Figuur 12/3.2-28: Timing van de ZN 439.



Figuur 12/3.2-29: Basis-schema rond de ZN 439 voor unipolaire werking en met interne clock.

3.2 Type-beschrijving ZN-serie

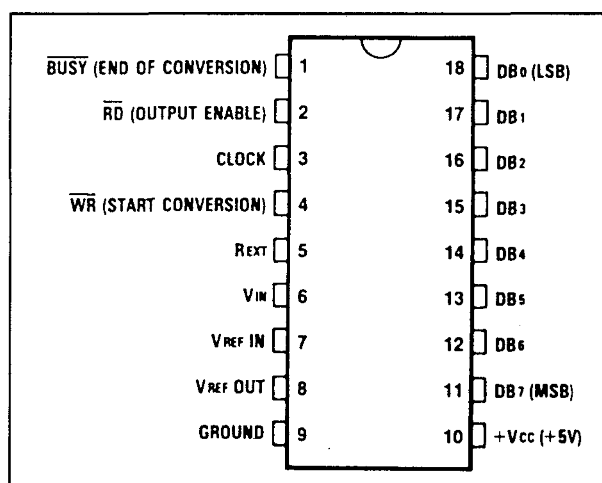
ZN 447

8 bit parallel, +/-0,3 LSB, 9 μs

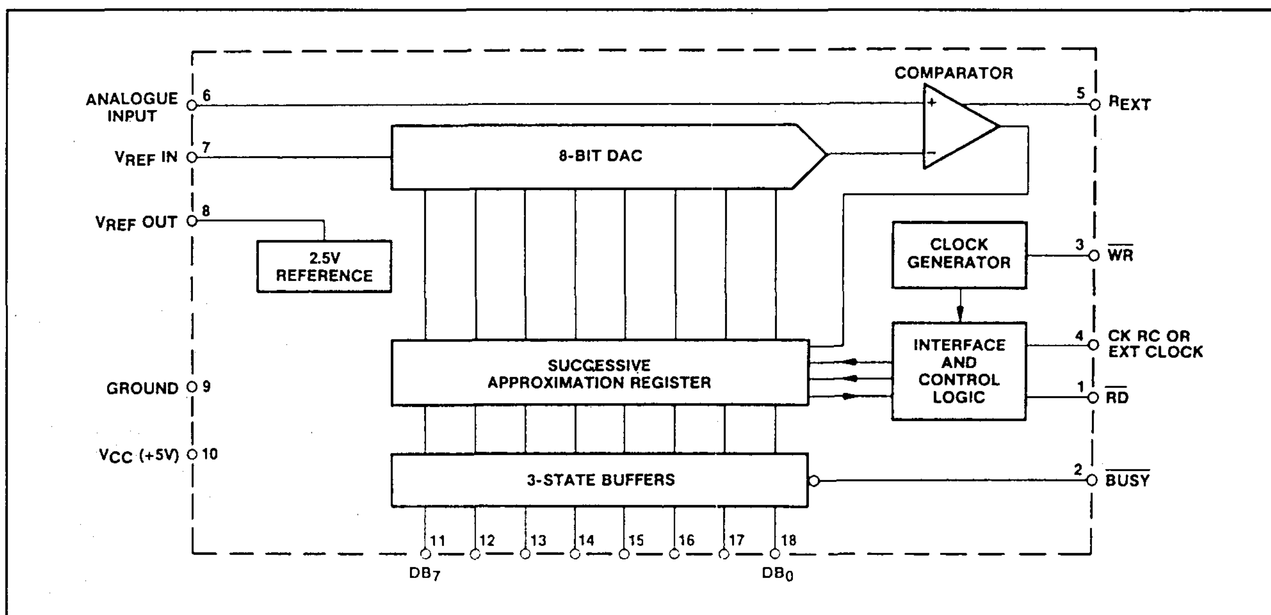
De ZN 447 is een 8 bit brede omzetter, die werkt volgens het SAR-principe. De schakeling is speciaal ontworpen voor eenvoudige interfacing op een μP-bus. De schakeling bevat een DAC, een snelle comparator, een SAR en een 2,5 V bandgap spanningsreferentie. De interne clock-oscillator kan door middel van een condensator, een RC-netwerk of een kristal gedwongen worden te oscilleren. De binaire uitgangen zijn tri-state en kunnen dus op een bus worden aangesloten. De schakeling kan gevoed worden uit een standaard +5 V voeding, maar de comparator moet via een externe serieweerstand aangesloten worden op een negatieve spanning van maximaal -30 V.

Technische gegevens

- fabrikant: Plessey Semiconductors
- behuizing: DIL-18
- aansluitgegevens: figuur 12/3.2-30
- intern blokschema: figuur 12/3.2-31
- tijddiagram: figuur 12/3.2-32
- voedingsspanning:
  +5,5 V max.
  -30 V max.
- voedingsstroom: 44 mA max.
- **gegevens omzetter**:
  - resolutie: 8 bit
  - lineariteitsfout: +/-0,3 LSB
  - differentiële fout: +/-0,5 LSB typisch
  - temp-co fout: +/-3 ppm/°C typisch
  - temp-co gain: +/-6 ppm/°C typisch
  - conversie tijd: 9 μs max.

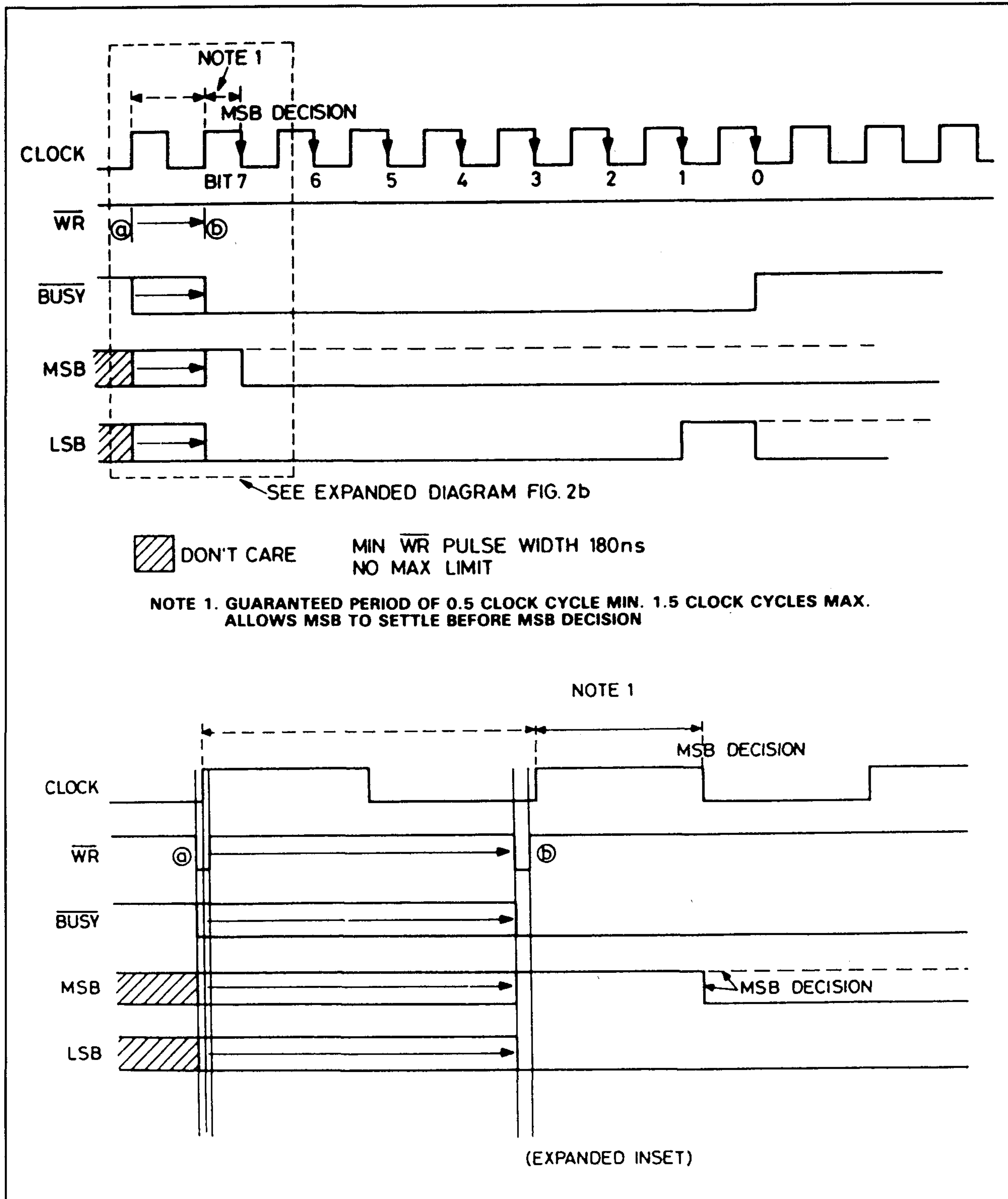


Figuur 12/3.2-30: Aansluitgegevens van de ZN 447.



Figuur 12/3.2-31: Intern blokschema van de ZN 447.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-32: Timing van de ZN 447.

3.2 Type-beschrijving ZN-serie

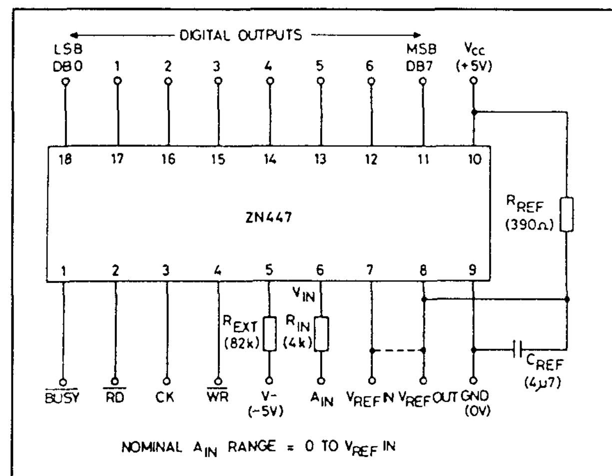
- **gegevens referentie:**
  - interne referentie: 2,55 V typisch
  - impedantie bron: 2 Ω max.
  - temp-co: 50 ppm/°C typisch
  - stroom: 15 mA max.
- **gegevens comparator:**
  - ingangsstroom: 1 μA typisch
  - impedantie: 100 kΩ typisch
  - spanning: 3,5 V max.
  - voedingsspanning: -30 V max.
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL
  - tri-state lek: 2 μA max.
  - enable/disable delay TE1: 260 ns max.
  - enable/disable delay TE0: 100 ns max.
  - enable/disable delay TD1: 140 ns max.
  - enable/disable delay TD0: 100 ns max.
  - breedte convert-puls: 200 ns min.
- **gegevens clock:**
  - frequentie intern: 1,0 MHz max.
  - frequentie extern: 1,0 MHz max.
  - temp-co: +/-0,5 %/°C typisch
  - externe C: 100 pF min.
  - externe R: 2 kΩ min.
  - pulsbreedte extern: 500 ns min.

Voorbeeld-schakelingen

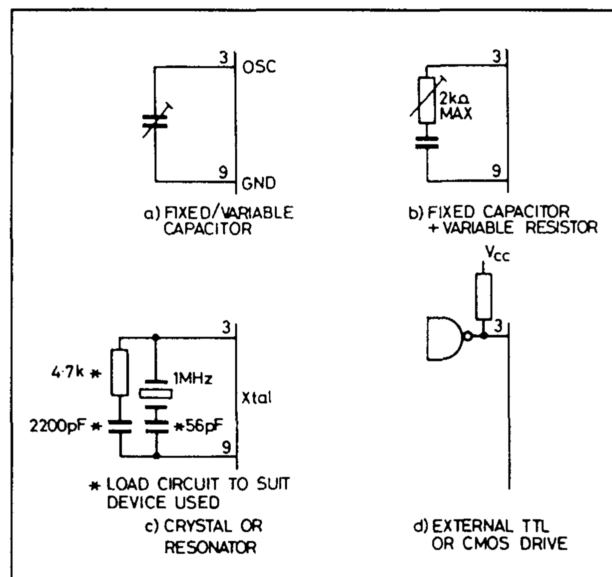
– figuur 12/3.2-33:
Basis-configuratie rond de ZN 447 voor unipolaire werking, waarbij de ingangsspanning mag variëren tussen 0 V en de waarde van de referentiespanning. In dit voorbeeld wordt een externe clock toegepast op pen 3. De interne referentie (pen 8) moet via een weerstand met de +5 V verbonden worden en ontkoppeld naar de massa met een condensator.

– figuur 12/3.2-34:
Vier manieren om de ZN 447 van een clocksignaal te voorzien: met een regelbare condensator, een RC-netwerkje, een 1 MHz kristal of een extern signaal.

– figuur 12/3.2-35:
Op deze manier is het mogelijk de ZN 447 continu te laten bemonsteren. De $\overline{BUSY}$-uitgang wordt via een kleine vertraging op de CONVERT-ingang aangesloten. Er is echter een initiële start-puls noodzakelijk, die wordt gegenereerd door het RC-netwerkje en de NOR-poort. De ZN 447 zal na iedere achtste clock-puls klaar zijn met een bemonstering. Op dat moment gaat $\overline{BUSY}$ naar "H", een signaal dat gebruikt kan worden om de uitgangsgegevens in een latch in te lezen. De tijd die daarvoor ter beschikking staat wordt bepaald door de ingevoegde vertrager.

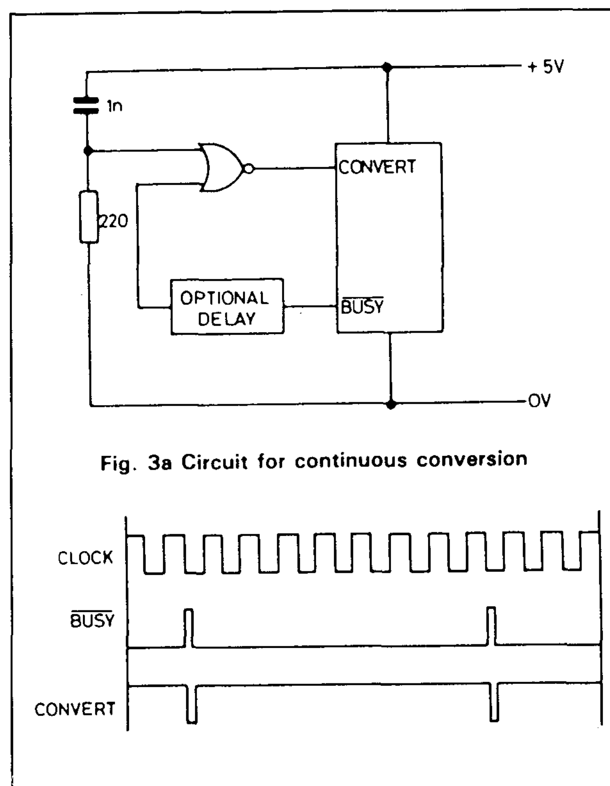


Figuur 12/3.2-33: Basis-schema rond de ZN 447 voor unipolaire werking en met externe clock.



Figuur 12/3.2-34: Vier systemen voor het instellen van de interne clock-generator van de ZN 447.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-35: Door de BUSY via een vertrager te verbinden met de CONVERT, ontstaat een schakeling die continu bemonstert.

ZN 448

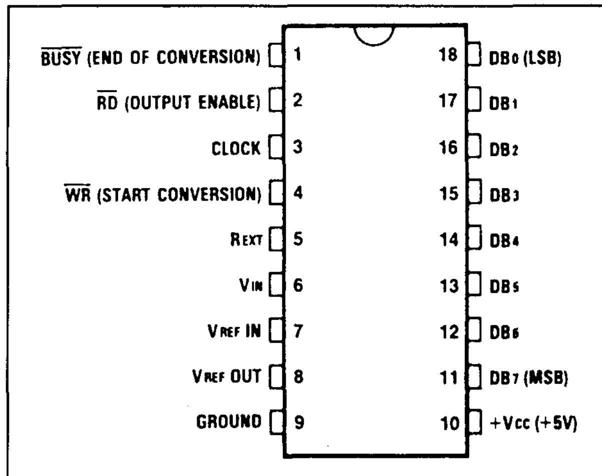
8 bit parallel, +/-0,5 LSB, 9 µs

De ZN 448 is een 8 bit brede omzetter, die werkt volgens het SAR-principe. De schakeling is speciaal ontworpen voor eenvoudige interfacing op een µP-bus. De schakeling bevat een DAC, een snelle comparator, een SAR en een 2,5 V bandgap spanningsreferentie.
De interne clock-oscillator kan door middel van een condensator, een RC-netwerk of een kristal gedwongen worden te oscilleren. De binaire uitgangen zijn tri-state en kunnen dus gemakkelijk op een bus worden aangesloten. De schakeling kan gevoed worden uit een standaard +5 V voeding, de comparator moet via een externe serie-weerstand aangesloten worden op een negatieve spanning van maximaal -30 V.

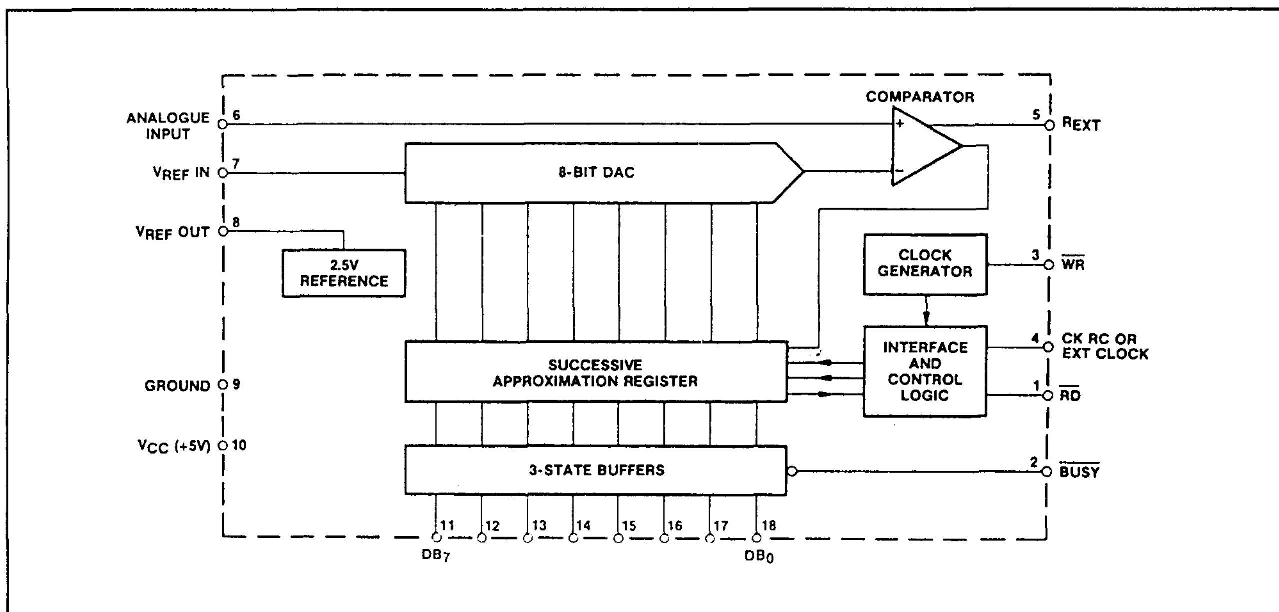
Technische gegevens

- fabrikant: Plessey Semiconductors
- behuizing: DIL-18
- aansluitgegevens: figuur 12/3.2-36
- intern blokschema: figuur 12/3.2-37
- tijddiagram: figuur 12/3.2-38
- voedingsspanning:
  +5,5 V max.
  -30 V max.
- voedingsstroom: 44 mA max.
- **gegevens omzetter:**
  - resolutie: 8 bit
  - lineariteitsfout: +/-0,5 LSB
  - differentiële fout: +/-0,75 LSB typisch
  - temp-co fout: +/-3 ppm/°C typisch
  - temp-co gain: +/-6 ppm/°C typisch
  - conversie tijd: 9 µs max.
- **gegevens referentie:**
  - interne referentie: 2,55 V typisch
  - impedantie bron: 2 Ω max.
  - temp-co: 50 ppm/°C typisch
  - stroom: 15 mA max.
- **gegevens comparator:**
  - ingangsstroom: 1 µA typisch
  - impedantie: 100 kΩ typisch
  - spanning: 3,5 V max.
  - voedingsspanning: -30 V max.
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL
  - tri-state lek: 2 µA max.
  - enable/disable delay TE1: 260 ns max.
  - enable/disable delay TE0: 100 ns max.
  - enable/disable delay TD1: 140 ns max.
  - enable/disable delay TD0: 100 ns max.
  - breedte convert-puls: 200 ns min.
- **gegevens clock:**
  - frequentie intern: 1,0 MHz max.
  - frequentie extern: 1,0 MHz max.
  - temp-co: +/-0,5 %/°C typisch
  - externe C: 100 pF min.
  - externe R: 2 kΩ min.
  - pulsbreedte extern: 500 ns min.

3.2 Type-beschrijving ZN-serie

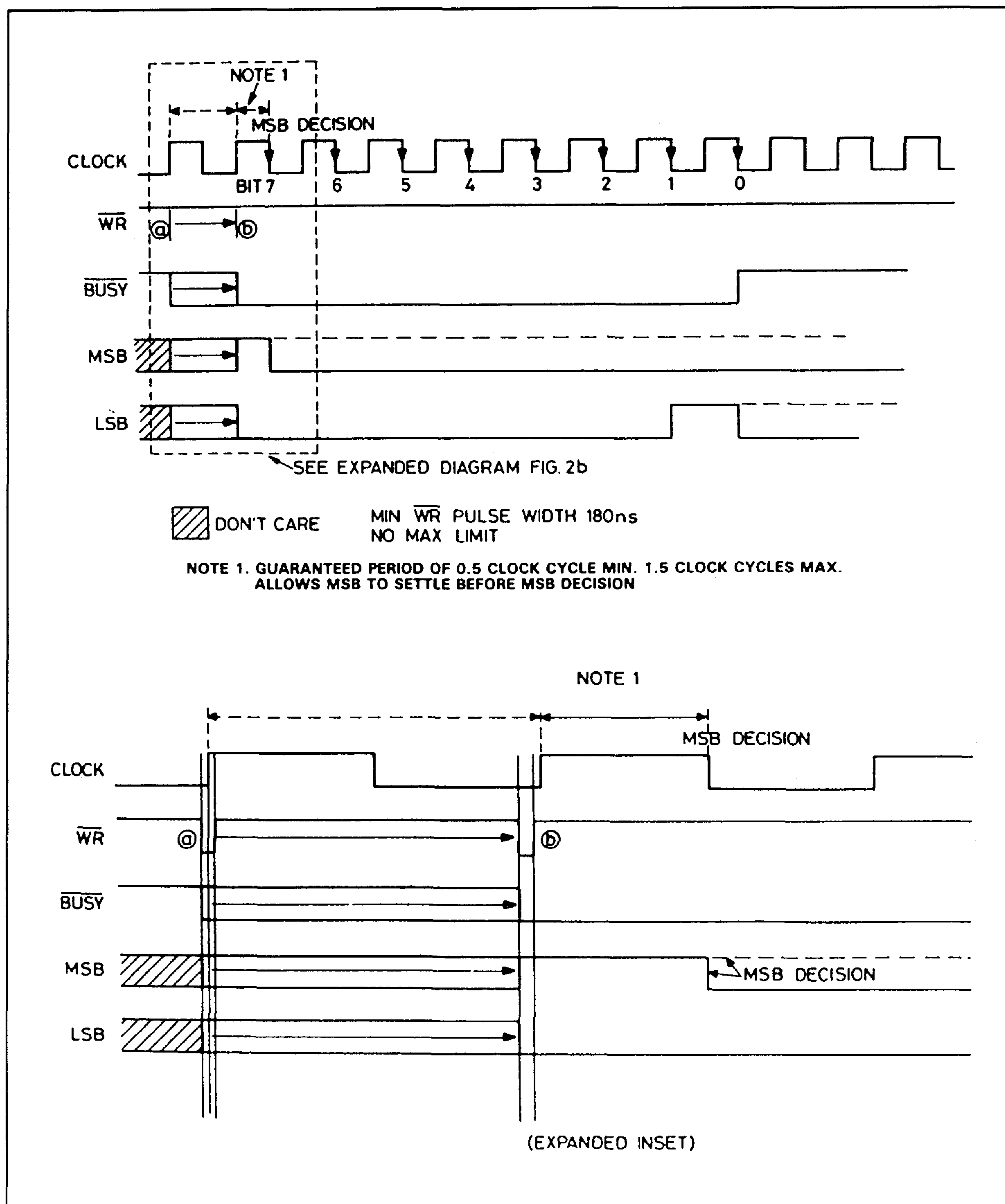


Figuur 12/3.2-36: Aansluitgegevens van de ZN 448.



Figuur 12/3.2-37: Intern blokschema van de ZN 448.

3.2 Type-beschrijving ZN-serie



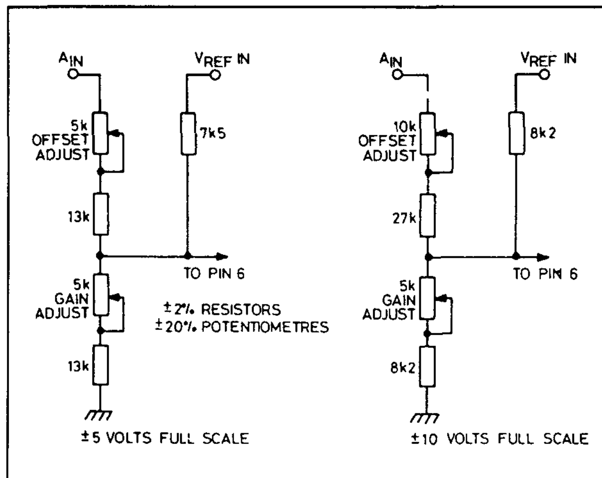
Figuur 12/3.2-38: Timing van de ZN 448.

3.2 Type-beschrijving ZN-serie

Voorbeeld-schakeling

– figuur 12/3.2-39:

Basis-configuraties met componentenwaarden rond de analoge pennen van de ZN 448 voor bipolaire werking, waarbij de ingangsspanning mag variëren tussen +/-5 V of +/-10 V. De interne referentie (pen 8) moet via een weerstand met de +5 V verbonden worden en ontkoppeld naar de massa met een condensator.



Figuur 12/3.2-39: De componenten naar de analoge ingangen van de ZN 448 voor bipolaire werking.

ZN 449

8 bit parallel, +/-1,0 LSB, 9 µs

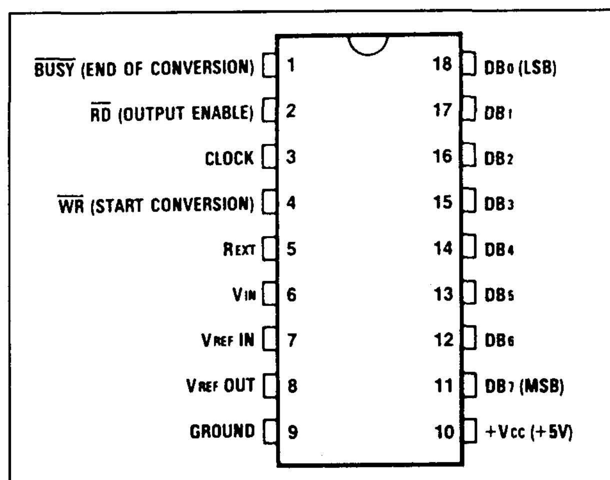
De ZN 449 is een 8 bit brede omzetter, die werkt volgens het SAR-principe. De schakeling is speciaal ontworpen voor eenvoudige interfacing op een µP-bus. De schakeling bevat een DAC, een snelle comparator, een SAR en een 2,5 V bandgap spanningsreferentie.

De interne clock-oscillator kan door middel van een condensator, een RC-netwerk of een kristal gedwongen worden te oscilleren. De binaire uitgangen zijn tri-state en kunnen dus op een bus worden aangesloten. De schakeling kan gevoed worden uit een standaard +5 V voeding, maar de comparator moet via een externe serie-weerstand aangesloten worden op een negatieve spanning van maximaal -30 V.

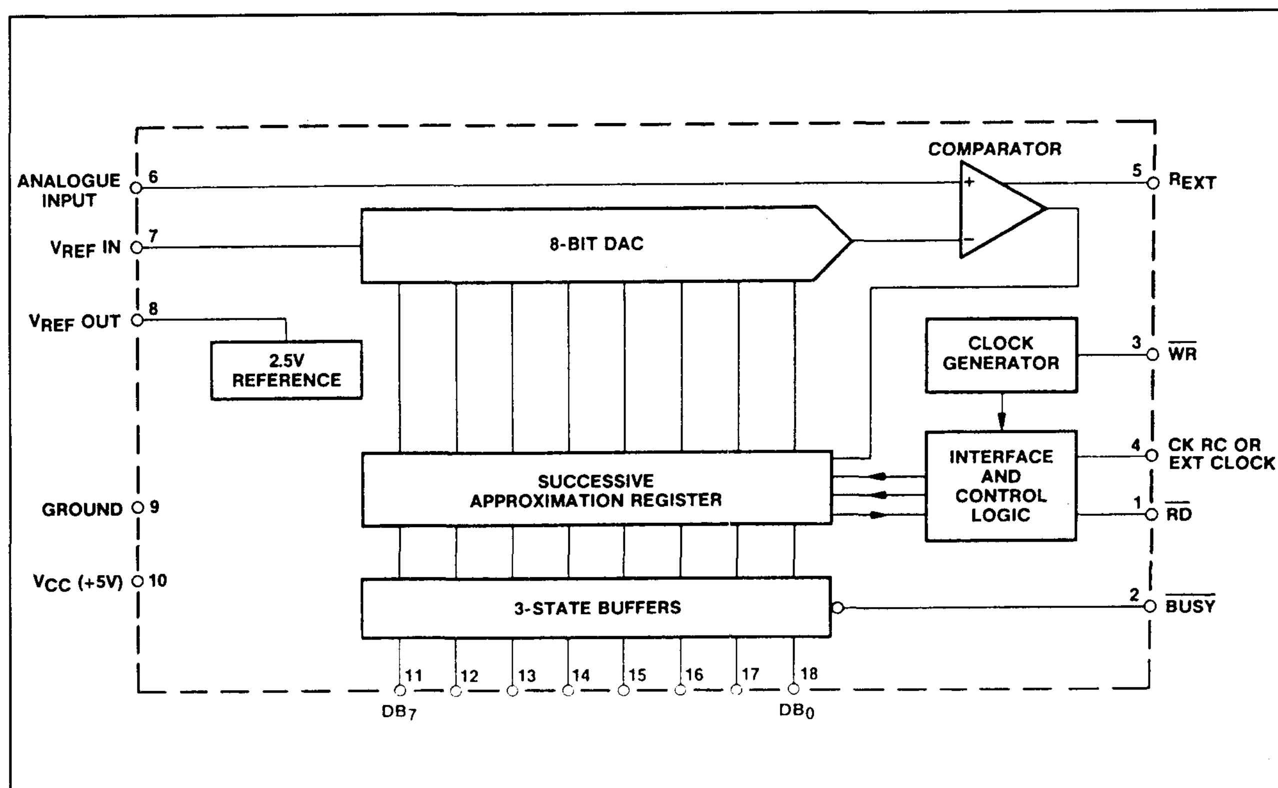
Technische gegevens

- fabrikant: Plessey Semiconductors
- behuizing: DIL-18
- aansluitgegevens: figuur 12/3.2-40
- intern blokschema: figuur 12/3.2-41
- tijddiagram: figuur 12/3.2-42
- voedingsspanning:
  +5,5 V max.
  -30 V max.
- voedingsstroom: 44 mA max.
- **gegevens omzetter:**
  - resolutie: 8 bit
  - lineariteitsfout: +/-1,0 LSB
  - differentiële fout: +/-1,0 LSB typisch
  - temp-co fout: +/-3 ppm/°C typisch
  - temp-co gain: +/-6 ppm/°C typisch
  - conversie tijd: 9 µs max.
- **gegevens referentie:**
  - interne referentie: 2,55 V typisch
  - impedantie bron: 2 Ω max.
  - temp-co: 50 ppm/°C typisch
  - stroom: 15 mA max.
- **gegevens comparator:**
  - ingangsstroom: 1 µA typisch
  - impedantie: 100 kΩ typisch
  - spanning: 3,5 V max.
  - voedingsspanning: -30 V max.
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL
  - tri-state lek: 2 µA max.
  - enable/disable delay TE1: 260 ns max.
  - enable/disable delay TE0: 100 ns max.
  - enable/disable delay TD1: 140 ns max.
  - enable/disable delay TD0: 100 ns max.
  - breedte convert-puls: 200 ns min.
- **gegevens clock:**
  - frequentie intern: 1,0 MHz max.
  - frequentie extern: 1,0 MHz max.
  - temp-co: +/-0,5 %/°C typisch
  - externe C: 100 pF min.
  - externe R: 2 kΩ min.
  - pulsbreedte extern: 500 ns min.

3.2 Type-beschrijving ZN-serie

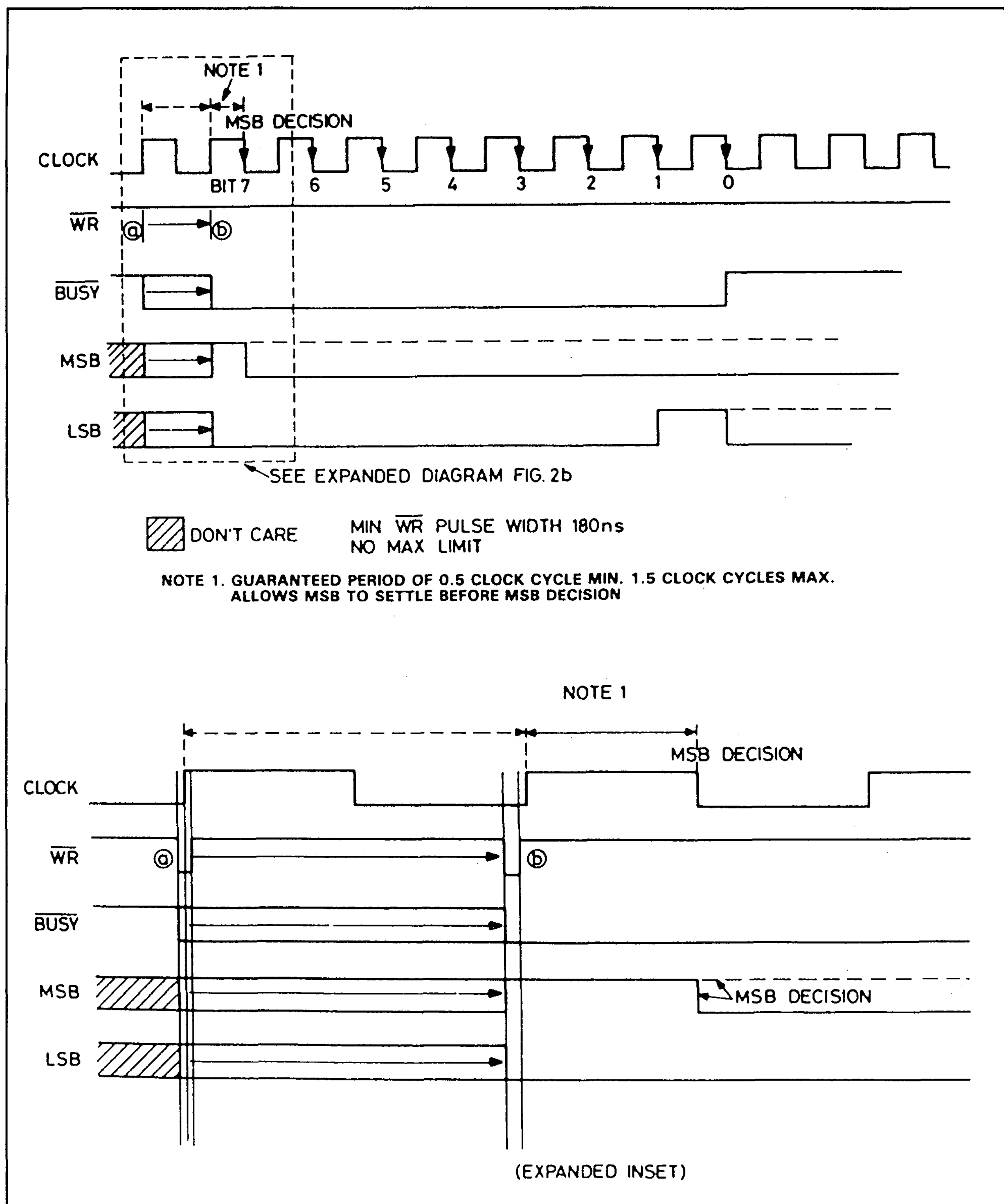


Figuur 12/3.2-40: Aansluitgegevens van de ZN 449.



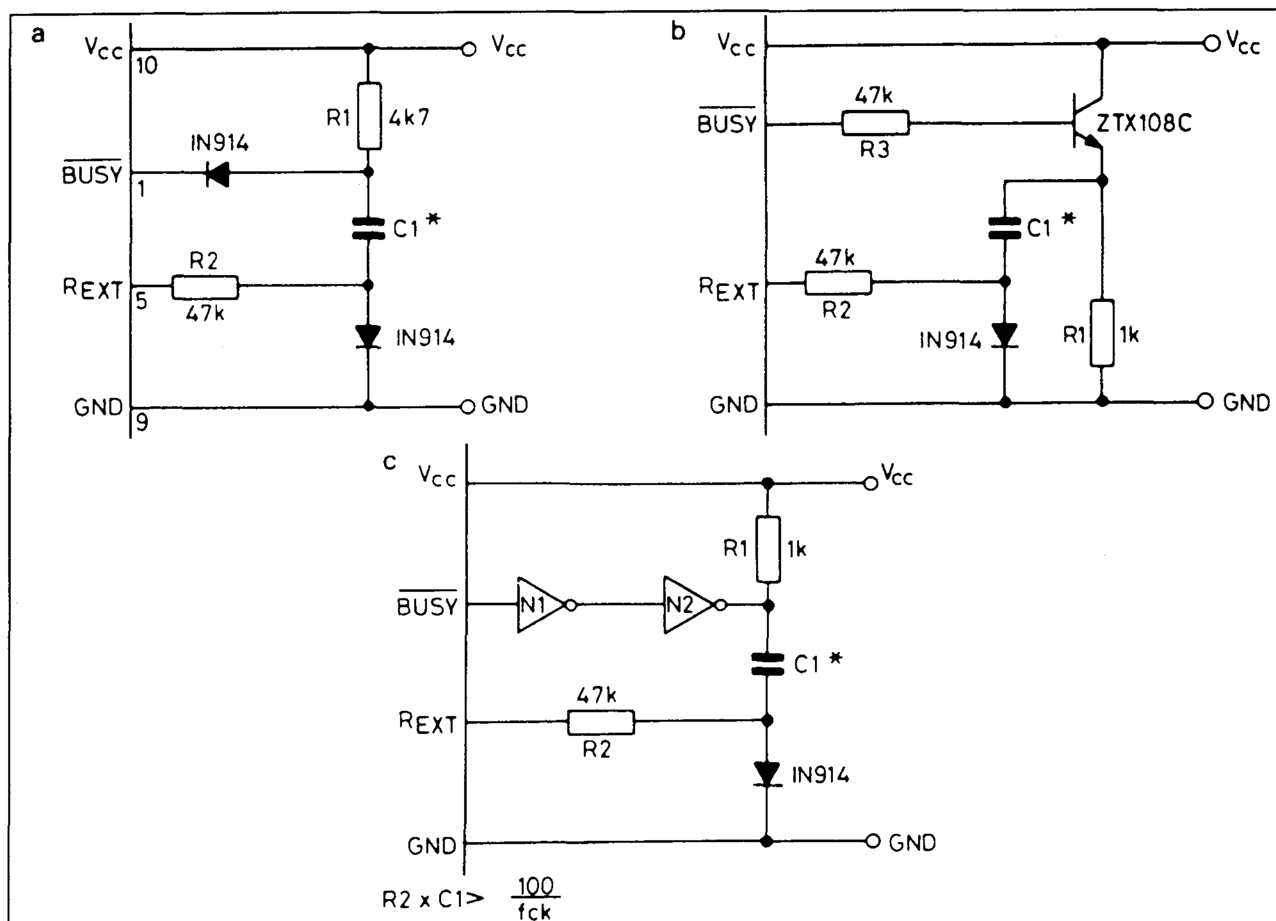
Figuur 12/3.2-41: Intern blokschema van de ZN 449.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-42: Timing van de ZN 449.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-43: Drie schakelingen, waarmee men de negatieve voeding voor de comparator uit de ZN 449 uit de +5 V kan afleiden.

Voorbeeld-schakeling

– figuur 12/3.2-43:

Drie externe schakelingen, waarmee men de negatieve voedingsspanning voor de ingebouwde comparator van de ZN 449 uit de +5 V systeemvoeding kan afleiden. In alle drie de schakelingen wordt het signaal op de $\overline{BUZY}$ gebruikt om via een diodepomp een condensator negatief op te laden.

ZN 501

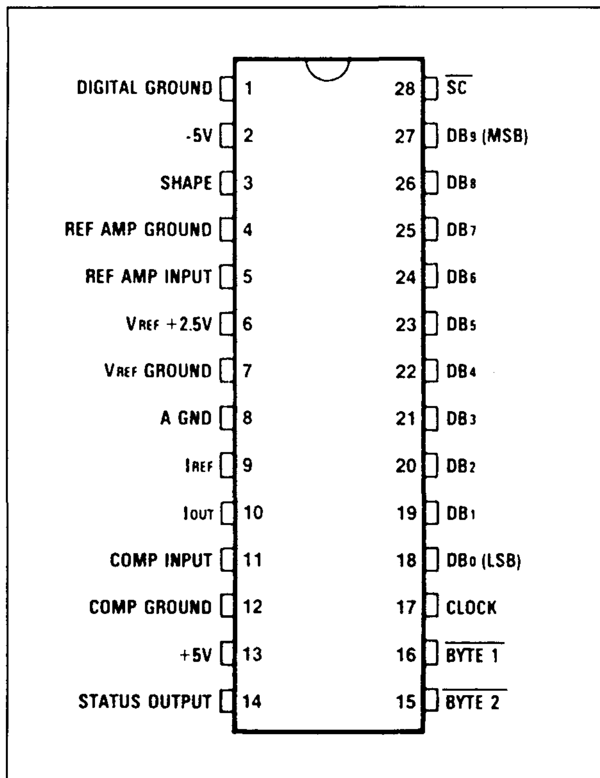
10 bit parallel, +/-0,5 LSB, 20 µs

De ZN 501 is een 10 bit brede omzetter, die werkt volgens het SAR-principe. De schakeling is speciaal ontworpen voor eenvoudige interfacing op een µP-bus. De tien uitgangsdata kunnen namelijk in twee cycli worden uitgelezen naar een 8 bit brede data-bus. De schakeling bevat een DAC bestaande uit snelle en nauwkeurige geschakelde stroombronnen, een snelle comparator, een SAR, een 2,5 V bandgap spanningsreferentie en een referentie-versterker. De schakeling heeft echter géén interne clock-generator. De uitgangen zijn tri-state en kunnen dus op een bus worden aangesloten. De schakeling moet gevoed worden uit een symmetrische +/-5 V voeding.

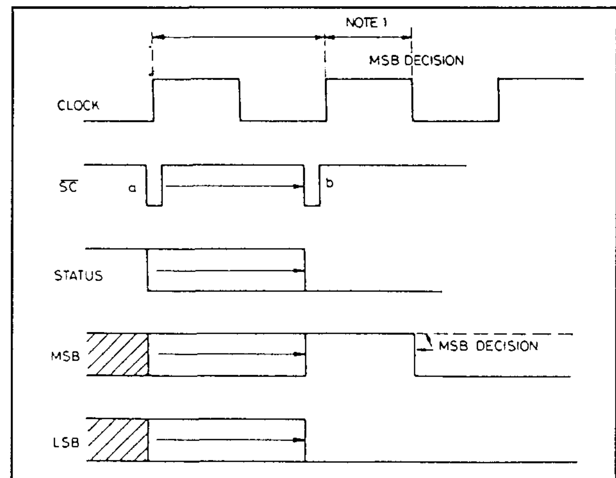
Technische gegevens

- fabrikant: Plessey Semiconductors
- behuizing: DIL-28
- aansluitgegevens: figuur 12/3.2-44
- intern blokschema: figuur 12/3.2-45
- tijddiagram: figuur 12/3.2-46

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-44: Aansluitgegevens van de ZN 501.



Figuur 12/3.2-46: Timing van de ZN 501.

- voedingsspanning:
  +7,0 V max.
  -7,0 V max.
- voedingsstroom:
  +40 mA max.
  -28 mA max.
- **gegevens omzetter**:
  - resolutie: 10 bit
  - lineariteitsfout: +/-0,5 LSB
  - differentiële fout: +/-0,75 LSB typisch
  - temp-co fout: +/-10 ppm/°C typisch
  - temp-co gain: +/-10 ppm/°C typisch
  - conversie tijd: 20 µs max.
- **gegevens referentie:**
  - interne referentie: 2,48 V typisch
  - impedantie bron: 0,75 Ω max.
  - temp-co: 50 ppm/°C typisch
  - stroom: 2 mA max.
- **gegevens comparator:**
  - referentie-stroom: 1,0 mA max.
  - spanning: 2,5 V max.
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL
  - tri-state lek: 2 µA max.
  - enable/disable delay TE1: 260 ns max.
  - enable/disable delay TE0: 100 ns max.
  - enable/disable delay TD1: 140 ns max.
  - enable/disable delay TD0: 100 ns max.
  - breedte $\overline{SC}$-puls: 100 ns min.
- **gegevens clock:**
  - frequentie: 730 kHz max.
  - pulsbreedte: 500 ns min.

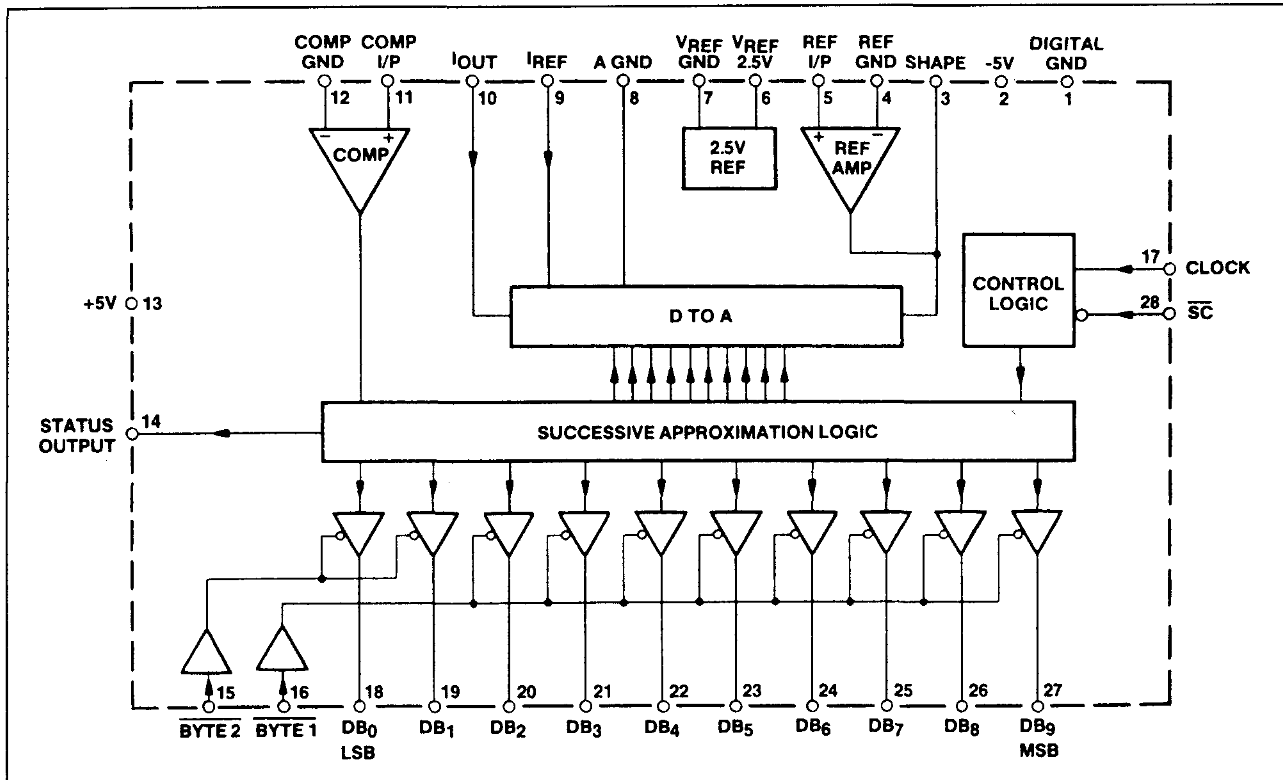
Uitlezen van de data

Als de ZN 501 wordt verbonden met een 8 bit brede data-bus, moeten DB0 en DB1 worden verbonden met respectievelijk DB8 en DB9.

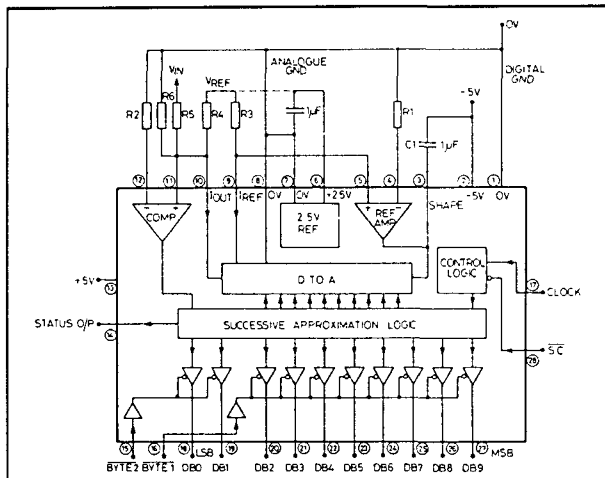
De data-bus moet dan worden aangesloten op DB2 (LSB) tot en met DB9 (MSB). Door $\overline{\text{BYTE1}}$ en $\overline{\text{BYTE2}}$ achter elkaar te activeren kunnen eerst DB2 tot en met DB9 en nadien DB1 en DB0 uitgelezen worden. Bij de tweede leescyclus staan BD2 tot en met DB7 in tri-state geschakeld.

Werkt men met een 10 bit brede data-bus, dan moeten $\overline{\text{BYTE0}}$ en $\overline{\text{BYTE1}}$ met elkaar verbonden worden. De tien bits worden dan simultaan uitgelezen.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-45: Intern blokschema van de ZN 501.



Figuur 12/3.2-47: Basis-schakeling rond de ZN 501 voor unipolaire werking.

Voorbeeld-schakeling

– figuur 12/3.2-47:

Basis-configuratie rond de ZN 501 voor unipolaire werking, waarbij de ingangsspanning mag variëren tussen 0 V en de waarde van de referentiespanning. Let op de ontkoppelcondensatoren van 1 μF tussen massa en de uitgang van de referentie (pen 6) en de uitgang van de referentie-versterker (pen 3).

ZN 502

10 bit parallel, +/-1,0 LSB, 20 μs

De ZN 502 is een 10 bit brede omzetter, die werkt volgens het SAR-principe. De schakeling heeft tien data-uitgangen, die zowel simultaan als in twee cycli uitgelezen kunnen worden. De schakeling kan dus interfacen met een 8 bit brede data-bus. De schakeling bevat een DAC bestaande uit snelle en nauwkeurige geschakelde stroombronnen, een snelle comparator, een SAR, een 2,5 V bandgap spanningsreferentie en een referentie-versterker. De schakeling heeft echter géén interne clock-generator. De uitgangen zijn tri-state en kunnen dus op een bus wor-

3.2 Type-beschrijving ZN-serie

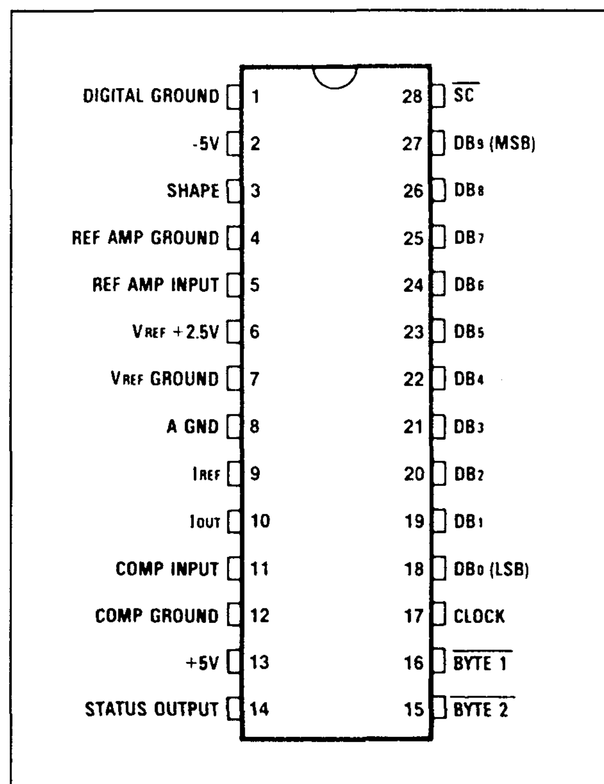
den aangesloten. De schakeling moet gevoed worden uit een symmetrische +/-5 V voeding.

Technische gegevens

- fabrikant: Plessey Semiconductors
- behuizing: DIL-28
- aansluitgegevens: figuur 12/3.2-48
- intern blokschema: figuur 12/3.2-49
- tijddiagram: figuur 12/3.2-50
- voedingsspanning:
  +7,0 V max.
  -7,0 V max.
- voedingsstroom:
  +40 mA max.
  -28 mA max.
- **gegevens omzetter**:
  - resolutie: 10 bit
  - lineariteitsfout: +/-1,0 LSB
  - differentiële fout: +/-1,0 LSB typisch
  - temp-co fout: +/-20 ppm/°C typisch
  - temp-co gain: +/-20 ppm/°C typisch
  - conversie tijd: 20 µs max.
- **gegevens referentie:**
  - interne referentie: 2,48 V typisch
  - impedantie bron: 0,75 Ω max.
  - temp-co: 50 ppm/°C typisch
  - stroom: 2 mA max.
- **gegevens comparator:**
  - referentie-stroom: 1,0 mA max.
  - spanning: 2,5 V max.
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL
  - tri-state lek: 2 µA max.
  - enable/disable delay TE1: 260 ns max.
  - enable/disable delay TE0: 100 ns max.
  - enable/disable delay TD1: 140 ns max.
  - enable/disable delay TD0: 100 ns max.
  - breedte $\overline{SC}$-puls: 100 ns min.
- **gegevens clock:**
  - frequentie: 730 kHz max.
  - pulsbreedte: 500 ns min.

Uitlezen van de data

Als de ZN 502 wordt verbonden met een 8 bit brede data-bus, moeten DB0 en DB1 worden verbonden met respectievelijk DB8 en DB9. De data-bus moet dan worden aangesloten op DB2 (LSB) tot en met DB9 (MSB). Door $\overline{BYTE1}$ en $\overline{BYTE2}$ achter elkaar te activeren kunnen eerst DB2 tot en met DB9 en nadien DB1 en DB0 uitgelezen worden. Bij de tweede leescyclus staan BD2 tot en met DB7 in tri-state geschakeld.
Werkt men met een 10 bit brede data-bus, dan moeten $\overline{BYTE0}$ en $\overline{BYTE1}$ met elkaar verbonden worden. De tien bits worden dan simultaan uitgelezen.

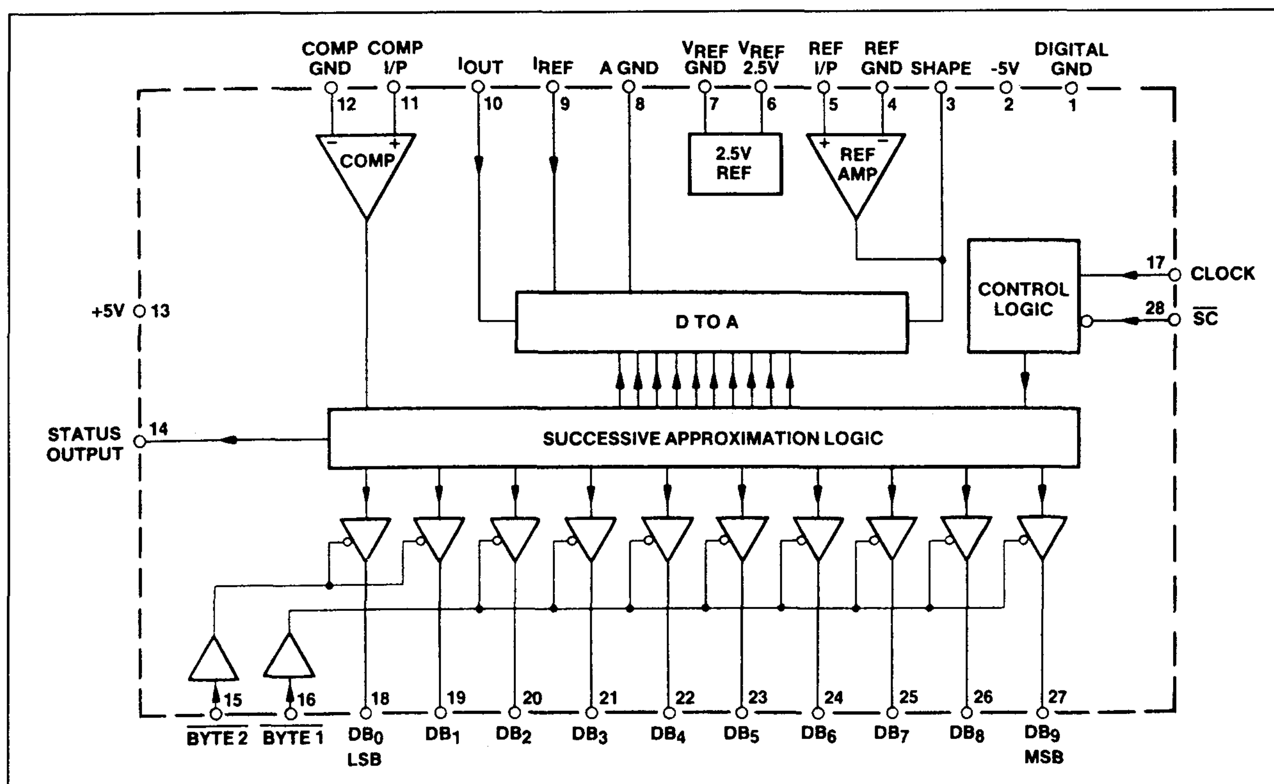


Figuur 12/3.2-48: Aansluitgegevens van de ZN 502.

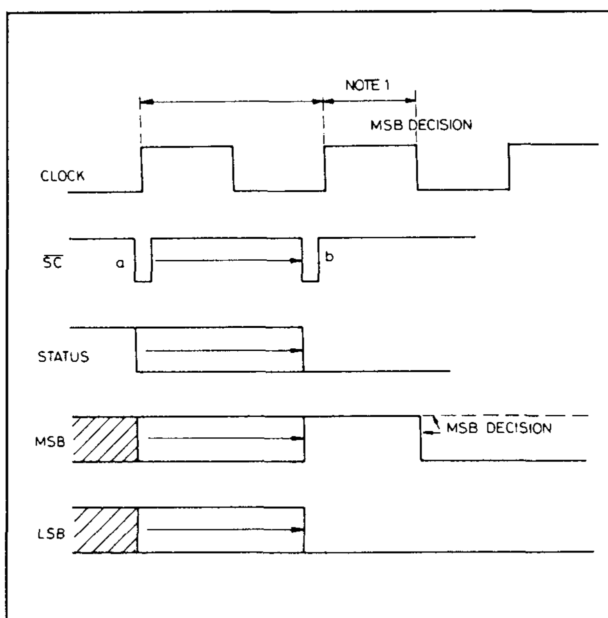
Voorbeeld-schakeling

– figuur 12/3.2-51:
Basis-configuratie rond de ZN 502 voor unipolaire werking, waarbij de ingangsspanning mag variëren tussen 0 V en de waarde van de referentiespanning. Let op de ontkoppelcondensatoren tussen de massa en de uitgang van de referentie (pen 6) en de uitgang van de referentie-versterker (pen 3).

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-49: Intern blokschema van de ZN 502.



Figuur 12/3.2-50: Timing van de ZN 502.

De interne referentie wordt gebruikt voor het voeden van de offset-compensatie aan de ingang van de comparator.

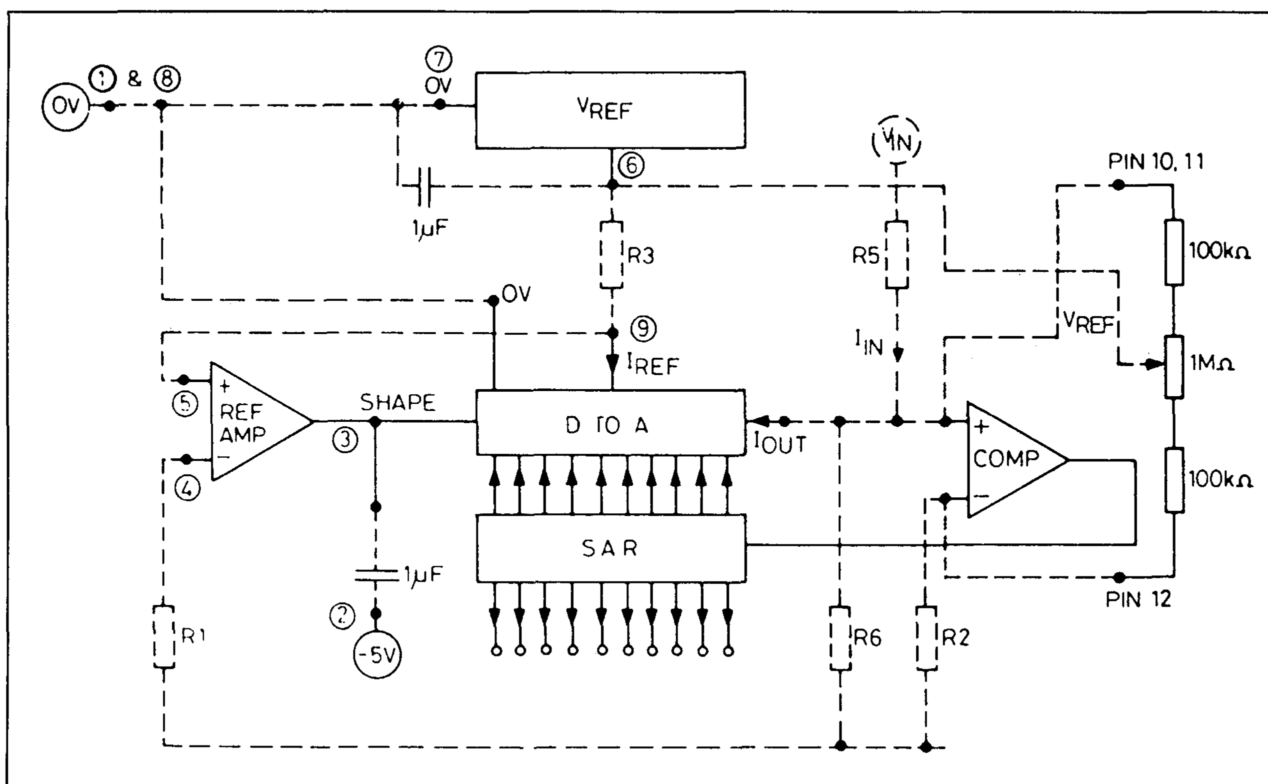
ZN 503

10 bit par/ser, +/-0,5 LSB, 20 µs

De ZN 503 is een hoog-geïntegreerde 10 bit brede omzetter, die werkt volgens het SAR-principe. De schakeling heeft zowel tien parallelle uitgangen als een afzonderlijke seriële uitgang.

Als gebruik wordt gemaakt van de parallelle uitgangen, kunnen deze zowel in één cyclus worden uitgelezen als in twee cycli. De tien uitgangsdata kunnen namelijk worden uitgelezen naar een 8 bit brede data-bus onder commando van twee BYTE-ingangen. De schakeling bevat een DAC bestaande uit snelle en nauwkeurige geschakelde stroombronnen, een snelle comparator, een SAR, een 2,5 V bandgap spanningsreferentie en een referentie-versterker. De schakeling heeft echter géén interne clock-generator. De uitgangen zijn tri-state en kunnen dus op een bus worden aangesloten. De schakeling moet gevoed worden uit een symmetrische +/-5 V voeding.

3.2 Type-beschrijving ZN-serie

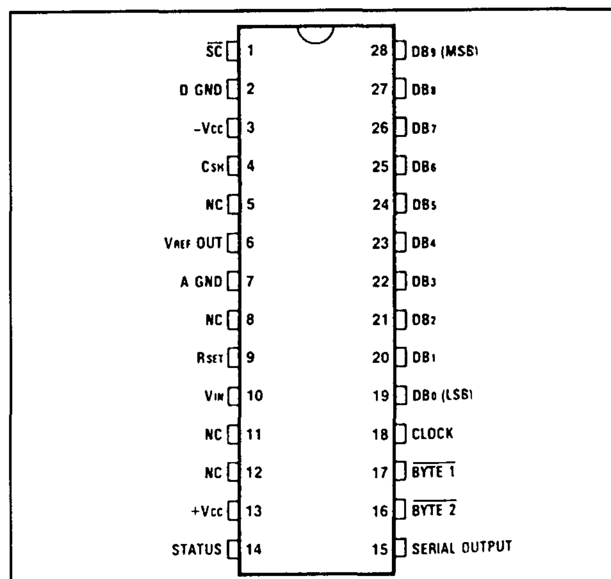


Figuur 12/3.2-51: Basis-schakeling voor unipolaire werking met offset-compensatie met een ZN 502.

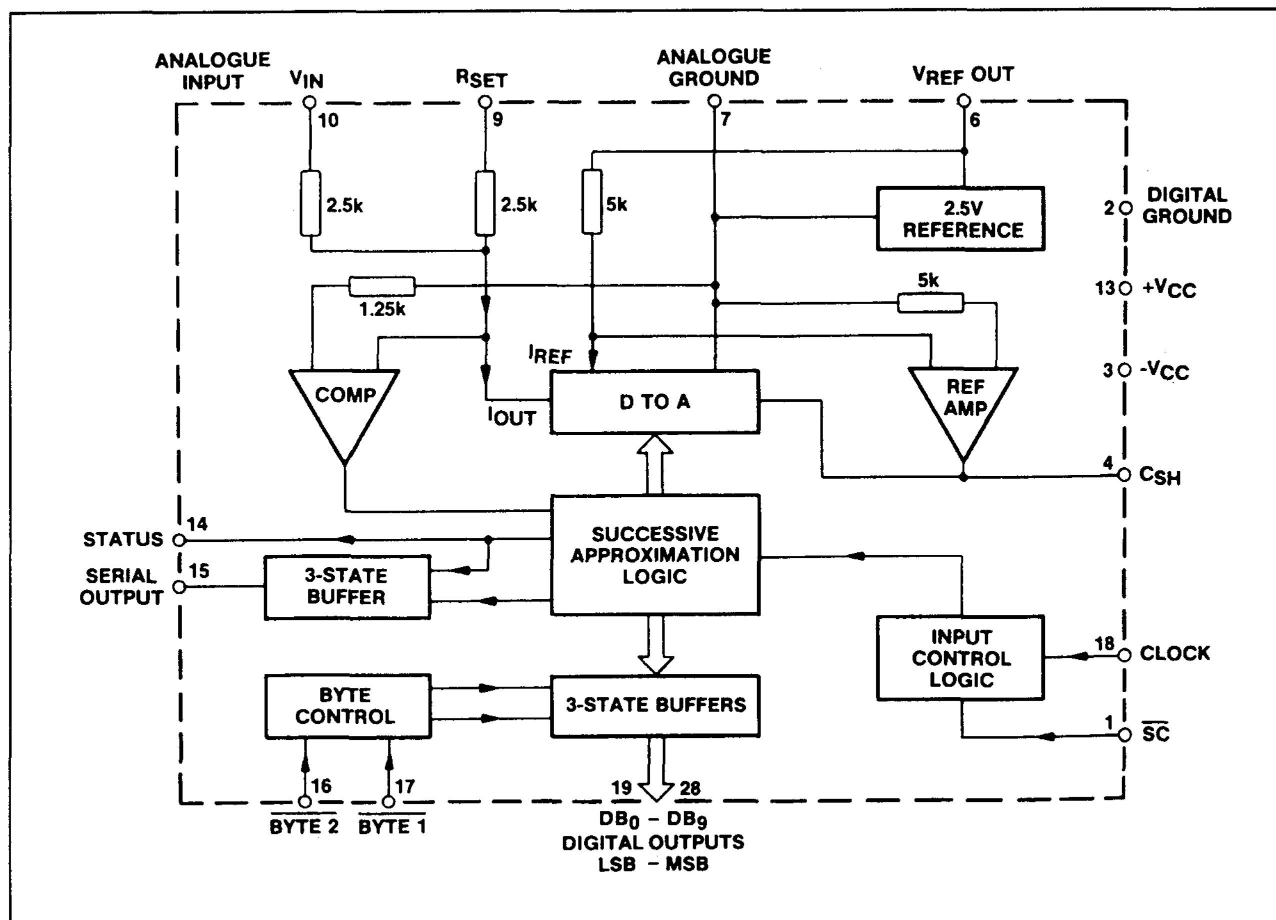
Met dit IC kan men een complete ADC opbouwen met slechts twee externe componenten.

Technische gegevens
- fabrikant: Plessey Semiconductors
- behuizing: DIL-28
- aansluitgegevens: figuur 12/3.2-52
- intern blokschema: figuur 12/3.2-53
- tijddiagram: figuur 12/3.2-54
- voedingsspanning:
  +7,0 V max.
  -7,0 V max.
- voedingsstroom:
  +44 mA max.
  -32 mA max.
- **gegevens omzetter**:
  - resolutie: 10 bit
  - lineariteitsfout: +/-0,5 LSB
  - differentiële fout: +/-0,5 LSB typisch
  - temp-co fout: +/-10 ppm/°C typisch
  - temp-co gain: +/-60 ppm/°C typisch
  - conversie tijd: 20 µs max.
- **gegevens referentie:**
  - interne referentie: 2,48 V typisch
  - tolerantie: +/-3 %
  - impedantie bron: 0,75 Ω max.
  - temp-co: 26 ppm/°C typisch
  - stroom: 2 mA max.
- **gegevens ingang:**
  - maximale spanning:
    0 V tot +2,5 V
    0 V tot +5,0 V
    -2,5 V tot +2,5 V
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL
  - tri-state lek: 2 µA max.
  - enable/disable delay TE1: 260 ns max.
  - enable/disable delay TE0: 100 ns max.
  - enable/disable delay TD1: 140 ns max.
  - enable/disable delay TD0: 100 ns max.
  - breedte $\overline{SC}$-puls: 100 ns min.
- **gegevens clock:**
  - frequentie: 730 kHz max.
  - pulsbreedte: 500 ns min.

3.2 Type-beschrijving ZN-serie

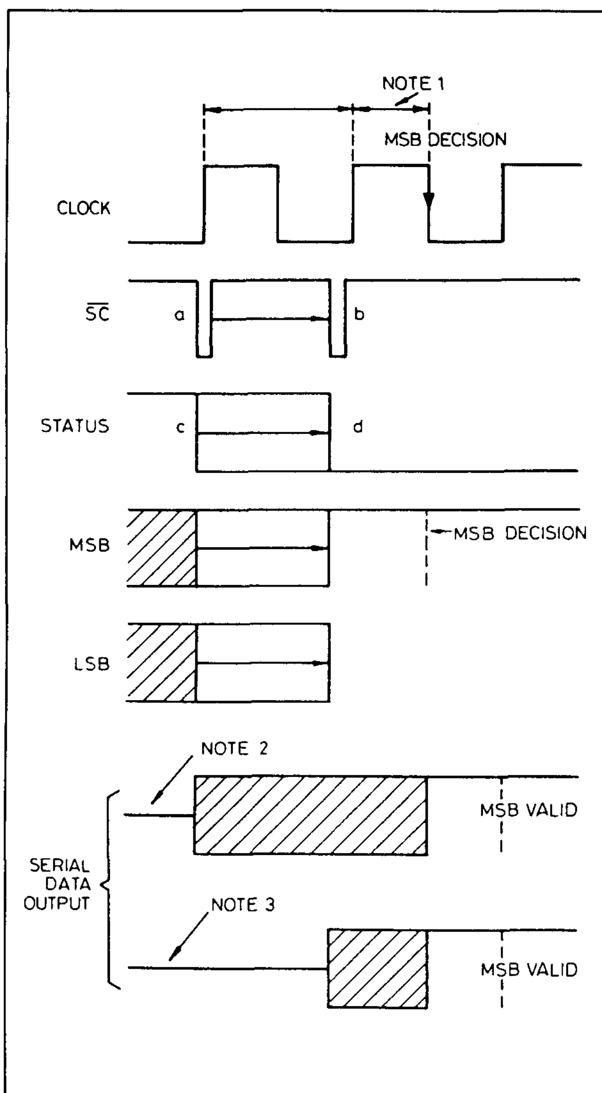


Figuur 12/3.2-52: Aansluitgegevens van de ZN 503.



Figuur 12/3.2-53: Intern blokschema van de ZN 503.

3.2 Type-beschrijving ZN-serie



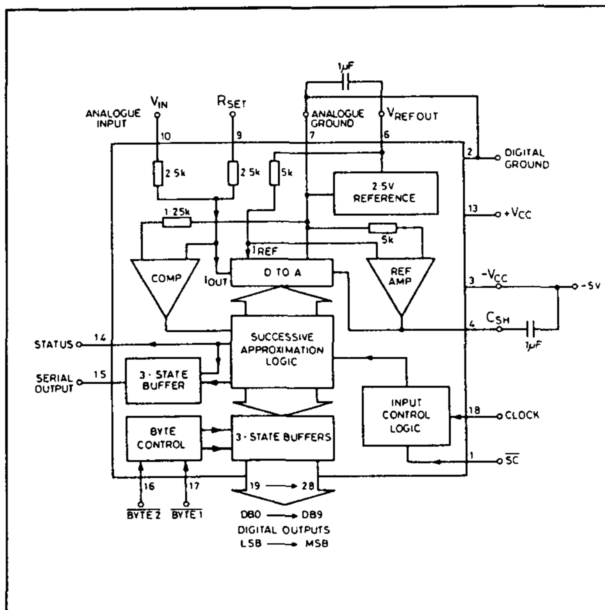
Figuur 12/3.2-54: Timing van de ZN 503.

Parallel uitlezen van de data
De ZN 503 wordt gereset door het aanleggen van een "H" naar "L" flank op de $\overline{\text{START CONVERT}}$-ingang.
Als deze ingang "L" is, zal de ZN 503 het binaire gewicht van zijn MSB-uitgang continu vergelijken met de waarde van de analoge ingangsspanning. De overige uitgangen en de STATUS zijn gereset. Op het moment dat de $\overline{\text{START CONVERT}}$-puls "H" wordt, start het SAR-proces en worden alle uitgangen aangepast aan de waarde van de ingangsspanning.
Nadien wacht STATUS één periode van de clock alvorens naar "H" te gaan. Op dat moment is de uitgangsdata betrouwbaar. Als de ZN 503 wordt verbonden met een 8 bit brede data-bus, moeten DB0 en DB1 worden verbonden met respectievelijk DB8 en DB9. De data-bus moet dan worden aangesloten op DB2 (LSB) tot en met DB9 (MSB). Door $\overline{\text{BYTE1}}$ en $\overline{\text{BYTE2}}$ achter elkaar te activeren kunnen eerst DB2 tot en met DB9 en nadien DB1 en DB0 uitgelezen worden. Bij de tweede leescyclus staan BD2 tot en met DB7 in tri-state geschakeld.
Werkt men met een 10 bit brede data-bus, dan moeten $\overline{\text{BYTE0}}$ en $\overline{\text{BYTE1}}$ met elkaar verbonden worden. De tien bits worden dan simultaan uitgelezen.

Serieel uitlezen van de data
De seriële uitgang blijft tri-state tot een "H" naar "L" op de $\overline{\text{START CONVERT}}$ verschijnt. De STATUS gaat naar "L". Het omzetten start en dit proces duurt tussen 10,5 en 11,5 clockpulsen. Nadien kan men de $\overline{\text{START CONVERT}}$ weer "H" maken.
De seriële gegevens worden dan uitgelezen op de positieve flanken van de CLOCK, met MSB als eerste uitgelezen bit. Nadat het LSB is uitgelezen, gaat de seriële uitgang weer naar tri-state.

Voorbeeld-schakelingen
– figuur 12/3.2-55:
Basis-configuratie rond de ZN 503 voor unipolaire werking, waarbij de ingangsspanning mag variëren tussen 0 V en de waarde van de referentiespanning. Let op de ontkoppelcondensatoren van 1 µF op de uitgang van de referentie (pen 6) en de uitgang van de referentie-versterker (pen 4).
– figuur 12/3.2-56:
Typische configuratie voor het serieel uitlezen van de data van de ZN 503.

3.2 Type-beschrijving ZN-serie



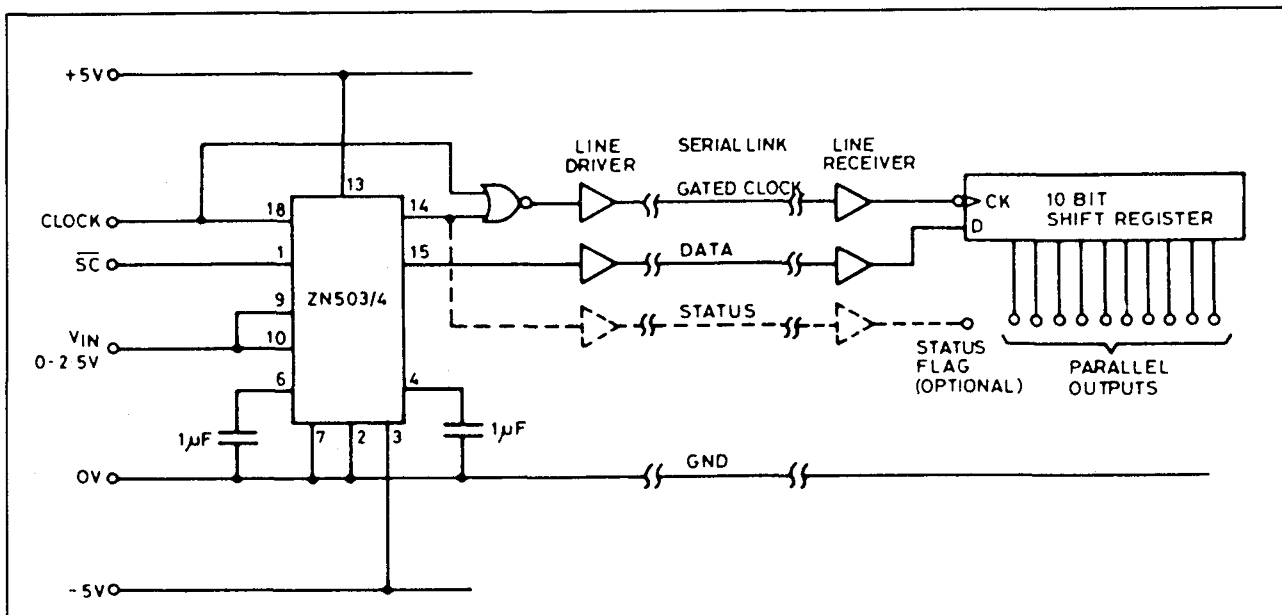
Figuur 12/3.2-55: Basis-schakeling rond de ZN 503 voor unipolaire werking.

ZN 504

10 bit par/ser, +/-1,0 LSB, 20 µs

De ZN 504 is een 10 bit brede omzetter, die werkt volgens het SAR-principe. De schakeling heeft zowel tien parallelle uitgangen als een afzonderlijke seriële uitgang. Als gebruik wordt gemaakt van de parallelle uitgangen, kunnen deze zowel in één cyclus worden uitgelezen als in twee cycli. De tien uitgangsdata kunnen namelijk worden uitgelezen naar een 8 bit brede data-bus onder commando van twee $\overline{\text{BYTE}}$-ingangen. De schakeling bevat een DAC bestaande uit snelle en nauwkeurige geschakelde stroombronnen, een snelle comparator, een SAR, een 2,5 V bandgap spanningsreferentie en een referentie-versterker. De schakeling heeft echter géén interne clock-generator. De uitgangen zijn tri-state en kunnen dus op een bus worden aangesloten. Ook de seriële uitgang is voorzien van een tri-state buffer. De schakeling moet gevoed worden uit een symmetrische +/-5 V voeding.

Met dit IC kan men een complete ADC opbouwen met slechts twee externe componenten.



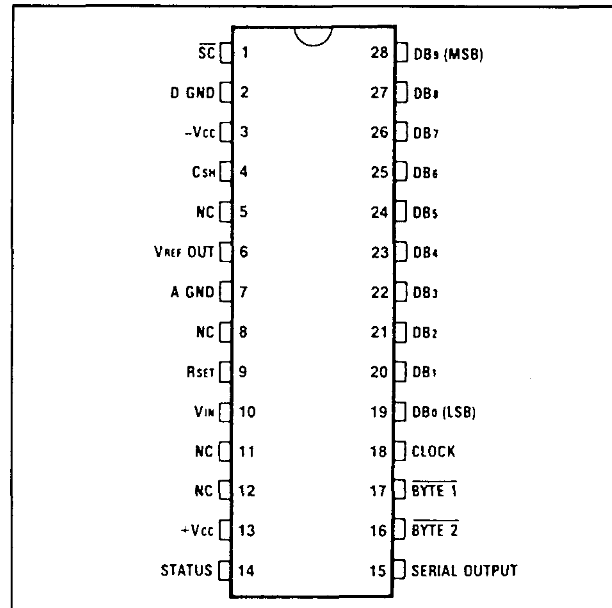
Figuur 12/3.2-56: Het serieel uitlezen van de gegevens bij de ZN 503.

Technische gegevens

- fabrikant: Plessey Semiconductors
- behuizing: DIL-28
- aansluitgegevens: figuur 12/3.2-57
- intern blokschema: figuur 12/3.2-58
- tijddiagram: figuur 12/3.2-59
- voedingsspanning:
  +7,0 V max.
  -7,0 V max.
- voedingsstroom:
  +44 mA max.
  -32 mA max.
- **gegevens omzetter**:
  - resolutie: 10 bit
  - lineariteitsfout: +/-1,0 LSB
  - differentiële fout: +/-0,75 LSB typisch
  - temp-co fout: +/-30 ppm/°C typisch
  - temp-co gain: +/-60 ppm/°C typisch
  - conversie tijd: 20 µs max.
- **gegevens referentie:**
  - interne referentie: 2,48 V typisch
  - tolerantie: +/-3 %
  - impedantie bron: 0,75 Ω max.
  - temp-co: 26 ppm/°C typisch
  - stroom: 2 mA max.
- **gegevens ingang:**
  - maximale spanning:
    0 V tot +2,5 V
    0 V tot +5,0 V
    -2,5 V tot +2,5 V
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL
  - tri-state lek: 2 µA max.
  - enable/disable delay TE1: 260 ns max.
  - enable/disable delay TE0: 100 ns max.
  - enable/disable delay TD1: 140 ns max.
  - enable/disable delay TD0: 100 ns max.
  - breedte SC-puls: 100 ns min.
- **gegevens clock:**
  - frequentie: 730 kHz max.
  - pulsbreedte: 500 ns min.

Parallel uitlezen van de data

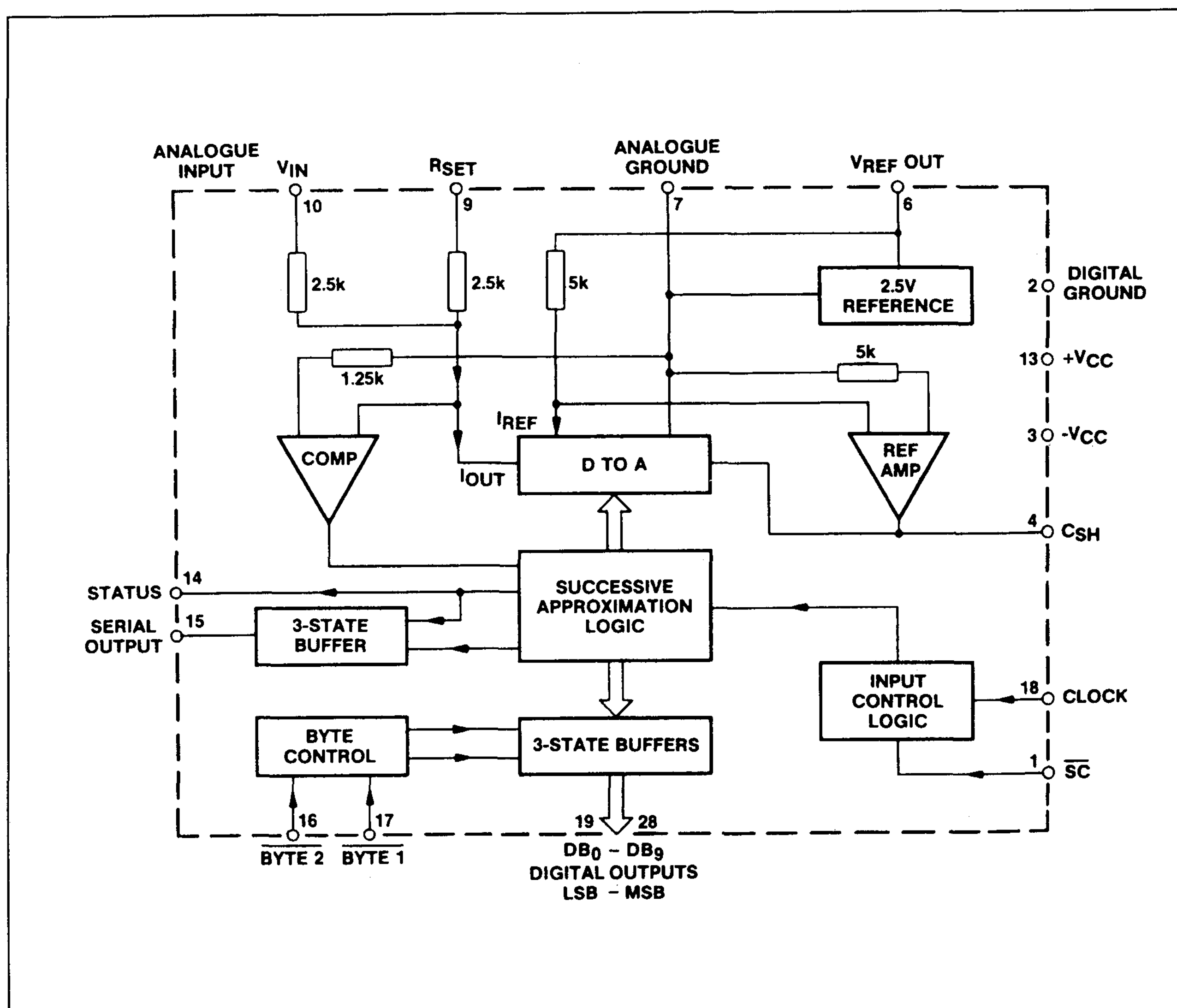
De ZN 504 wordt gereset door het aanleggen van een "H" naar "L" flank op de START CONVERT-ingang. Als deze ingang "L" is, zal de ZN 504 het binaire gewicht van zijn MSB-uitgang continu vergelijken met de waarde van de analoge ingangsspanning.



Figuur 12/3.2-57: Aansluitgegevens van de ZN 504.

De overige uitgangen en de STATUS zijn gereset. Op het moment dat de START CONVERT-puls "H" wordt, start het SAR-proces en worden alle uitgangen aangepast aan de waarde van de ingangsspanning. Nadien wacht STATUS één periode van de clock alvorens naar "H te gaan. Op dat moment is de uitgangsdata betrouwbaar. Als de ZN 504 wordt verbonden met een 8 bit brede databus, moeten DB0 en DB1 worden verbonden met respectievelijk DB8 en DB9. De databus moet dan worden aangesloten op DB2 (LSB) tot en met DB9 (MSB). Door BYTE1 en BYTE2 achter elkaar te activeren kunnen eerst DB2 tot en met DB9 en nadien DB1 en DB0 uitgelezen worden.
Bij de tweede leescyclus staan BD2 tot en met DB7 in tri-state geschakeld. Werkt men met een 10 bit brede data-bus, dan moeten BYTE0 en BYTE1 met elkaar verbonden worden. De tien bits worden dan simultaan uitgelezen.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-58: Intern blokschema van de ZN 504.

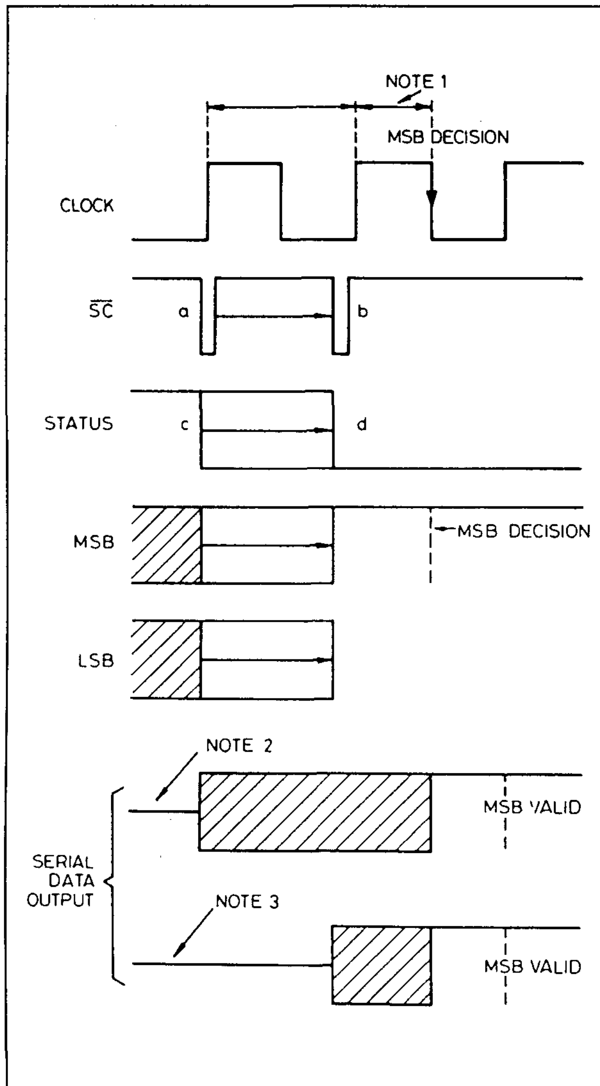
Serieel uitlezen van de data

De seriële uitgang blijft tri-state tot een "H" naar "L" op de START CONVERT verschijnt. De STATUS gaat naar "L". Het omzetten start en dit proces duurt tussen 10,5 en 11,5 clock-pulsen. nadien kan men de START CONVERT weer "H" maken. De seriële gegevens worden dan uitgelezen op de positieve flanken van de CLOCK, met MSB als eerste uitgelezen bit. Nadat het LSB is uitgelezen, gaat de seriële uitgang weer naar tri-state.

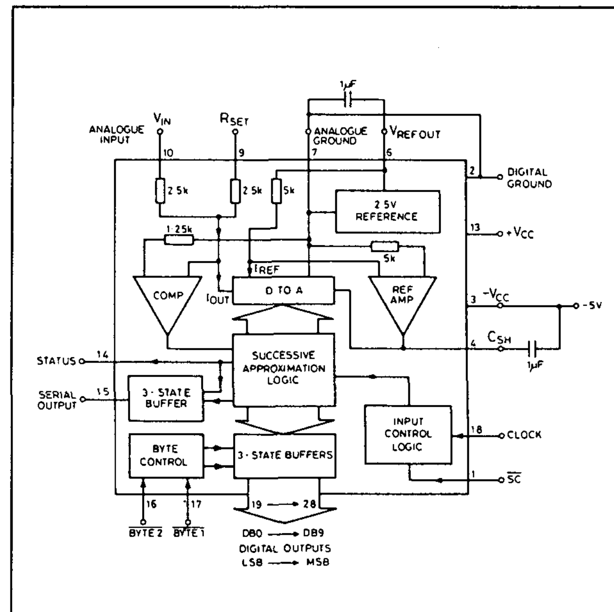
Voorbeeld-schakeling

– figuur 12/3.2-60:
Basis-configuratie rond de ZN 504 voor unipolaire werking, waarbij de ingangsspanning mag variëren tussen 0 V en de waarde van de referentiespanning. Let op de ontkoppel-condensatoren van 1 µF op de uitgang van de referentie (pen 6) en de uitgang van de referentie-versterker (pen 4).

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-59: Timing van de ZN 504.



Figuur 12/3.2-60: Basis-schakeling rond de ZN 504 voor unipolaire werking.

De schakeling bevat een DAC bestaande uit snelle en nauwkeurige geschakelde stroombronnen, een snelle comparator, een SAR, een 2,5 V bandgap spanningsreferentie en een clock-generator. De interne clock kan gemakkelijk worden aangestuurd door middel van een extern signaal.

ZN 509

8 bit serieel, +/-0,5 LSB, 8 μs

De ZN 509 is een 8 bit brede omzetter, die werkt volgens het SAR-principe. Vanwege de seriële uitgang kan de schakeling in een DIL-8 behuizing worden aangeboden. Er is slechts één voedingsspanning van +5 V noodzakelijk, zodat het IC gemakkelijk in een standaard logische schakeling kan geïntegreerd worden. De twee uitgangen zijn uitgevoerd via tri-state buffers, zodat opname in een multi-omzetter systeem zonder problemen mogelijk is.

Technische gegevens

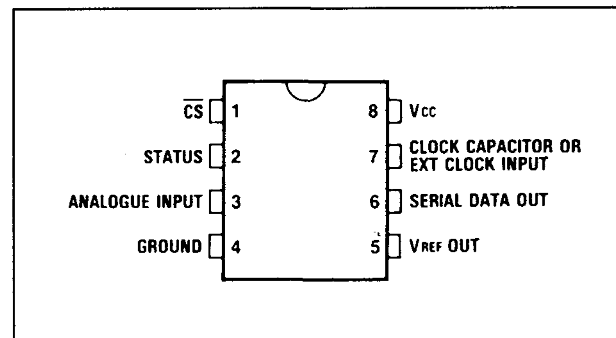
- fabrikant: Plessey Semiconductors
- behuizing: DIL-8
- aansluitgegevens: figuur 12/3.2-61
- intern blokschema: figuur 12/3.2-62
- tijddiagram: figuur 12/3.2-63
- voedingsspanning: +7,0 V max.
- voedingsstroom: 40 mA max.
- **gegevens omzetter**:
  - resolutie: 8 bit
  - lineariteitsfout: +/-0,5 LSB
  - differentiële fout: +/-0,75 LSB typisch
  - temp-co fout: +/-6 ppm/°C typisch
  - temp-co gain: +/-10 ppm/°C typisch
  - conversie tijd: 8 μs max.
- **gegevens referentie:**
  - interne referentie: 2,535 V typisch
  - tolerantie: +/-3 %
  - impedantie bron: 2 Ω max.

3.2 Type-beschrijving ZN-serie

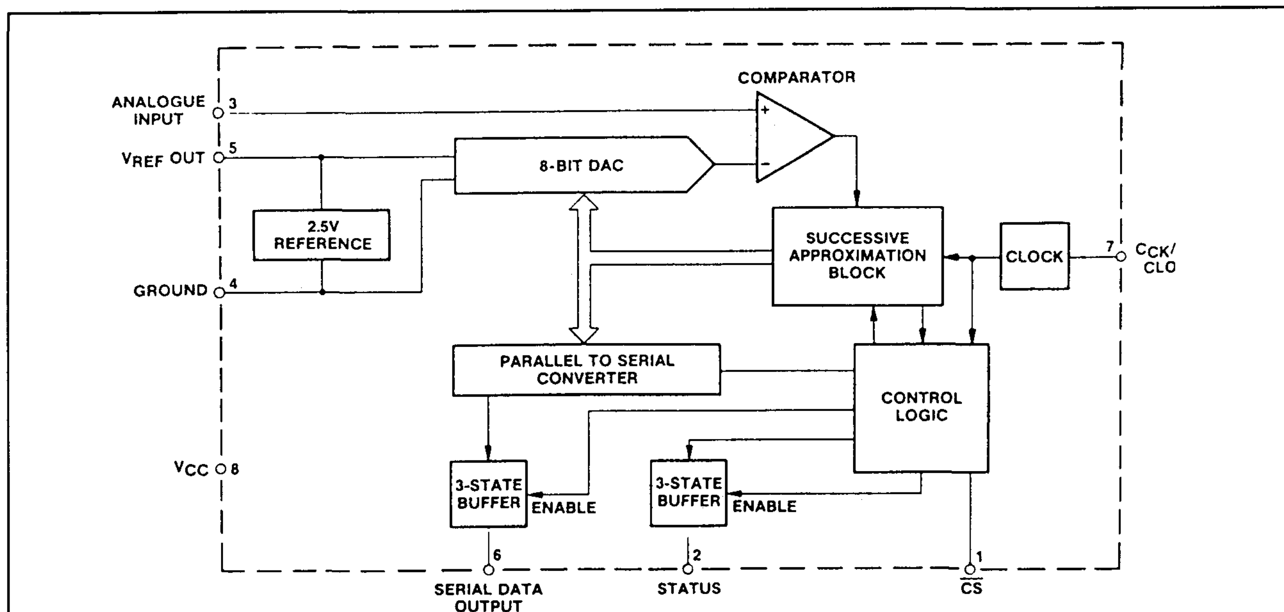
  - temp-co: 70 ppm/°C typisch
  - stroom: 5,2 mA max.
- **gegevens comparator:**
  - ingangsstroom: 230 µA typisch
  - spanning: 0 V tot +3,5 V
  - impedantie: 13 kΩ typisch
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL
  - tri-state lek: 2 µA max.
  - enable/disable delay TE0: 150 ns max.
  - enable/disable delay TD0: 310 ns max.
  - enable/disable delay TD1: 310 ns max.
  - enable/disable delay TCD: 390 ns max.
- **gegevens clock:**
  - frequentie intern: 1 MHz max.
  - pulsbreedte: 250 ns min.
  - temp-co: +/-0,125 %/°C
  - frequentie extern: 1,0 MHz

Werking

De ZN 509 start een conversie na het ontvangen van een "H" naar "L" overgang op $\overline{CS}$. Deze puls hoeft niet gesynchroniseerd te zijn met de CLOCK. Geldige gegevens staan 1 á 2 clock-pulsen later ter beschikking. De STATUS produceert twee verschillende uitgangen, afhankelijk of het IC wordt gebruikt als continue omzetter of als single stap omzetter. Single stap wordt herkend doordat de puls op $\overline{CS}$ smaller is dan één periode van het clock-signaal. Op het moment dat deze puls wordt aangeboden, ontwaken STATUS en DATA OUTPUT uit hun tri-state toestand. DATA OUTPUT wordt "L" en STATUS wordt "H". De STATUS gaat weer naar "L" op het moment dat het eerste geldige data-bit op de DATA OUTPUT verschijnt. Nadat het laatste bit is uitgelezen, gaat DATA OUTPUT weer naar tri-state en STATUS naar "H".

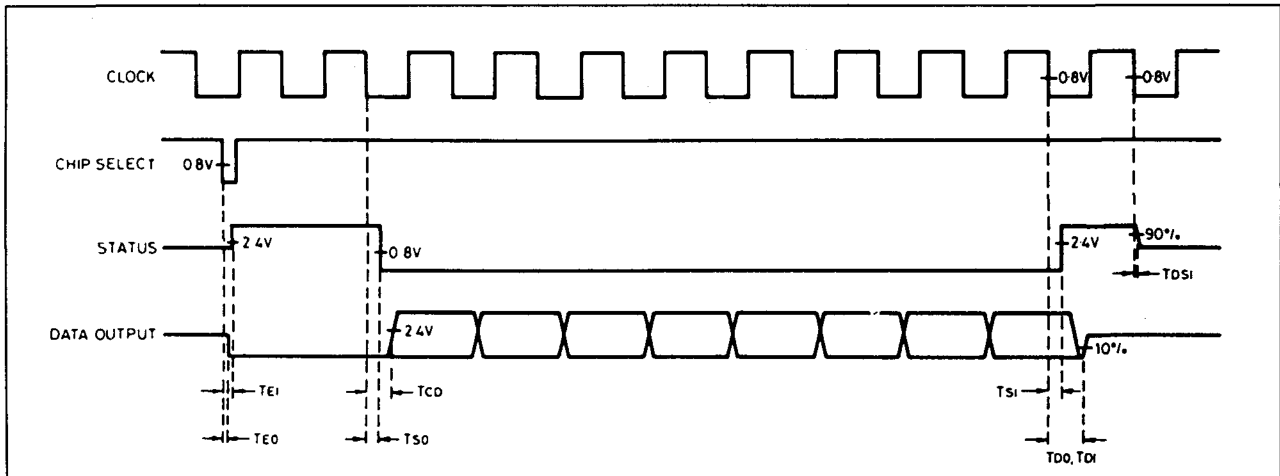


Figuur 12/3.2-61: Aansluitgegevens van de ZN 509.



Figuur 12/3.2-62: Intern blokschema van de ZN 509.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-63: Timing van de ZN 509.

Op de dalende flank van de volgende clock-puls gaat ook STATUS weer naar tri-state. Wordt $\overline{CS}$ "L" gehouden, dan werkt de schakeling als continue omzetter. STATUS en DATA OUTPUT gedragen zich nu hetzelfde, met dit verschil dat de STATUS na het verzenden van het laatste data-bit gedurende één clock-periode naar "L" gaat om aan te geven dat een cyclus is afgelopen. De STATUS levert dus nu na iedere omzetting een negatief gaande puls af.

De clock-schakeling

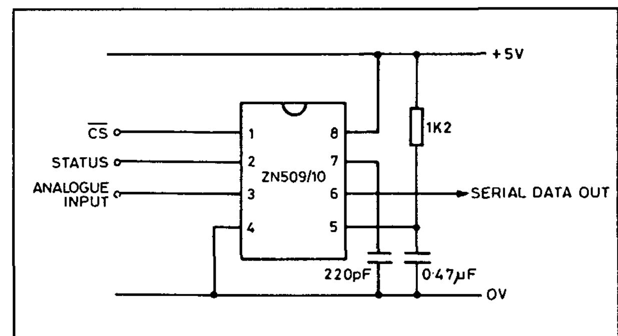
De interne clock werkt met een enkele externe condensator, aan de sluiten tussen pen 7 en de massa. Bij 300 pF is de gegenereerde frequentie ongeveer 1 MHz. De frequentie kan afgeregeld worden door in serie met de condensator een instelpotentiometer van maximaal 820 Ω op te nemen. Gebruikt men een externe clock, dan wordt pen 7 via een optrek-weerstand van 10 kΩ met de voeding verbonden en wordt pen 7 rechtstreeks verbonden met het externe clock-signaal.

Interne referentie

De interne referentie bestaat uit een referentie-diode van 2,5 V, geschakeld tussen pen 5 en de massa. Deze pen moet via een weerstand met de voeding verbonden worden en pen 5 moet via een condensator van 470 nF ontkoppeld worden naar de massa. De diode moet ingesteld worden op een stroom van ongeveer 2 mA, zodat bij 5 V voeding de waarde van de weerstand gelijk wordt aan 1,2 kΩ.

Voorbeeld-schakeling

– figuur 12/3.2-64:
Basis-configuratie rond de ZN 509 voor unipolaire werking, waarbij de ingangsspanning mag variëren tussen 0 V en de waarde van de referentiespanning.



Figuur 12/3.2-64: Basis-schakeling rond de ZN 509.

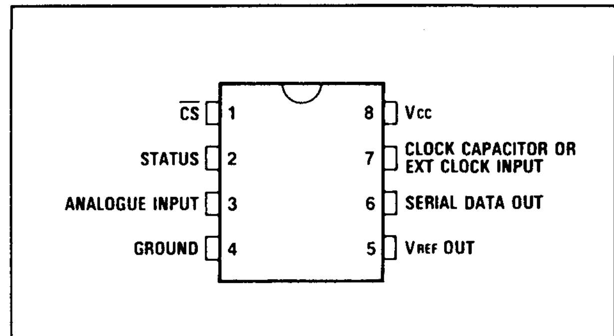
ZN 510

8 bit serieel, +/-1,0 LSB, 8 μs

De ZN 510 is een 8 bit brede omzetter, die werkt volgens het SAR-principe en in een miniatuur DIL-8 behuizing zit. Het geheel kan

gevoed worden uit +5 V, zodat het IC gemakkelijk in een standaard logische schakeling kan geïntegreerd worden. De twee uitgangen DATA OUTPUT en STATUS zijn uitgevoerd via tri-state buffers. De schakeling heeft slechts één stuuringang $\overline{CS}$, die via een korte negatieve puls de conversie start. De schakeling bevat een DAC bestaande uit snelle en nauwkeurige geschakelde stroombronnen, een snelle comparator, een SAR, een 2,5 V bandgap spanningsreferentie en een clock-generator. De interne clock kan gemakkelijk worden aangestuurd door middel van een extern signaal.

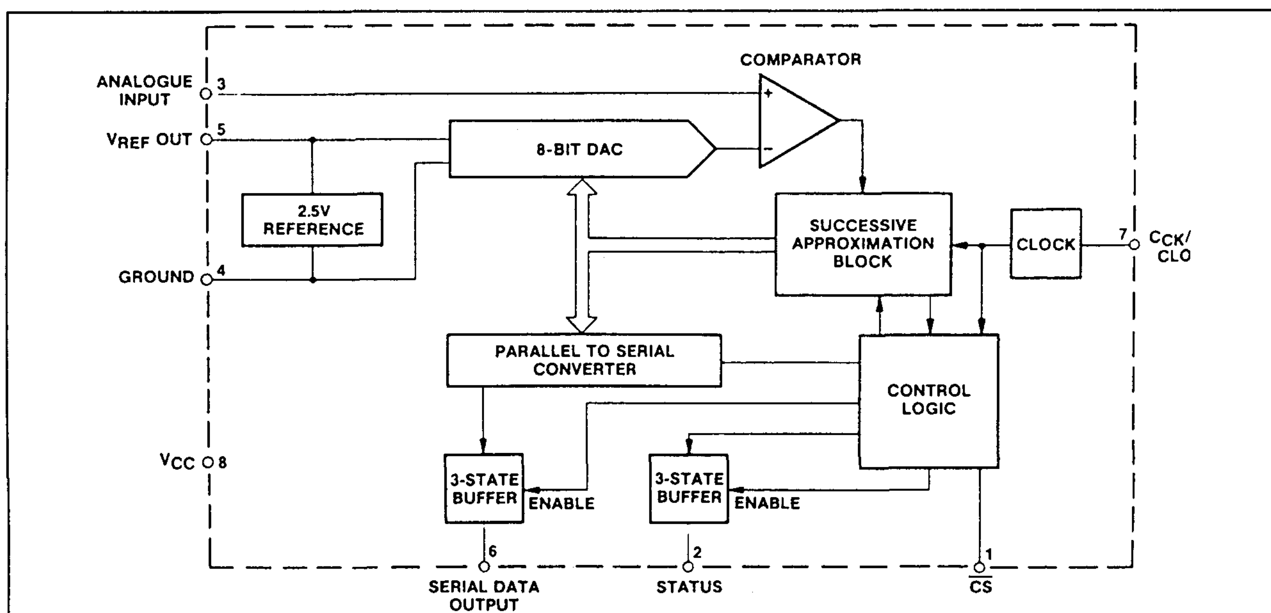
Technische gegevens
- fabrikant: Plessey Semiconductors
- behuizing: DIL-8
- aansluitgegevens: figuur 12/3.2-65
- intern blokschema: figuur 12/3.2-66
- tijddiagram: figuur 12/3.2-67
- voedingsspanning: +7,0 V max.
- voedingsstroom: 40 mA max.
- **gegevens omzetter:**
  - resolutie: 8 bit
  - lineariteitsfout: +/-1,0 LSB
  - differentiële fout: +/-1,0 LSB typisch
  - temp-co fout: +/-6 ppm/°C typisch
  - temp-co gain: +/-10 ppm/°C typisch
  - conversie tijd: 8 µs max.
- **gegevens referentie:**
  - interne referentie: 2,535 V typisch
  - tolerantie: +/-3 %
  - impedantie bron: 2 Ω max.
  - temp-co: 70 ppm/°C typisch
  - stroom: 5,2 mA max.
- **gegevens comparator:**
  - ingangsstroom: 230 µA typisch
  - spanning: 0 V tot +3,5 V
  - impedantie: 13 kΩ typisch
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL
  - tri-state lek: 2 µA max.
  - enable/disable delay TE0: 150 ns max.
  - enable/disable delay TD0: 310 ns max.
  - enable/disable delay TD1: 310 ns max.
  - enable/disable delay TCD: 390 ns max.
- **gegevens clock:**
  - frequentie intern: 1 MHz max.
  - pulsbreedte: 250 ns min.
  - temp-co: +/-0,125 %/°C
  - frequentie extern: 1,0 MHz



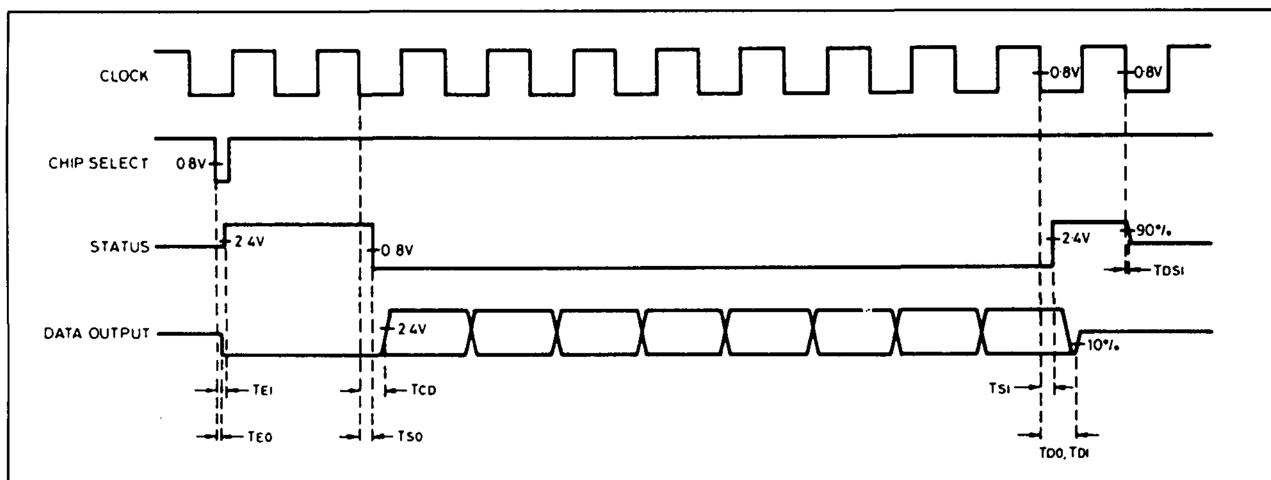
Figuur 12/3.2-65: Aansluitgegevens van de ZN 510.

Werking
De ZN 510 start een conversie na het ontvangen van een "H" naar "L" overgang op $\overline{CS}$. Deze puls hoeft niet gesynchroniseerd te zijn met de CLOCK. Geldige gegevens staan 1 á 2 clock-pulsen later ter beschikking. De STATUS produceert twee verschillende uitgangen, afhankelijk of het IC wordt gebruikt als continue omzetter of als single stap omzetter.
- Single step werking:
  Single stap wordt herkend doordat de puls op $\overline{CS}$ smaller is dan één periode van het clock-signaal.
  Op het moment dat deze puls wordt aangeboden, gaan STATUS en DATA OUTPUT hun tri-state toestand verlaten, waarbij DATA OUTPUT "L" en STATUS "H" worden. De STATUS gaat weer naar "L" op het moment dat het eerste geldige data-bit op de DATA OUTPUT verschijnt. Nadat het laatste bit is uitgelezen, gaat DATA OUTPUT weer naar tri-state en STATUS naar "H". Op de dalende flank van de volgende clock-puls gaat ook STATUS weer naar tri-state.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-66: Intern blokschema van de ZN 510.



Figuur 12/3.2-67: Timing van de ZN 510.

- Continue werking:
  Wordt $\overline{CS}$ "L" gehouden, dan werkt de schakeling als continue omzetter. STATUS en DATA OUTPUT gedragen zich nu hetzelfde, met dit verschil dat de STATUS na het verzenden van het laatste data-bit gedurende één clock-periode naar "L" gaat om aan te geven dat een cyclus is afgelopen. De STATUS levert dus nu na iedere omzetting een negatief gaande puls af.

De clock-schakeling

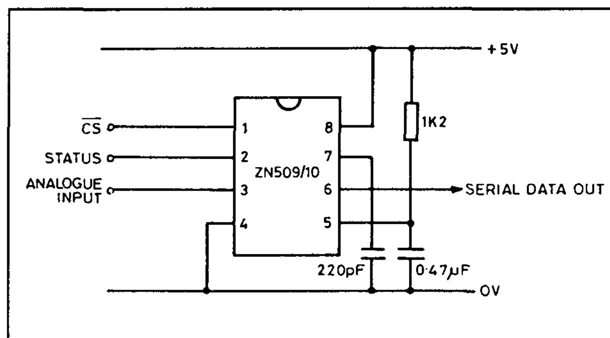
De interne clock werkt met een enkele externe condensator, aan de sluiten tussen pen 7 en de massa.
Bij 300 pF is de gegenereerde frequentie ongeveer 1 MHz. De frequentie kan afgeregeld worden door in serie met de condensator een instelpotentiometer van maximaal 820 Ω op te nemen. Gebruikt men een externe clock, dan wordt pen 7 via een optrekweerstand van 10 kΩ met de voeding ver-

3.2 Type-beschrijving ZN-serie

bonden en wordt pen 7 rechtstreeks verbonden met het externe clock-signaal.

Interne referentie
De interne referentie bestaat uit een referentie-diode van 2,5 V, geschakeld tussen pen 5 en de massa. Deze pen moet via een weerstand met de voeding verbonden worden en pen 5 moet via een condensator van 470 nF ontkoppeld worden naar de massa. De diode moet ingesteld worden op een stroom van ongeveer 2 mA, zodat bij 5 V voeding de waarde van de weerstand gelijk wordt aan 1,2 kΩ.

Voorbeeld-schakeling
– figuur 12/3.2-68:
Basis-configuratie rond de ZN 510 voor unipolaire werking, waarbij de ingangsspanning mag variëren tussen 0 V en de waarde van de referentiespanning.



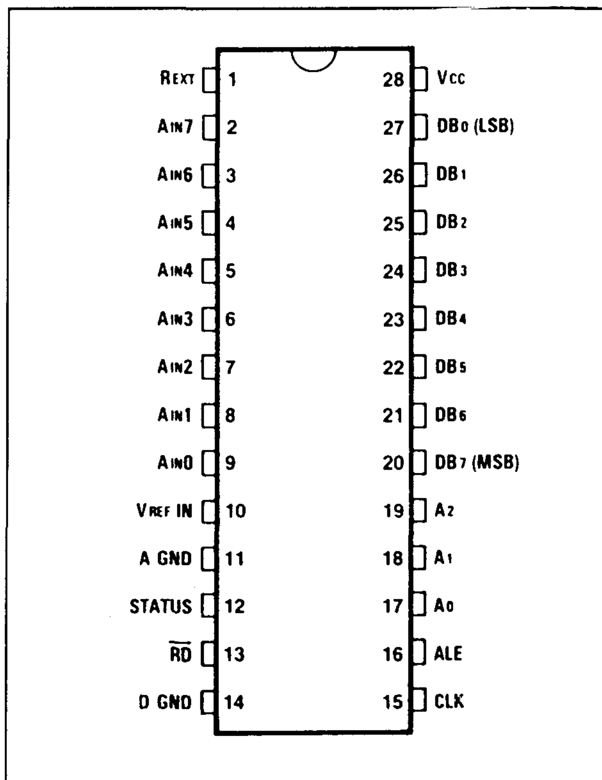
Figuur 12/3.2-68: Basis-schakeling rond de ZN 510.

ZN 538

8 bit parallel, +/-0,5 LSB, 16 μs, 8 analoge ingangen

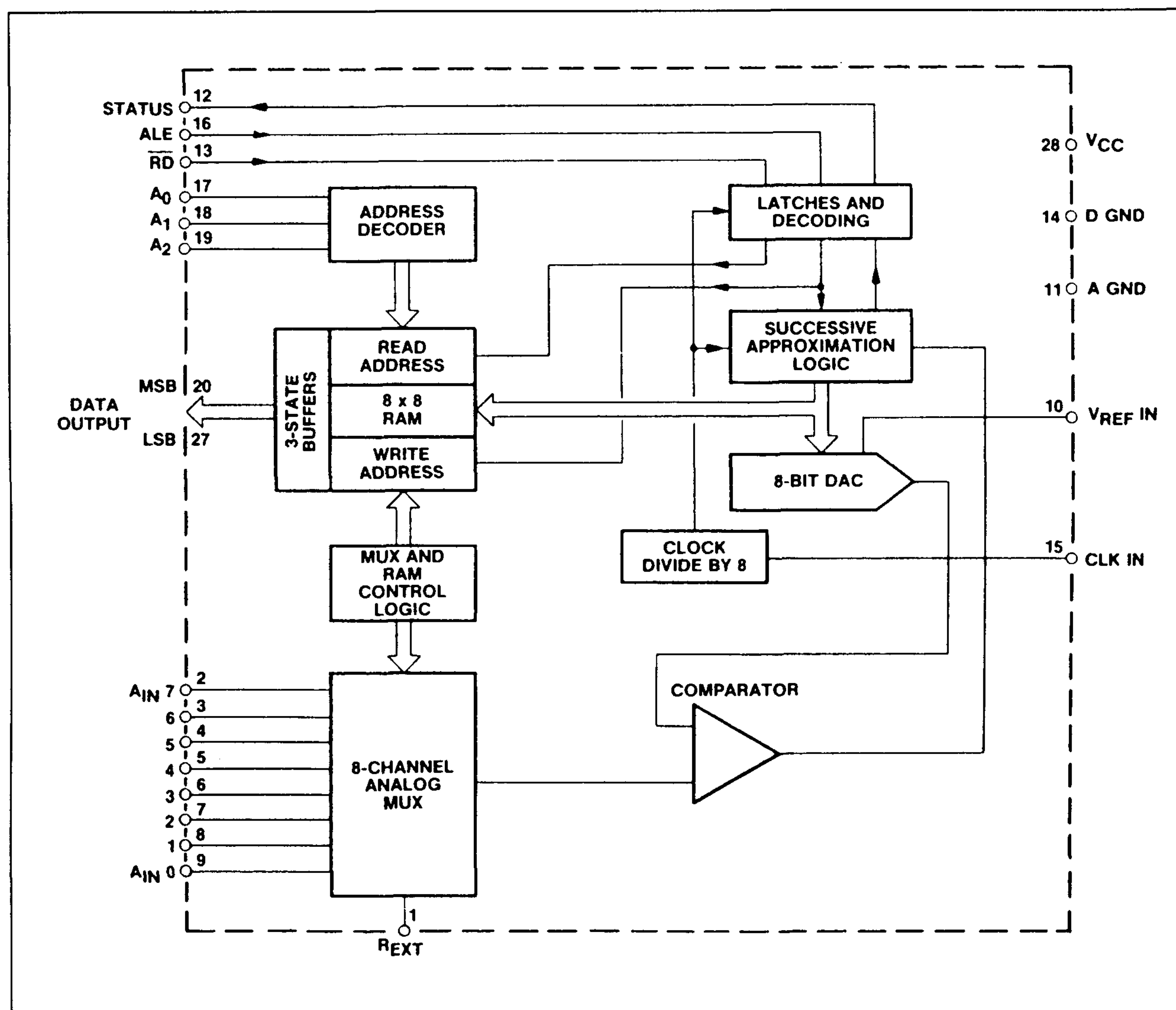
De ZN 538 is een "data acquisitie systeem", dat werkt volgens het SAR-principe. De schakeling heeft acht analoge ingangen, die door middel van een analoge multiplexer met de ingang van de comparator verbonden kunnen worden.

De binaire gegevens van de acht analoge ingangen kunnen in een 8 x 8 RAM worden opgeslagen en van daaruit op commando van besturingssignalen een na een uitgelezen worden op de tri-state data-bus. Hiervoor worden de signalen A0 tot en met A2 van een adres-bus gebruikt. De schakeling bevat een DAC, een snelle comparator, een SAR, een 8 x 8 RAM, tri-state uitgangsbuffers en de nodige logica om het gehele IC uit een μP-bus te besturen. De binaire uitgangen zijn tri-state en kunnen dus op een bus worden aangesloten. Er is geen interne referentie of clock-generator aanwezig. De interne comparator moet via een serie-weerstand verbonden worden met een negatieve spanning van maximaal -30 V.
De omzetter werkt in een continue mode, dat wil zeggen dat de acht ingangskanalen een na een worden bemonsterd en de gegevens in het RAM steeds automatisch worden ververst.



Figuur 12/3.2-69: Aansluitgegevens van de ZN 538.

3.2 Type-beschrijving ZN-serie

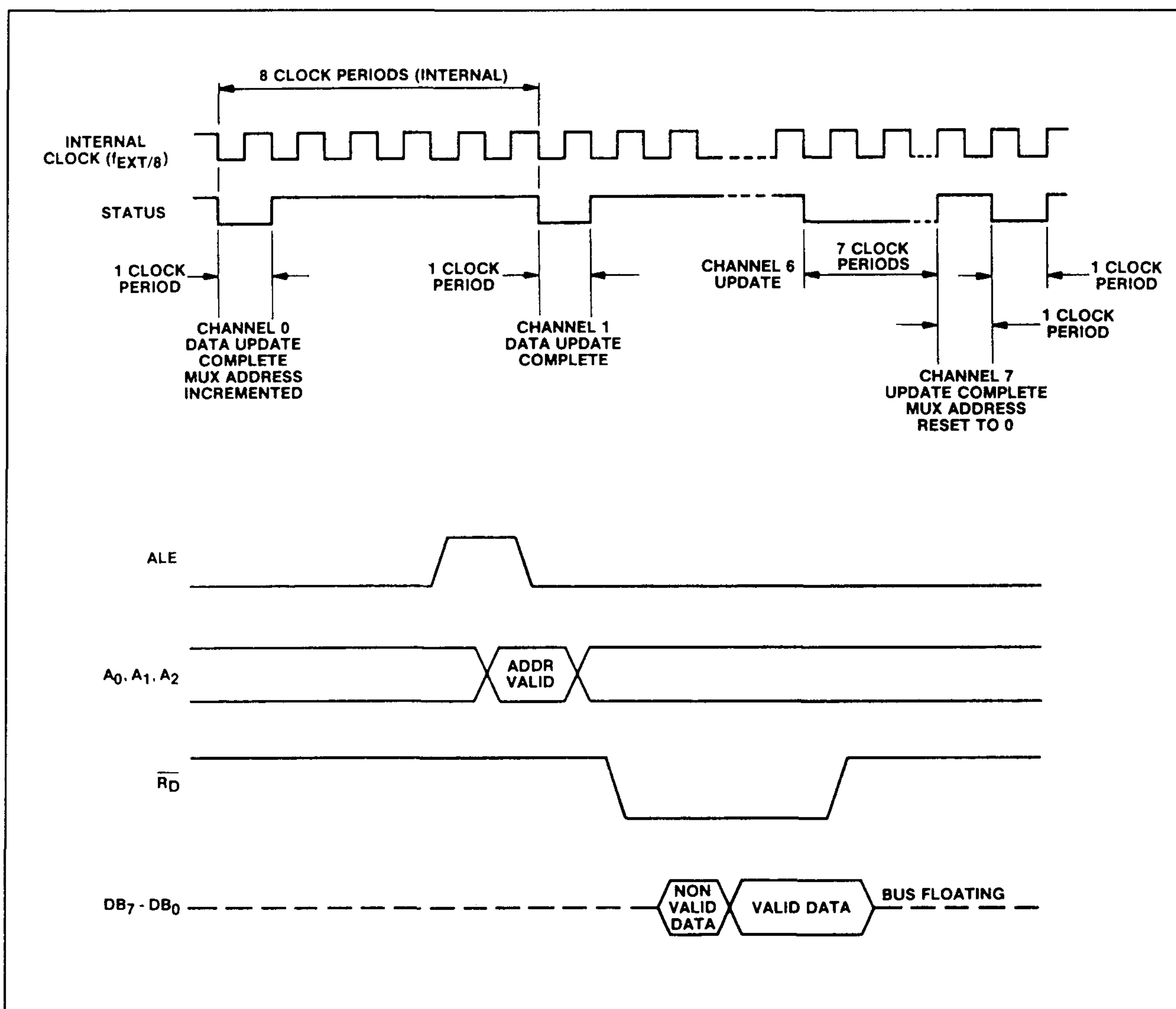


Figuur 12/3.2-70: Intern blokschema van de ZN 538.

Dank zij de dubbele buffer aan de uitgang kunnen de gegevens middels de adres-lijnen A0, A1 en A2 op willekeurige momenten worden uitgelezen, zonder dat de uitgelezen gegevens verstoord worden door het continue bemonsteringsproces.

Technische gegevens
- fabrikant: Plessey Semiconductors
- behuizing: DIL-28
- aansluitgegevens: figuur 12/3.2-69
- intern blokschema: figuur 12/3.2-70
- timingen: figuur 12/3.2-71
- voedingsspanning: +7,0 V max.
- voedingsstroom: 42 mA max.
- **gegevens omzetter**:
  - resolutie: 8 bit
  - lineariteitsfout: +/-0,5 LSB max.
  - differentiële fout: +/-0,75 LSB typisch
  - temp-co fout: +/-3 ppm/°C typisch
  - temp-co gain: +/-10 ppm/°C typisch
  - conversie tijd: 16 µs max.
- **gegevens referentie:**
  - externe referentie: 3,0 V max.
  - stroomopname: 1,0 mA typisch
  - impedantie: 0,75 Ω max.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-71: Timing van de ZN 538.
Boven: timing van de STATUS;
onder: timing van het lezen.

- **gegevens multiplexer:**
  - ingangsstroom: 10 nA typisch
  - impedantie: 10 MΩ typisch
  - spanning: 3,5 V max.
  - negatieve voeding: -30 V max.
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL
  - enable/disable tijd:
    TE1: 220 ns typisch
    TE0: 120 ns typisch
    TD1: 160 ns typisch
    TD0: 110 ns typisch
  - ALE-puls: 150 ns min.
  - leespuls: 220 ns min.
  - $\overline{WR}$-puls naar STATUS: 240 ns typisch

Beschrijving van de werking

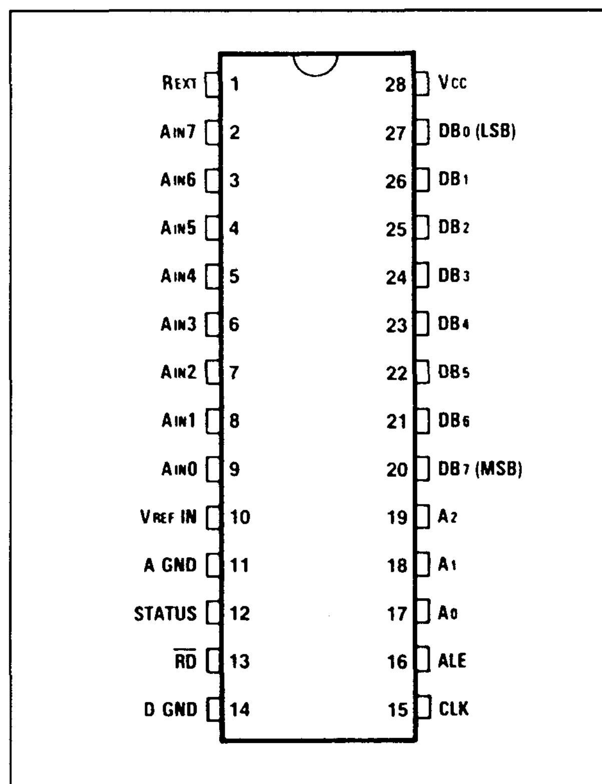
De ZN 538 accepteert maximaal acht analoge ingangsspanningen, die continu bemonsterd worden. De gegevens worden in de juiste adressen van het 8 x 8 RAM-geheugen

geschreven. Het begin van een conversiecyclus wordt aangegeven door het "H" worden van de STATUS. Na de achtste negatieve flank van de clock gaat STATUS weer naar "L" als teken dat één conversie is afgesloten. Op dat moment worden de gegevens in het RAM-geheugen ververst. Natuurlijk moet er op de een of andere manier een verband bestaan tussen het analoge kanaal dat wordt bemonsterd en het STATUS-signaal. STATUS blijft "L" gedurende zeven clock-perioden op het moment dat het zevende ingangskanaal wordt bemonsterd.
Gegevens kunnen worden uitgelezen door A0, A1 en A2 te adresseren. Dit adres wordt ingelezen op het moment dat ALE "L" wordt. De negatieve flank van het $\overline{RD}$-signaal zorgt voor het transporteren van de geselecteerde data naar de uitgangslatches.

ZN 539

8 bit parallel, +/-1,0 LSB, 16 µs, 8 analoge ingangen

De ZN 539 is een ADC met acht analoge ingangen, die in een continu proces een na een worden bemonsterd.
De binaire gegevens worden opgeslagen in een 8 x 8 RAM-geheugen en kunnen op ieder gewenst moment worden uitgelezen door drie adres-lijnen te adresseren en het $\overline{RD}$-signaal "L" te sturen. De schakeling wekt volgens het SAR-principe. De schakeling bevat een DAC, een snelle comparator, een SAR, een 8 x 8 RAM, tri-state uitgangsbuffers en de nodige logica om het gehele IC uit een µP-bus te besturen. De binaire uitgangen zijn tri-state en kunnen dus op een bus worden aangesloten. Er is geen interne referentie of clock-generator aanwezig. De interne comparator moet via een serieweerstand verbonden worden met een negatieve spanning van maximaal -30 V.
De omzetter werkt in een continue mode, dat wil zeggen dat de acht ingangskanalen een na een worden bemonsterd en de gegevens in het RAM steeds automatisch worden ververst. Dank zij de dubbele buffer aan de uitgang kunnen de gegevens middels de adres-lijnen A0, A1 en A2 op willekeurige momenten worden uitgelezen, zonder dat de uitgelezen gegevens verstoord worden door het continue bemonsteringsproces.

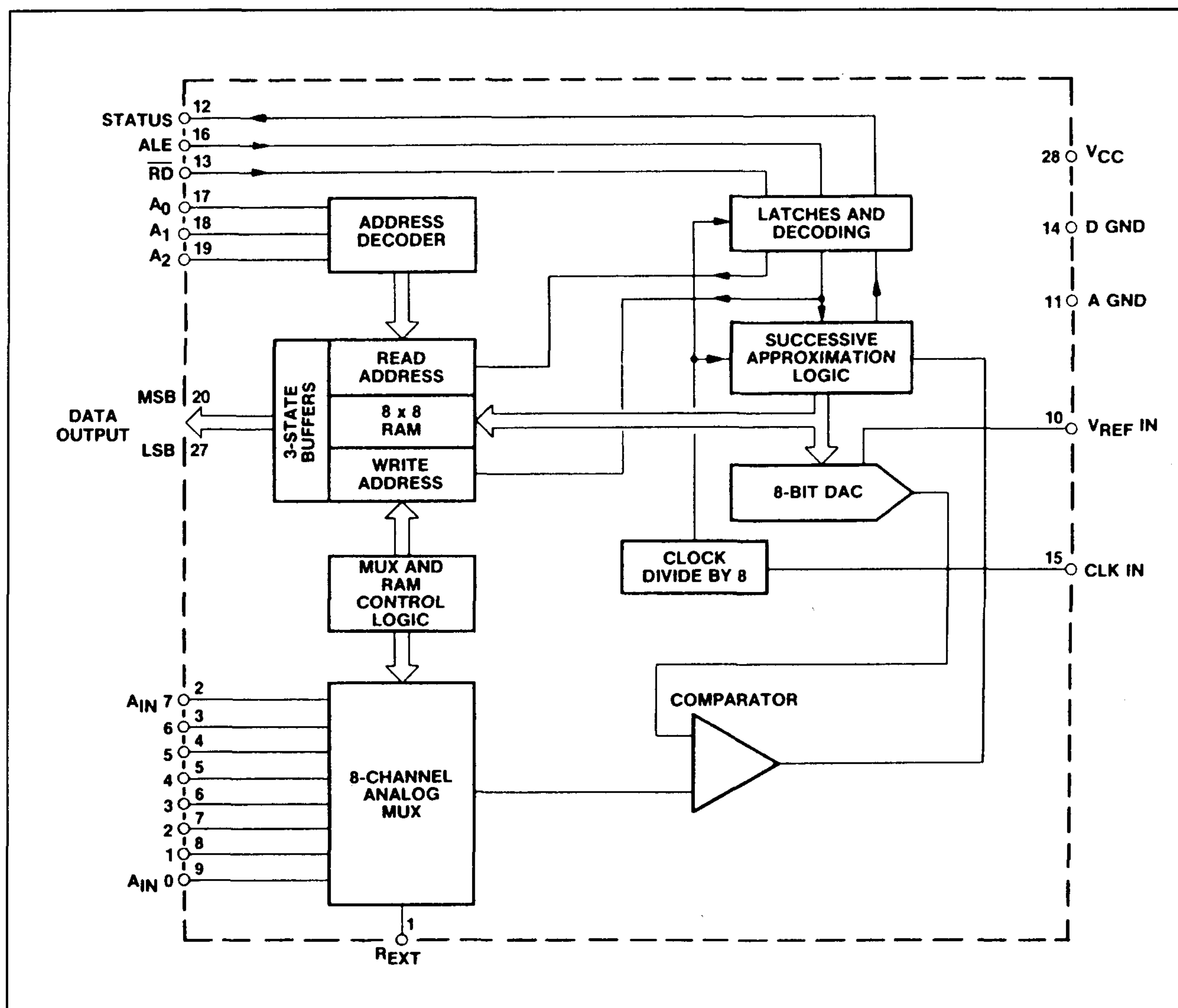


Figuur 12/3.2-72: Aansluitgegevens van de ZN 539.

Technische gegevens
- fabrikant: Plessey Semiconductors
- behuizing: DIL-28
- aansluitgegevens: figuur 12/3.2-72
- intern blokschema: figuur 12/3.2-73
- timingen: figuur 12/3.2-74
- voedingsspanning: +7,0 V max.
- voedingsstroom: 42 mA max.
- **gegevens omzetter**:
  - resolutie: 8 bit
  - lineariteitsfout: +/-1,0 LSB max.
  - differentiële fout: +/-1,0 LSB typisch
  - temp-co fout: +/-3 ppm/°C typisch
  - temp-co gain: +/-10 ppm/°C typisch
  - conversie tijd: 16 µs max.

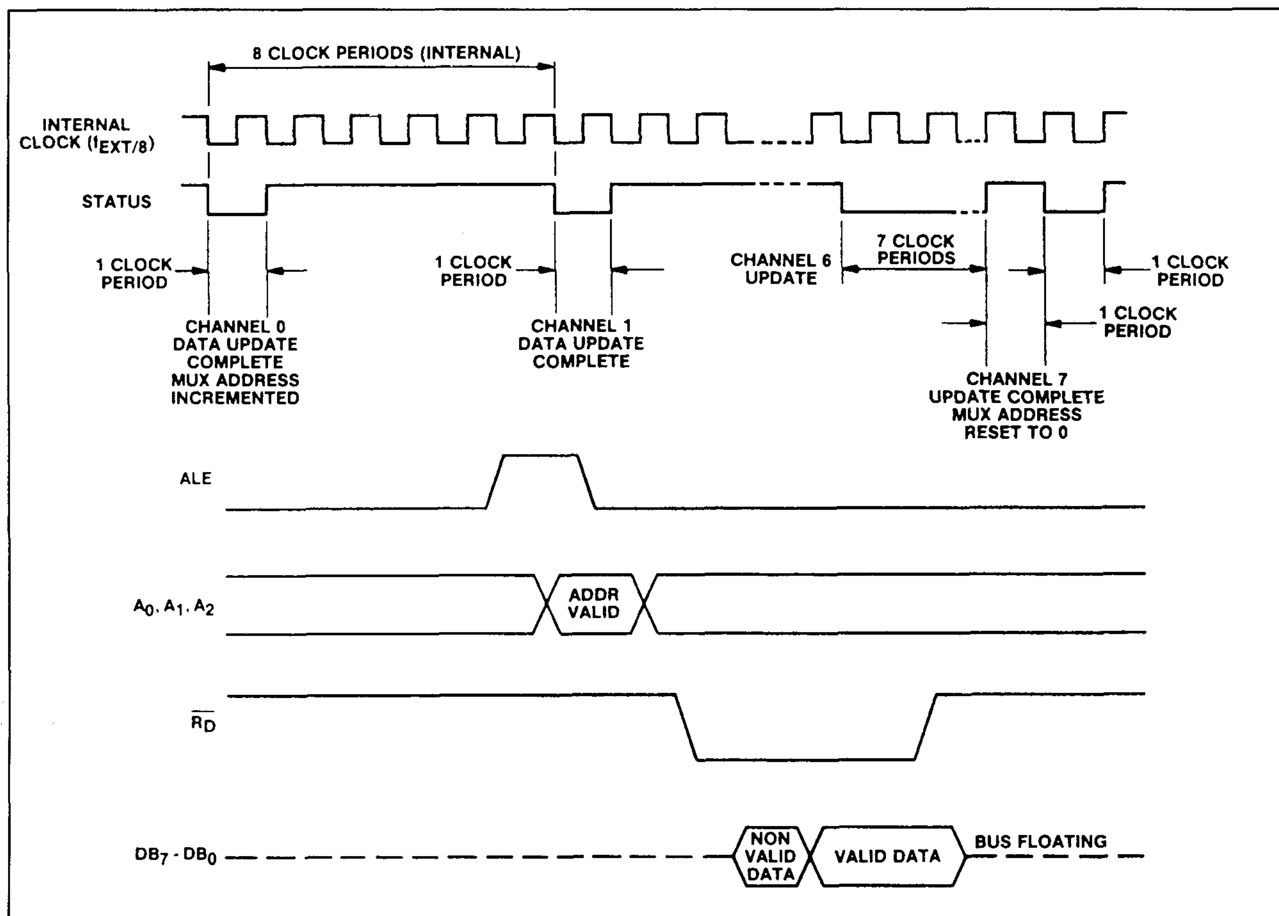
3.2 Type-beschrijving ZN-serie

- **gegevens referentie:**
  - externe referentie: 3,0 V max.
  - stroomopname: 1,0 mA typisch
  - impedantie: 0,75 Ω max.
- **gegevens multiplexer:**
  - ingangsstroom: 10 nA typisch
  - impedantie: 10 MΩ typisch
  - spanning: 3,5 V max.
  - negatieve voeding: -30 V max.
- **gegevens logica:**
  - binaire uitgangen: TTL
  - stuuringangen: TTL
  - enable/disable tijd:
    TE1: 220 ns typisch
    TE0: 120 ns typisch
    TD1: 160 ns typisch
    TD0: 110 ns typisch
  - ALE-puls: 150 ns min.
  - leespuls: 220 ns min.
  - $\overline{WR}$-puls naar STATUS: 240 ns typisch



Figuur 12/3.2-73: Intern blokschema van de ZN 539.

3.2 Type-beschrijving ZN-serie



Figuur 12/3.2-74: Timing van de ZN 539, met boven de timing van de STATUS en onder de timing bij het lezen van gegevens uit het geheugen.

Beschrijving van de werking

De acht analoge ingangen van de ZN 539 worden continu bemonsterd en de binaire gegevens worden in de juiste adressen van het 8 x 8 RAM-geheugen geschreven. Het begin van een conversie-cyclus wordt aangegeven door het "H" worden van de STATUS.

Na de achtste negatieve flank van de clock gaat STATUS weer naar "L" als teken dat één conversie is afgesloten. Op dat moment worden de gegeven in het RAM-geheugen ververst. STATUS blijft "L" gedurende zeven clock-perioden op het moment dat het zevende ingangskanaal wordt bemonsterd. Op deze manier is men in staat de volgorde van het bemonsteren van de ingangen te synchroniseren. Gegevens kunnen worden uitgelezen door A0, A1 en A2 te adresseren. Dit adres wordt ingelezen op het moment dat ALE "L" wordt. De negatieve flank van het $\overline{RD}$-signaal zorgt voor het transporteren van de geselecteerde data naar de uitgangslatches

3.2 Type-beschrijving ZN-serie

12/4.4

Type-beschrijving resolutie tot +/−19999

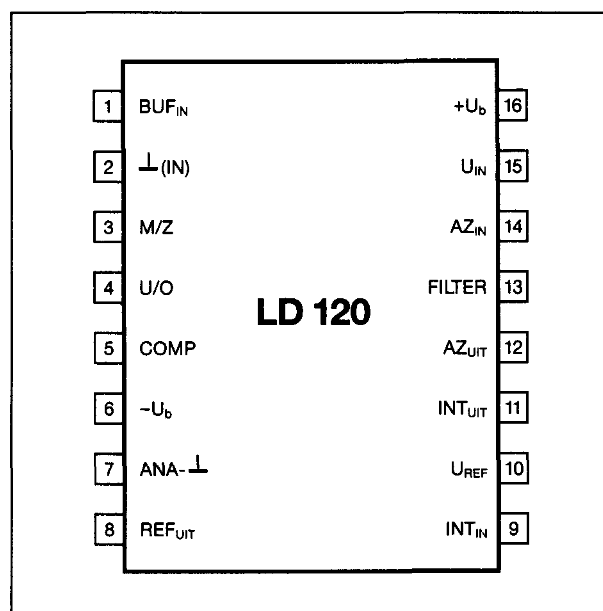
LD 120/121 A

+/−19999 EXT DRIVE

Omzetter-paar met een nauwkeurigheid van 0,005% met twee ingangs-gevoeligheden van +/−199,00 mV en +/−1,9999 V. De ingang is unipolair (de negatieve ingang moet aan de massa liggen), er is geen interne referentie aanwezig. De digitale processor LD 121 A levert vier BCD-uitgangen en vijf digit-uitgangen, die via een externe BCD-naar-zevensegments decoder en een buffer common kathode display's kunnen aansturen.

Technische gegevens

- fabrikant: Siliconix
- behuizing: LD 120: DIL-16
  LD 121 A: DIL-18
- aansluitgegevens:
  figuur 12/4.4-1 (LD 120)
  figuur 12/4.4-2 (LD 121A)
- intern blokschema: figuur 12/4.4-3
- voedingsspanning: +/−12V, +5V
- LD 120 gegevens (analoge processor)
  - ingangsspanning: +/−5V max.
  - ingangsstroom: 2 pA
  - lineariteit: +/− 1 digit max.
    +/− 1/4 digit typisch
  - ruis en nulpunt-drift: 1 digit max.
  - common mode rejection ratio: −72 dB
  - temp. coëf.: 15 ppm/°C max.
- LD 121 A gegevens (digitale processor)
  - klok-frequentie: 250 kHz max.
  - aantal metingen: $f_{klok}/640$
  - uitgangen: BCD-multiplexed, TTL
  - start-plus: 20 μs positief op pen 7

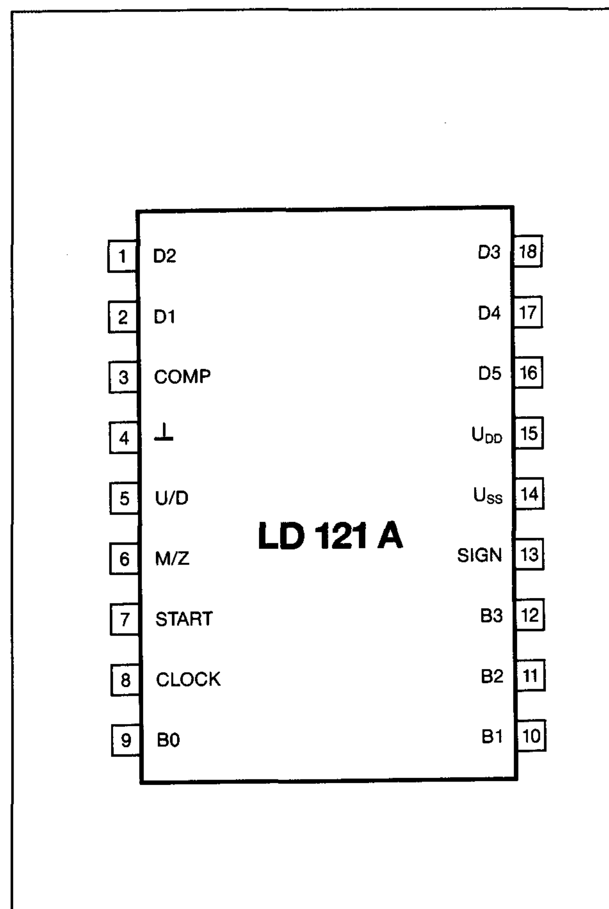


Figuur 12/4.4-1: Aansluitgegevens LD 120.

Opmerkingen

- Start omzetting (pen 7)
  Een laag niveau op deze ingang houdt het systeem in de zero-mode. Een smalle positieve puls op deze ingang start een omzettings-syclus, de gegevens staan na 32.850 klokpulsen ter beschikking. Een continu hoog signaal op deze ingang brengt het systeem in de continu-mode, waarbij de metingen syclisch worden uitgevoerd. Door een interne pull-up weerstand kan men deze ingang open laten.
- Sign/Overrange/Underrange (pen 13)
  Deze uitgang werkt als TTL-ingang tijdens de D1, D2, D3 en D5 strobe-pulsen en als ingang gedurende de D4 strobe. De tijdrelatie tussen de verschillende pulsen volgt

4.4 Type-beschrijving resolutie tot ±19999



Figuur 12/4.4-2: Aansluitgegevens LD 121 A.

uit het timing-diagram van figuur 12/4.4-4. Gedurende D5 bepaalt de polariteit van het ingangssignaal het niveau op pen 13: + → hoog, − → laag. Deze pen voert een positieve puls gedurende D3 als de ingangsspanning groter is dan het meetbereik en een positieve puls gedurende D1 als de ingangsspanning kleiner is dan 1800 getelde pulsen. Tijdens D4 zal een positieve puls op pen 13 de overrange indicatie uitschakelen.

- Digit strobe's (pennen 1, 2, 16, 17 en 18)
  Deze werken volgens het multiplex-systeem in de volgorde D5 tot en met D1. Tussen de strobe-pulsen ligt een tijd-interval van 32 klok-pulsen.
- Klok-frequentie (pen 8)
  Op pen 8 moet een extern kloksignaal worden aangesloten met een frequentie tussen 50 en 250 kHz en een duty-sycle tussen 30 en 70%. De aanbevolen klokfrequentie bedraagt 163.840 kHz, deze waarde geeft de beste onderdrukking van 50 en 60 Hz signalen.
- Referentie-spanning (pen 10)
  De uitlezing verhoudt zich tot de ingangs- en referentie-spanningen volgens de formule:

  $$\text{UITLEZING} = U_{IN}.\ R1/R2\ .\ 65536/U_{REF}$$

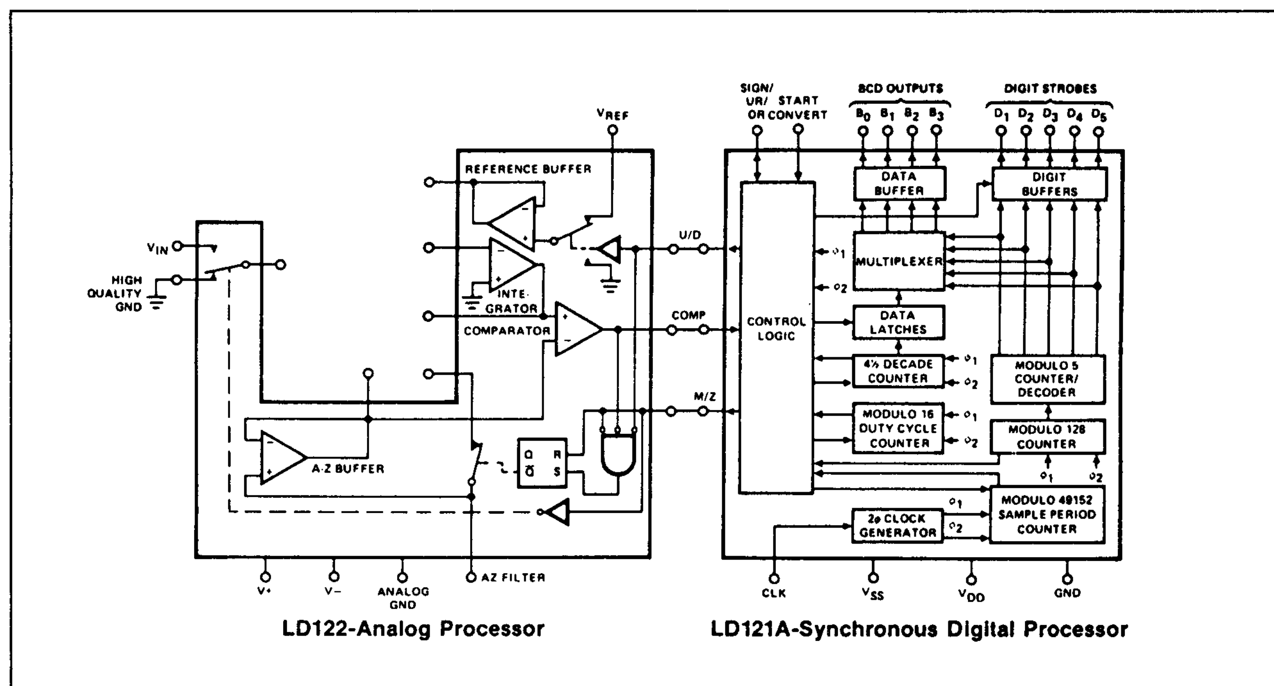
Voorbeeld-schakeling
Figuur 12/4.4-5 geeft het basis-schema van een vier en een half digit digitale voltmeter met een bereik tot +/−1,9999 V, overbereikindicatie door middel van knipperende display's en een externe nulpunts-afregeling, die de lekken op de printplaat compenseert.

LD 122/121 A
+/−19999 EXT DRIVE

Omzetter-paar met een nauwkeurigheid van 0,005% met twee ingangs-gevoeligheden van +/−1,9999 V. De LD 122 is een verbeterde versie van de LD 120 met name wat betreft de eigen ruis. Het is mogelijk door het extern tussenschakelen van een extreem ruisarme voorversterker de resolutie ver boven de LD 120 grens van 10 μV op te voeren. De interne verbinding tussen de ingangs-schakelaar en de ingang van de buffer is bij dit IC onderbroken, zodat men deze externe versterker in het systeem kan invoegen. Met dit paar is het mogelijk een μV digitale meter te realiseren.

Technische gegevens
- fabrikant: Siliconix
- behuizing: LD 122: DIL-16
  LD 121 A: DIL-18
- aansluitgegevens:
  figuur 12/4.4-2 (LD 121A)
  figuur 12/4.4-6 (LD 122)
- intern blokschema: figuur 12/4.4-7
- voedingsspanning: +/−12 V, +5 V
- LD 122 gegevens (analoge processor)

4.4 Type-beschrijving resolutie tot ± 19999



Figuur 12/4.4-3: Intern blokschema LD 120/121 combinatie.

  - ingangsspanning: +/−3 V max.
  - ingangsstroom: 2 pA
  - lineariteit: +/−2 digit max.
    +/− 1/2 digit typisch
  - ruis en nulpunt-drift: 1 digit max.
  - temp. coëf.: 15 ppm/°C max.
- LD 121 A gegevens (digitale processor) zie LD 120/121 A paar.

Opmerkingen

Alle bij de LD 120/121 A combinatie besproken functies gelden ook voor de LD 122.

Voorbeeld-schakeling

Figuur 12/4.4-8 geeft het schema van een digitale voltmeter met een meetbereik van 19,999 mV volle schaal en dus een resolutie van 1 μV!
Als extra versterker wordt gebruik gemaakt van een OP-07 instrumentatie-versterker.

TL 500/502 C

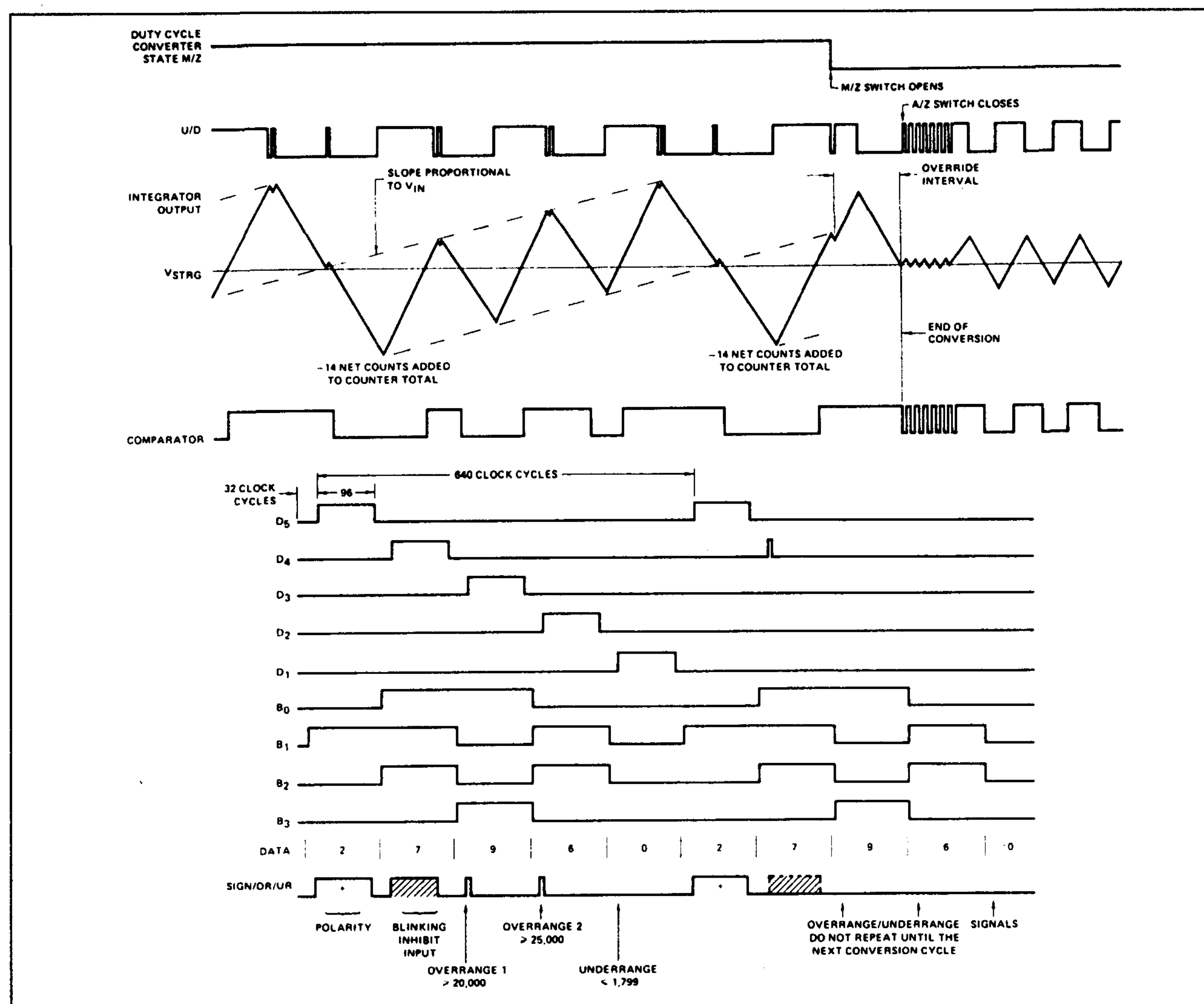
+/−19999 LED INT

Volledig geïntegreerd omzetter-paar met een lineariteit van 0,001 %, bereik van +/−1,9999 V, ingebouwde klok-oscillator en referentie-spanning en drivers voor het aansturen van de segmenten van de display's. De enige externe actieve componenten zijn vijf transistoren voor het selecteren van de display's.

Technische gegevens

- fabrikant: Texas Instruments
- behuizing: TL 500: DIL-18
  TL 502: DIL-20
- aansluitgegevens:
  figuur 12/4.4-9 (TL 500)
  figuur 12/4.4-10 (TL 502)
- intern blokschema: figuur 12/4.4-11
- voedingsspanning: +/− 15 V, +5 V
- TL 500 gegevens (analoge processor)
  - ingangsspanning: +/− 5 V
  - ingangsimpedantie: 10^9 Ω
  - lineariteit: 0,005 % max.
    0,001 % typisch
  - ruis en nulpunt-drift: 20 μV max.
  - common mode rejection ratio: -90 dB
  - temp. coëf.: 1 μV/°C max.

4.4 Type-beschrijving resolutie tot ±19999



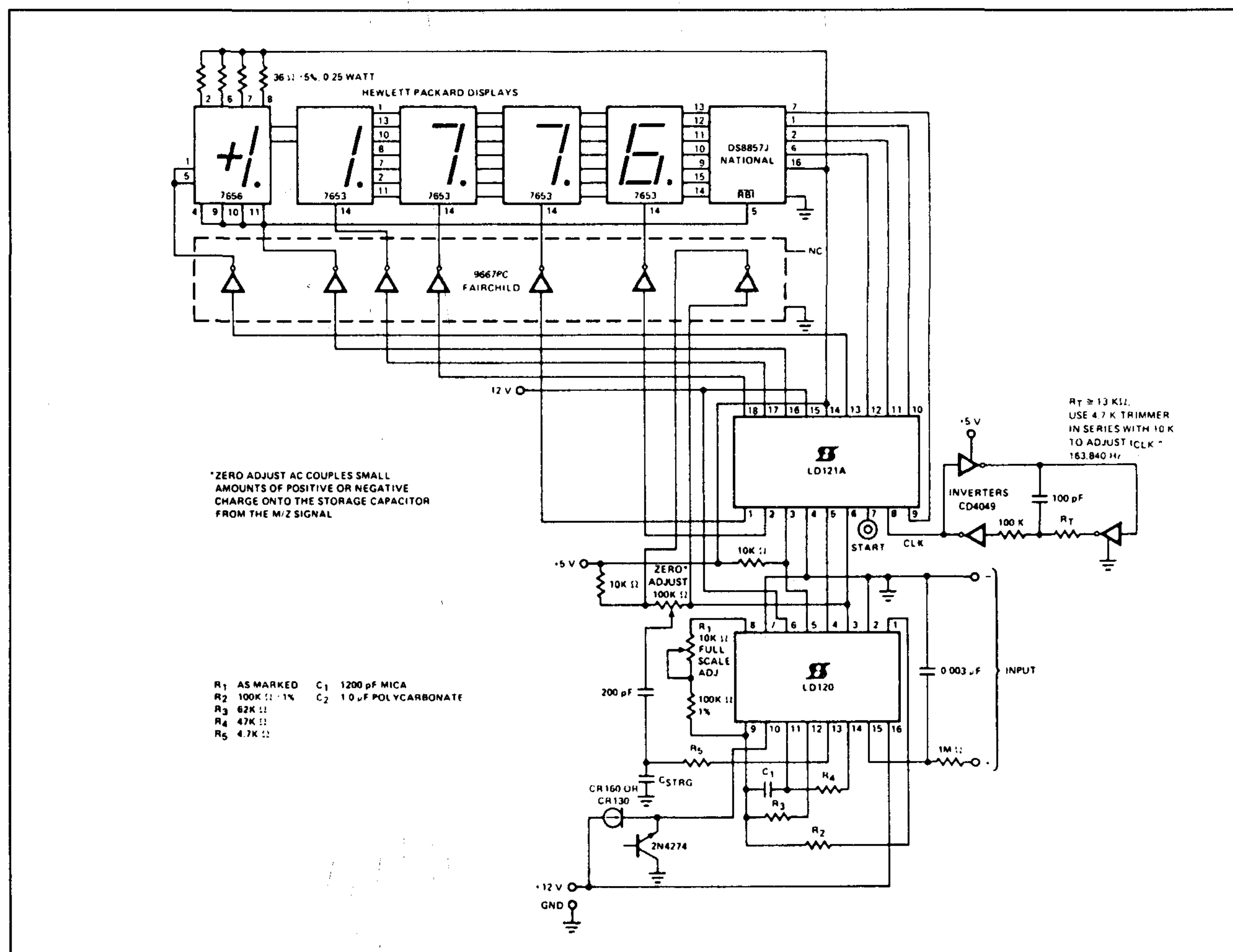
Figuur 12/4.4-4: Timing van de LD 120/121 combinatie.

   - referentie-spanning: 1,22 V typisch
   - referentie-impedantie: 3 Ω max.
   - referentie-drift: 80 ppm/°C
- TL 502 gegevens (digitale processor)
   - klok-frequentie: 120 kHz typisch
   - aantal metingen: $f_{klok}/2000$
   - uitgangs-stroom: segment-uitgangen: 120 mA
     pen 18: 20 mA
     digit-enable: 40 mA

Opmerkingen

- Meet-syclus:
  Een volledige meet-syclus neemt 40.000 klok-pulsen in beslag, volgens het schema van figuur 12/4.4-12. De autozero, integrate ingang en integrate referency sycli worden bestuurd door de signalen op de CONTROL A en B lijnen.
  De waarheids-tabel van deze signalen is gegeven in figuur 12/4.4-13.
- Speciale functies
  De signalen op de TRIGGER- en COMPARATOR-ingangen van de TL 502 kunnen gebruikt worden voor het instellen van enige speciale functies, een overzicht is gegeven in figuur 12/4.4-14.

4.4 Type-beschrijving resolutie tot ± 19999



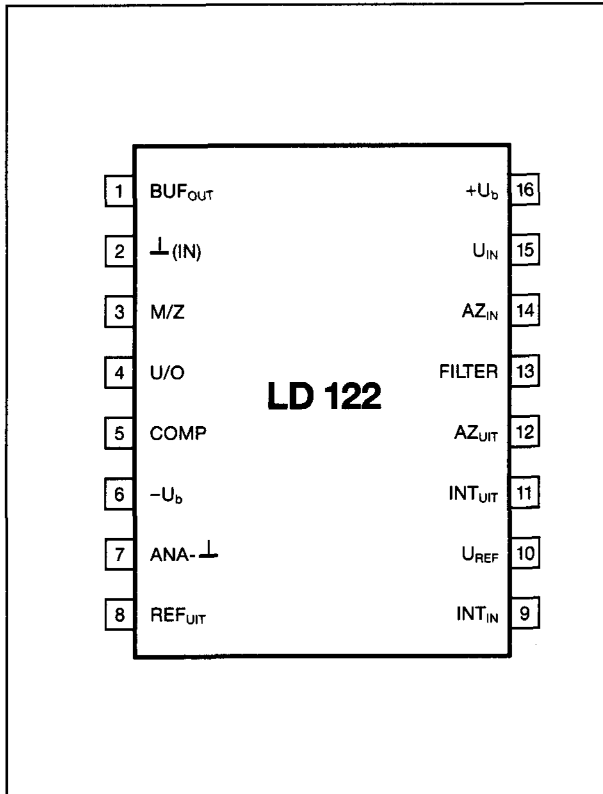
Figuur 12/4.4-5: Basis-schema van een vier en half decade meter met LED display's.

– Segment-uitgangen TL 502
De segment-uitgangen A tot en met G volgen de gebruikelijke code voor de digits 1 tot en met 4. Deze digit-signalen zijn gemultiplexed en worden 'L' gedurende hun actieve fase, zie figuur 12/4.4-15. Gedurende de actieve fase van D5 wordt er op de segment-uitgangen informatie gezet voor het aanduiden van de polariteit van de ingangsspanning. Deze code is getekend in figuur 12/4.4-16.

Voorbeeld-schakeling

– figuur 12/4.4-17:
Basis-schema van een digitale paneelmeter met een bereik van 1,9999 V met gebruik van de interne referentie en klok-oscillator. Door op ingang F een 'L' of 'H' signaal te zetten kan men de polariteits-indicatie uit- of inschakelen, hetgeen handig kan zijn als men de meter bijvoorbeeld gebruikt voor het meten van wisselspanningen.
– figuur 12/4.4-18:
Schema waarbij de prestaties van de IC's maximaal worden uitgebuit door het toepassen van een externe zeer stabiele referentiespanning (8069 C) en een externe kristal-oscillator voor het opwekken van de klok-pulsen. Tussen de oscillator en de klok-ingang van de TL 502 is een frequentie-deler (74 LS 93) en een flip-flop (74 LS 74) opgenomen, die uit de kristal-frequentie van 4 MHz een klok-signaal van 250 kHz afleiden.

4.4 Type-beschrijving resolutie tot ±19999



Figuur 12/4.4-6: Aansluitgegevens LD 122.

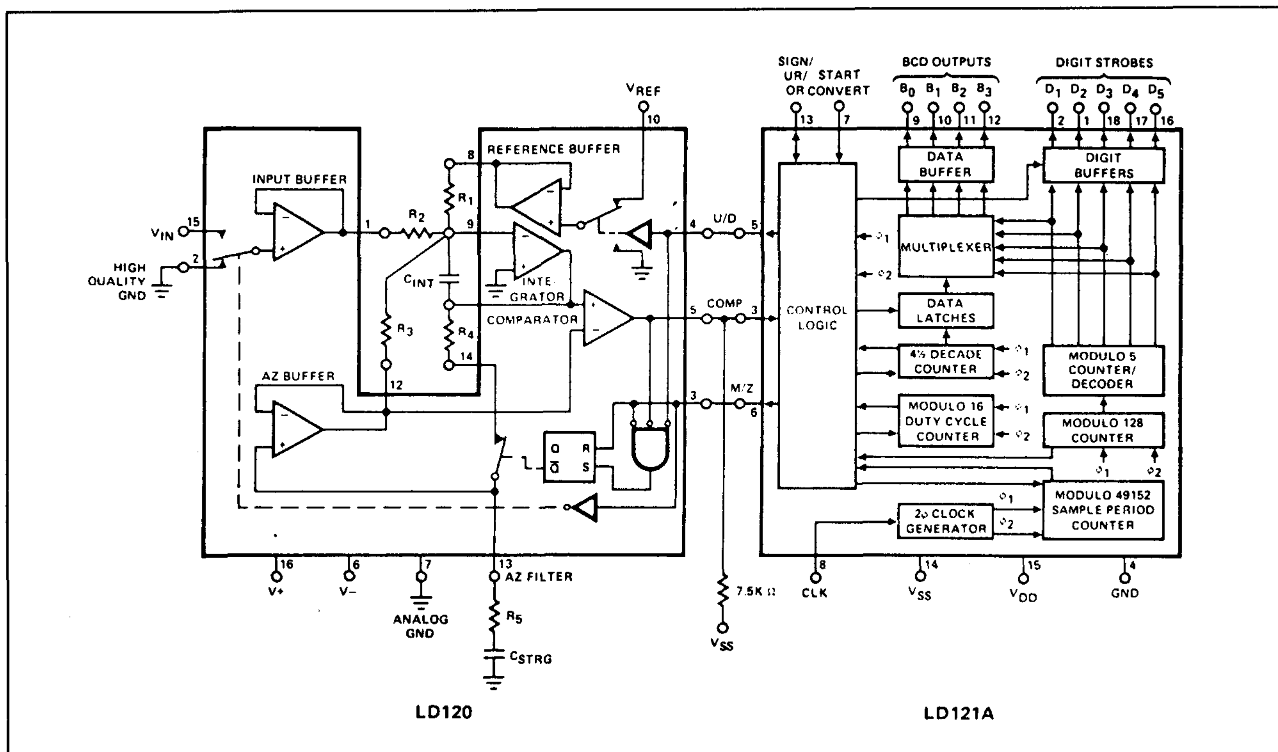
ICL 7129

+/−19999 LCD INT

Volledig geïntegreerde digitale voltmeter (exclusief de referentie!) die speciaal is ontwikkeld voor gebruik in batterij-gevoede meetapparatuur. Het stroomverbruik van dit IC is 1 mA van een 9 V voeding. De indicator moet een liquid crystal display van het 'tri-fase'-type zijn. Het IC levert over- en onderbereik signalen voor het besturen van een automatische bereik-schakeling. Ingebouwde schakelingen voor het detecteren van een te lage voedingsspanning en continuiteit (zie verder). Het IC heeft voorzieningen voor het besturen van 'Annuciators' oftewel indicatoren die de gemeten grootheid en de eenheid daarvan zichtbaar maken.

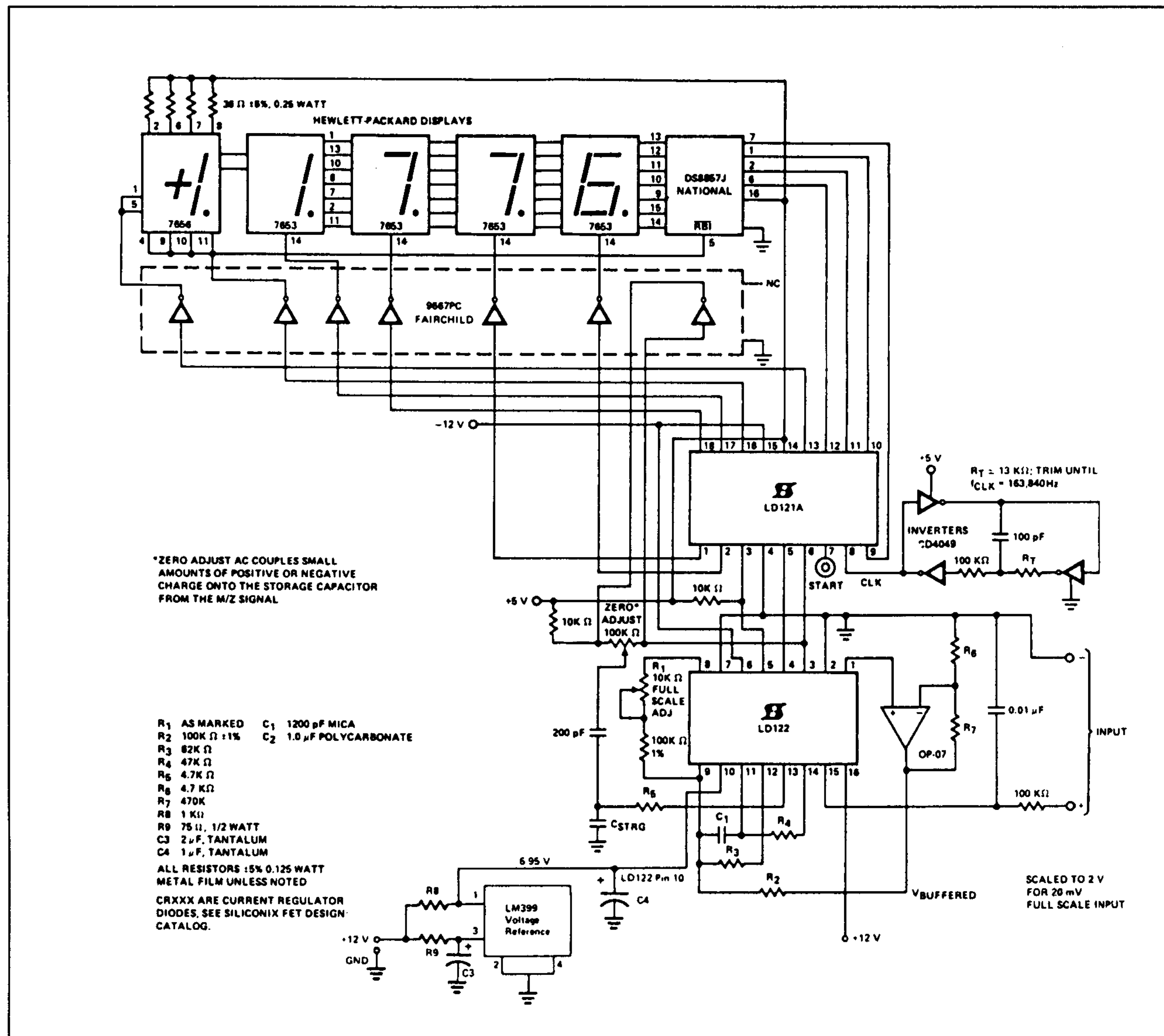
Technische gegevens

- fabrikant: Intersil
- behuizing: DIL-40
- aansluitgegevens: figuur 12/4.4-19
- intern blokschema: figuur 12/4.4-20
- voedingsspanning: 15 V max.
- voedingsstroom: 1 mA bij 9 V



Figuur 12/4.4-7: Intern blokschema LD 122/121 combinatie.

4.4 Type-beschrijving resolutie ± 19999



Figuur 12/4.4-8: Basis-schema van een LED-meter met de LD 122/121 combinatie.

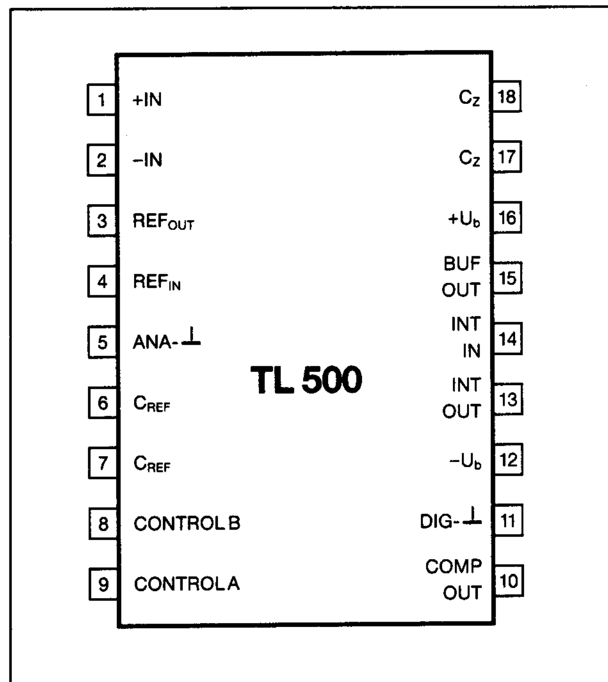
- referentie-spanning: U_b max.
- ingangsspanning: U_b max.
- ingangsstroom: 10 pA max.
- lineariteits-fout: 1 digit max.
- ruis en nulpunt-drift: 14 µV max.
- common mode rejection ratio: -110 dB
- temp. coëf.: 7 ppm/°C max.
- klok-frequentie: 120 kHz typisch
- drempel 'LOW BAT'-indicator: 7,2 V typisch
- drempel 'CONTINUITY'-indicator: 200 mV

Nadere gegevens

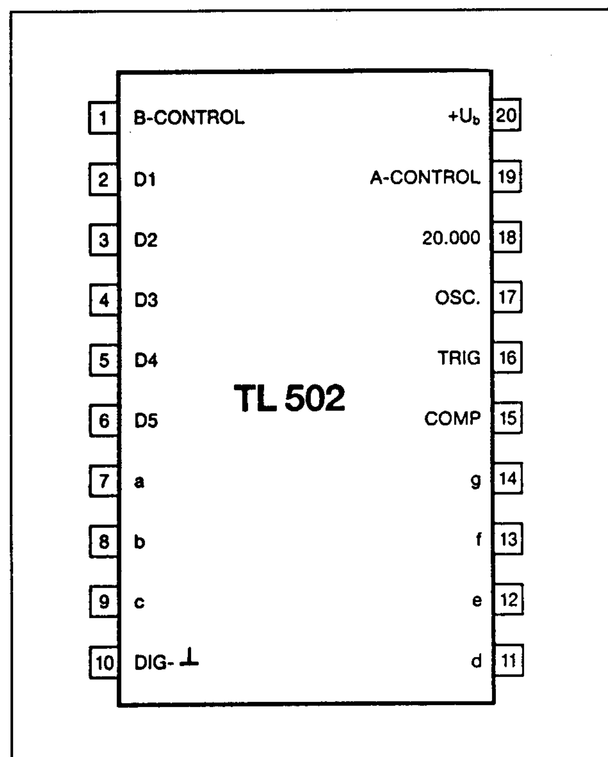
- voeding van het IC

Het IC kan worden gevoed uit een 9 V batterij volgens het standaard schema van figuur 12/4.4-21. Het is echter ook mogelijk een lagere batterij-spanning te gebruiken (3,8 tot 6 V) door het tussenschakelen van een spannings-verdubbelaar volgens het schema van figuur 12/4.4-22. Bij dit schema is de batterij niet verbonden met de common-ingang van het IC. Indien dit bezwaarlijk is, bijvoorbeeld bij het

4.4 Type-beschrijving resolutie tot ±19999



Figuur 12/4.4-9: Aansluitgegevens TL 500.

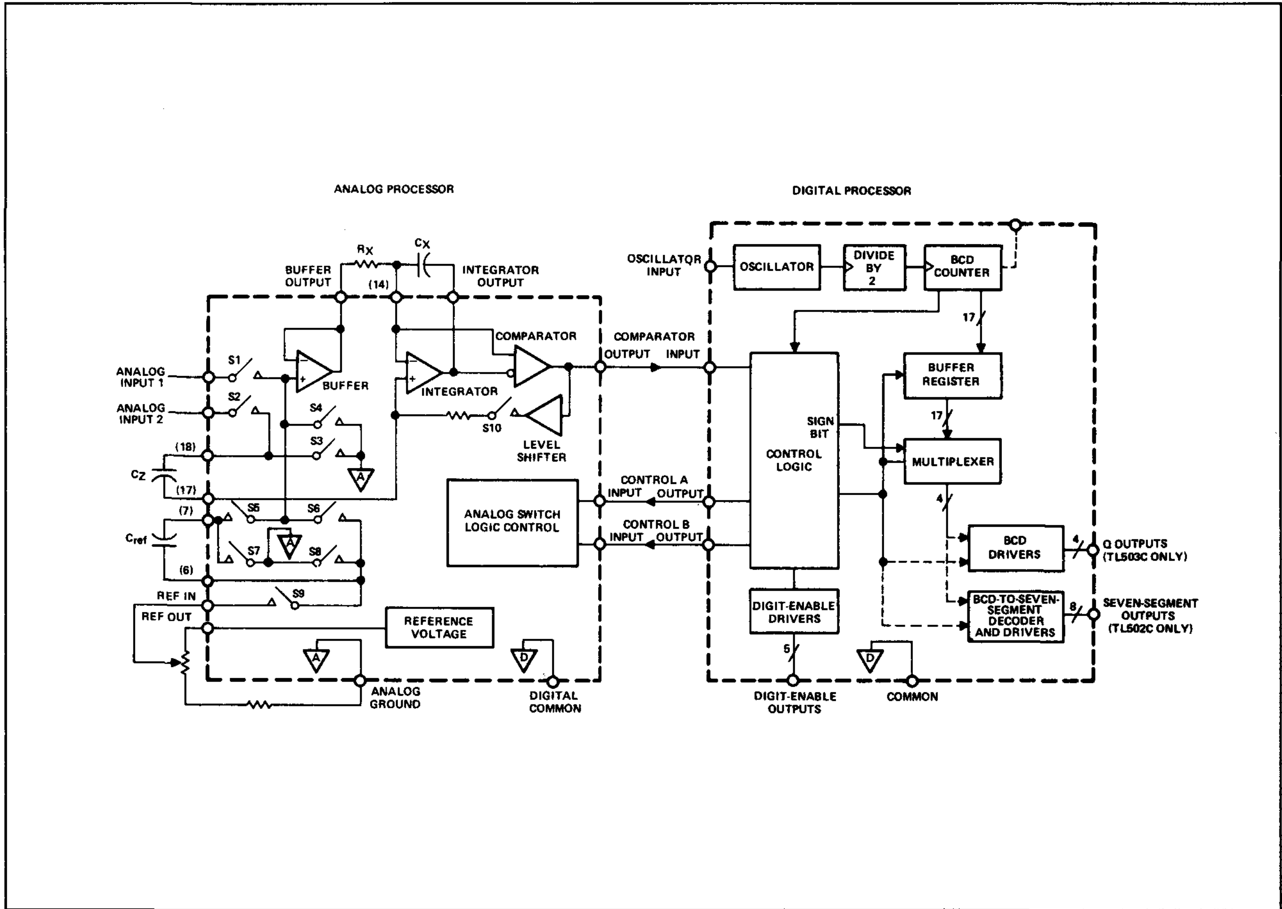


Figuur 12/4.4-10: Aansluitgegevens TL 502.

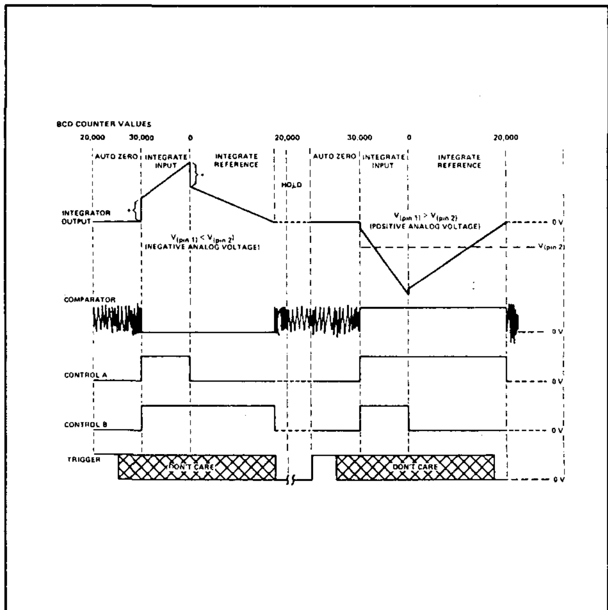
voeden van de schakeling uit een standaard +5 V systeem-voeding, kan men de schakeling van figuur 12/4.4-23 toepassen.
Voeding uit een symmetrische voeding van +/−5 V is mogelijk volgens het schema van figuur 12/4.4-24.

- INPUT/OUTPUT pennen
  Vier pennen van het IC kunnen zowel als ingang of als uitgang worden gebruikt. De interne structuur van deze aansluitingen is getekend in figuur 12/4.4-25, waaruit volgt dat deze pennen zonder problemen met de massa of de voeding verbonden kunnen worden. Als uitgang gebruikt bedraagt de inwendige weerstand 500 kΩ, zodat men deze pennen alleen kan belasten met CMOS-IC's of 74Cxx logica.
  - pen 20: DP_4/OR
    ingang: 'H' → MSD decimale punt ingeschakeld
    uitgang: 'H' als uitlezing > 19999 is
  - pen 21: DP_3/UR
    ingang: 'H' → MSD-1 decimale punt ingeschakeld
    uitgang: 'H' als uitlezing < 1000 is
  - pen 22: LATCH/HOLD
    ingang: open → free-run modus
    'H' → freeze modus
    uitgang: negatieve flank bij inlezen nieuwe meting
  - pen 27: CONTINUITY
    ingang: 'L' → CONT-symbool gedeactiveerd
    uitgang: 'H' als spanning tussen ingangen < 200 mV is
- DIGITAL GROUND (pen 36)
  De DGND-pen vlot ten opzichte van beide voedings-aansluitingen. Dit kan problemen geven als men externe logische schakelingen op het IC wil aansluiten, bijvoorbeeld voor het samenstellen van bereik-omschakelaars. Men moet deze externe schakelingen volgens het schema van figuur 12/4.4-26 met het IC verbinden. Als de externe schakelingen meer dan 12 μA verbruiken moet men een buffer tussenschakelen, zie onderste schema uit deze figuur.

4.4 Type-beschrijving resolutie tot ± 19999



Figuur 12/4.4-11: Intern blokschema TL 500/502 combinatie.



Figuur 12/4.4-12: Pulsdiagram TL 500/502.

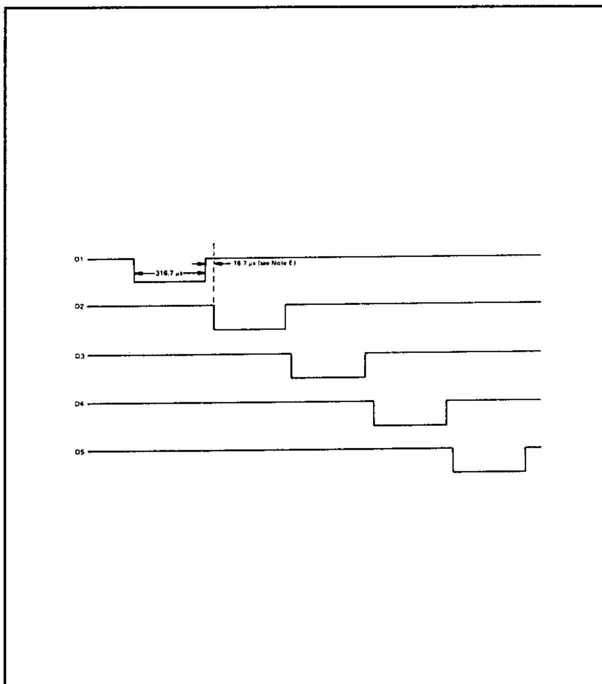
MODE	ANALOG INPUT	COMPARATOR	CONTROLS A AND B	ANALOG SWITCHES CLOSED
Auto Zero / Hold*	X	Oscillation	L L	S3, S4, S7, S9, S10
Integrate Input	Positive	H	H H	S1, S2
	Negative	L		
Integrate Reference	X	H†	L H	S3, S6, S7
		L†	H L	S3, S5, S8

Figuur 12/4.4-13: Besturing van het systeem door de twee controle-spanningen A en B.

4.4 Type-beschrijving resolutie tot ±19999

TRIGGER INPUT	COMPARATOR INPUT	FUNCTION
$V_I < 0.8$ V	$V_I < 6.5$ V	Hold at auto-zero cycle after completion of conversion
2 V < V_I < 6.5 V	$V_I < 6.5$ V	Normal operation (continuous conversion)
$V_I < 6.5$ V	$V_I > 7.9$ V	Display Test: All segment or BCD outputs high
$V_I > 7.9$ V	$V_I < 6.5$ V	Internal Test
Both inputs go high ($V_I > 2$ V) simultaneously		System clear: Sets outputs to zero and BCD counter to 20,000. When normal operation is resumed, cycle begins with Auto Zero.

Figuur 12/4.4-14: Speciale functies door het aanleggen van spanningen op TRIGGER en COMPARATOR.



Figuur 12/4.4-15: Tijdrelatie en polariteit van de digit-signalen.

planes, de segment-besturingen en de configuratie van het LCD is getekend in de figuren 12/4.4-27 en 12/4.4-28.

- ANNUNCIATOR besturing
  Pen 3 levert een signaal voor het besturen van µ, m, k, M, A, V en Ω symbolen. Een symbool wordt geactiveerd door zijn aansluiting te verbinden met de AN DRIVE pen. Figuur 12/4.4-29 geeft de daarvoor noodzakelijke speciale schakelaar-samenstelling.
- RANGE-selectie (pen 37)
  De ICL 7129 kan omschakelen tussen bereiken van 199,99 mV en 1,9999 V door het besturen van pen 37 (RANGE);
  'L' → 200 mV schaal
  'H' → 2 V schaal
- KLOK-schakeling
  De interne clock-schakeling bestaat uit twee in serie geschakelde inverters. Figuur 12/4.4-30 geeft twee externe schakelingen die deze poorten omvormen tot een oscillator. De oscillator-frequentie

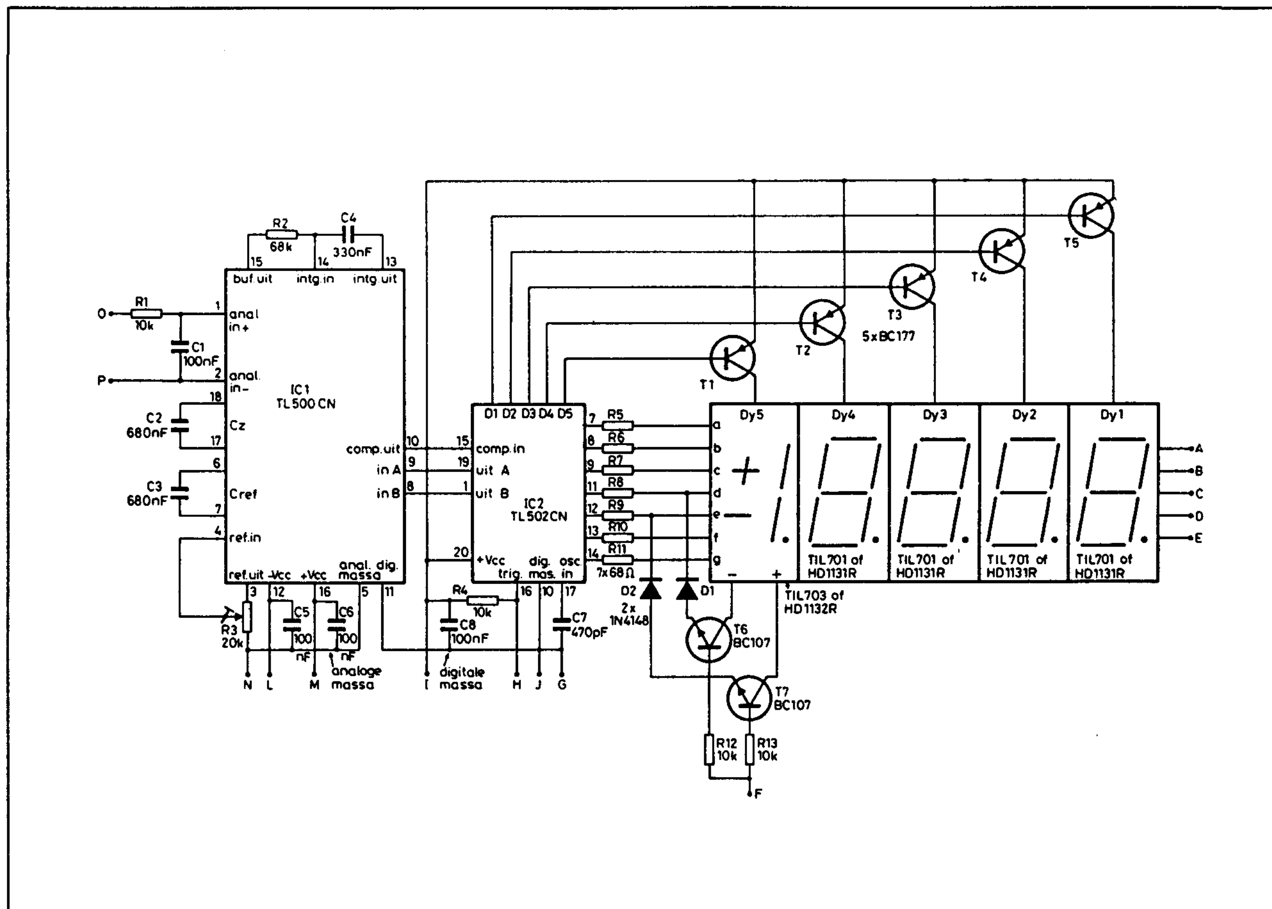
CHARACTER	TL502C SEVEN-SEGMENT LINES						
	A	B	C	D	E	F	G
+	H	H	H	H	L	L	L
+1	H	L	L	H	L	L	L
–	L	H	H	L	H	H	L
–1	L	L	L	L	H	H	L

Figuur 12/4.4-16: De segment-signalen tijdens de D5 bepalen de polariteit en de rechtse 1.

- DISPLAY configuratie
  Het IC moet verbonden worden met een LCD met drie back-plane aansluitingen. Het verband tussen deze drie back-

wordt gegeven door:
$f_{osc} = 0{,}45/RC$
Voor kwaliteits-toepassingen wordt de 120 kHz kristal-schakeling aanbevolen.

4.4 Type-beschrijving resolutie tot ± 19999



Figuur 12/4.4-17: Meest eenvoudige schakeling van een 1,9999 V meter met de TL 500/502 combinatie.

ICL 7135

+/– 19999 EXT DRIVE

De ICL 7135 is een single chip digitale voltmeter, die zich heeft ontwikkeld tot industriestandaard voor het opbouwen van vier en een half decade digitale meters. Het IC heeft differentiële ingangen, levert gemultiplexte digit-selectie signalen en BCD-gecodeerde segment-informatie. Er is geen interne klok en referentie aanwezig. Het IC bezit zes in-en/of uitgangen, waardoor de schakeling op een zeer eenvoudige manier aan een μP of UART gekoppeld kan worden.

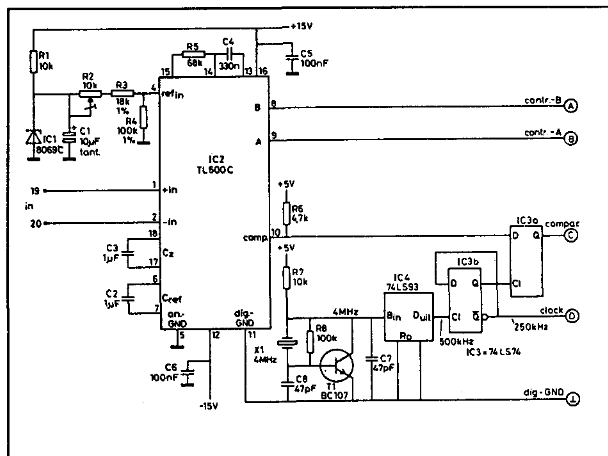
Technische gegevens

- fabrikant: Intersil
- behuizing: DIL-28
- aansluitgegevens: figuur 12/4.4-31
- intern blokschema:
  figuur 12/4.4-32 (analoog)
  figuur 12/4.4-33 (digitaal)
- voedingsspanning: +/– 6V
- referentie-spanning: U_b max.
- ingangsspanning: U_b max.
- ingangsstroom: 10 pA max.
- lineariteits-fout: 1 digit max.
- ruis en nulpunt-drift: 15 μV max.
- temp. coëf.: 5 ppm/°C max.
- klok/frequentie: 1,2 MHz typisch
- digitale in- en uitgangen: TTL-compatible

Nadere gegevens

- RUN/HOLD (pen 25)
  Open of 'H' → free run mode
  'L' → voltooit meting en wacht nadien
  Smalle positieve puls → een meting
- STROBE (pen 26)
  Reeks van vijf negatieve pulsen die kunnen worden gebruikt voor het interfacen

4.4 Type-beschrijving resolutie tot ±19999



Figuur 12/4.4-18: Vergroten van de nauwkeurigheid en stabiliteit door het inschakelen van een externe referentie en een kristal-klok.

van het IC met een UART of µP en die ontstaan in het midden van iedere digit-puls. Zie figuur 12/4.4-34 voor timing-diagram.

- BUSY (pen 21)
  Positieve puls gedurende de volledige integratie-syclus.
- OVER-RANGE (pen 27)
  Wordt positief als meer dan 20.000 pulsen geteld zijn, blijft aanwezig tot de start van de volgende integreer referentie fase.
- UNDER-RANGE (pen 28)
  Wordt positief als minder dan 1.800 pulsen geteld zijn, blijft aanwezig tot de start van de volgende signaal-integratie.
- POLARITY (pen 23)
  'H' voor positieve ingangsspanning, geldig vanaf het begin van de referentie-integratie syclus.
- DIGIT DRIVES (pennen 12, 17, 18, 19 en 20)
  Positieve pulsen met een breedte van 200 klok-pulsen, in de volgorde D5 tot en met D1.
- integratie-netwerk:
  De waarde van de integratie-weerstand wordt bepaald door de grootte van de einde bereik spanning en de integratie-stroom en wel volgens de formule:

  R_{INT} = volle schaal spanning / 20 µA

  De waarde van de integratie-condensator wordt gegeven door de formule:
  $C_{INT} = 10.000 \times \text{periode}_{KLOK} \times I_{INT} / 4$

  In de meeste gevallen kan men een waarde van 470 nF gebruiken.
- referentie-spanning:
  De waarde van deze spanning is gelijk aan de volle schaal spanning van de meter, dus 2 V voor 2 V bereik.
  De referentie-spanning kan zowel worden opgewekt door een normale zenerdiode als door een speciaal referentie-IC. De standaard schema's zijn getekend in figuur 12/4.4-35.

Voorbeeld-schakelingen

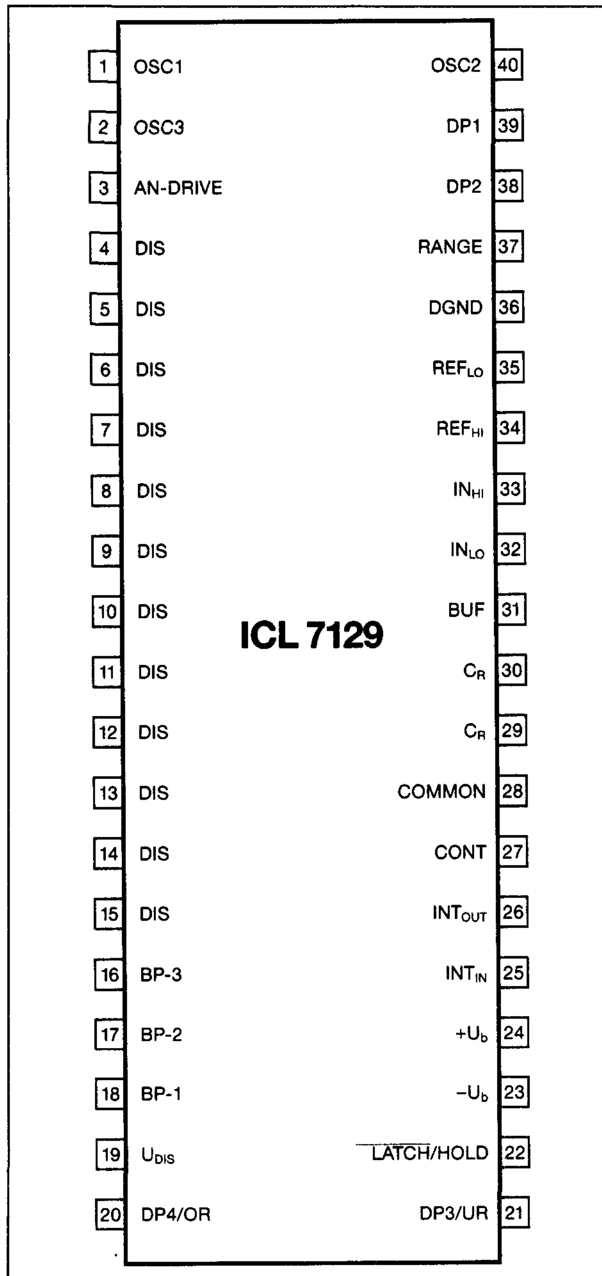
– figuur 12/4.4-36:
Basis-schakeling van de ADC in een vier en half decade volt-meter met een bereik van +/−1,9999 V met common anode LED's, een RC klok-generator, een 1,2 V temperatuur gecompenseerde referentie (ICL 8069), transistoren als digit-drivers en een TTL code-omzetter BCD naar zevensegment. Door de verbinding van de D5-uitgang van de ADC met de RBI-ingang van de decoder ontstaat een overbereik blanking van de uitlezing.

– figuur 12/4.4-37:
Basis-schakeling voor het sturen van LCD display's met een ICM 7211 als display-driver. Een standaard CMOS poort van het type 4030 wordt gebruikt voor het sturen van de laatste decade, de polariteit en een overbereik-symbool.

– figuur 12/4.4-38:
Principe-schema voor het besturen van een UART uit de 7135. De vijf STROBE-pulsen worden gebruikt voor het starten van de transmissie van de vijf data-woorden. Het woord van digit 5 heeft de vorm 0000XXXX, woord 4 1000XXX, enzoverder. De polariteit wordt verzonden door gebruik te maken van de Even Parity Enable (EPE) pen van de UART.

– figuur 12/4.4-39:
Principe-schema voor het aansluiten van een 7135 op een µP van de 6800 familie. Omdat deze µP over een slechts 8 bit brede bus beschikt, moet men de polariteit, de

4.4 Type-beschrijving resolutie tot ±19999



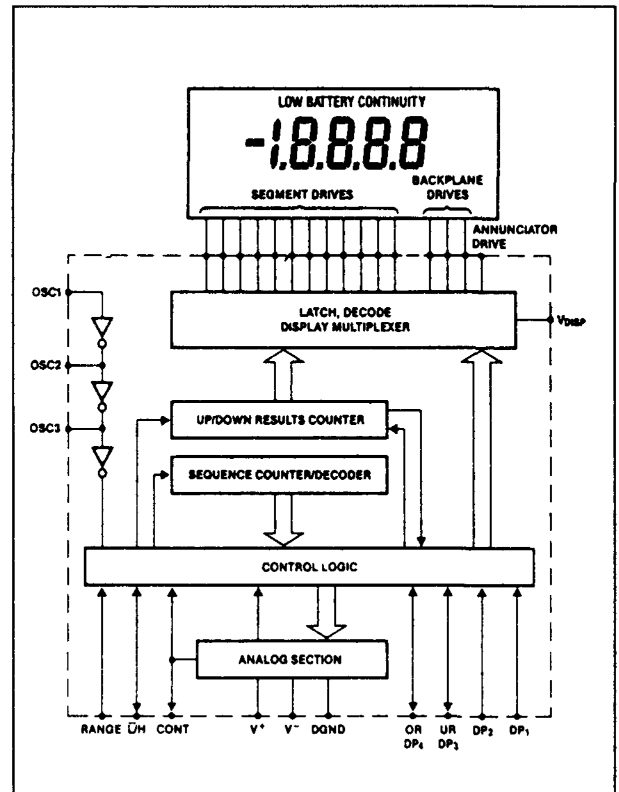
Figuur 12/4.4-19: Aansluitgegevens ICL 7129.

overbereik-indicatie en de onderbereik multiplexen op het woord van digit 5.

SI 7135

+/−19999 LED INT

Siliconix pin-tot-pin equivalent van de Intersil ICL 7135, voor de bespreking wordt naar laatstgenoemd IC verwezen.



Figuur 12/4.4-20: Intern blokschema 7129.

ICL 8052A/71C03

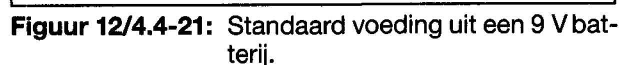
+/−19999 EXT DRIVE

Omzetter-paar, waarbij de scheiding in digitale en analoge processor niet mogelijk is, omdat analoge en digitale functies in de ICL 71C03 verweven zijn. De ICL 8052 bevat de comparator, de integrator, de buffer en de referentie-spanning. Dit zijn de meest kritische componenten van het systeem en door deze indeling is het mogelijk de 71C03 te combineren met analoge IC's met uiteenlopende nauwkeurigheidsgraden, zie bespreking van de 8068/71C03 combinatie.

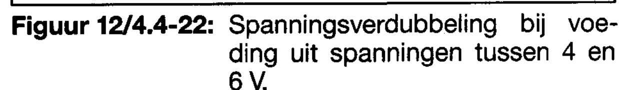
Technische gegevens

- fabrikant: Intersil
- behuizing: 8052: DIL-14
  71C03: DIL-28
- aansluitgegevens: figuur 12/4.4-40 (8052)
  figuur: 12/4.4-41 (71C03)
- intern blokschema: figuur 12/4.4-42
- voedingsspanning: +/−15 V, +5 V

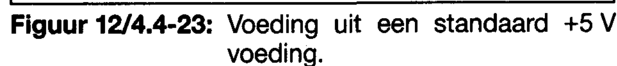
4.4 Type-beschrijving resolutie tot ±19999



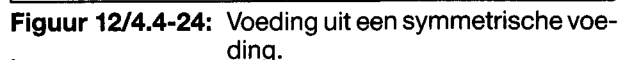
Figuur 12/4.4-21: Standaard voeding uit een 9 V batterij.



Figuur 12/4.4-22: Spanningsverdubbeling bij voeding uit spanningen tussen 4 en 6 V.



Figuur 12/4.4-23: Voeding uit een standaard +5 V voeding.

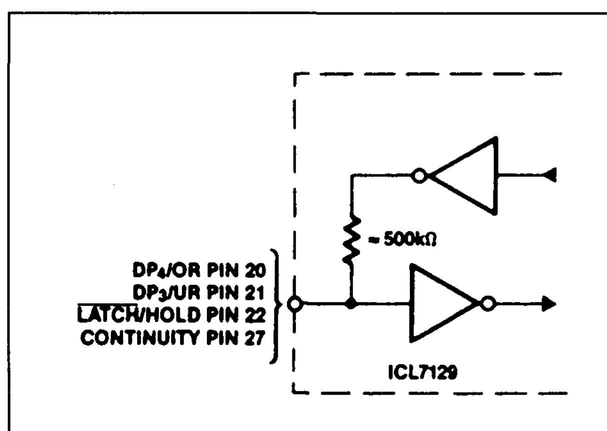


Figuur 12/4.4-24: Voeding uit een symmetrische voeding.

- 8052 gegevens
  - ingangs-offset: 75 mV max.
  - ingangsstroom: 10pA max.
  - common mode rejection ratio: 90 dB min.
  - referentie-spanning: 1,75 V typisch
  - referentie-impedantie: 5 Ω

4.4 Type-beschrijving resolutie tot ±19999

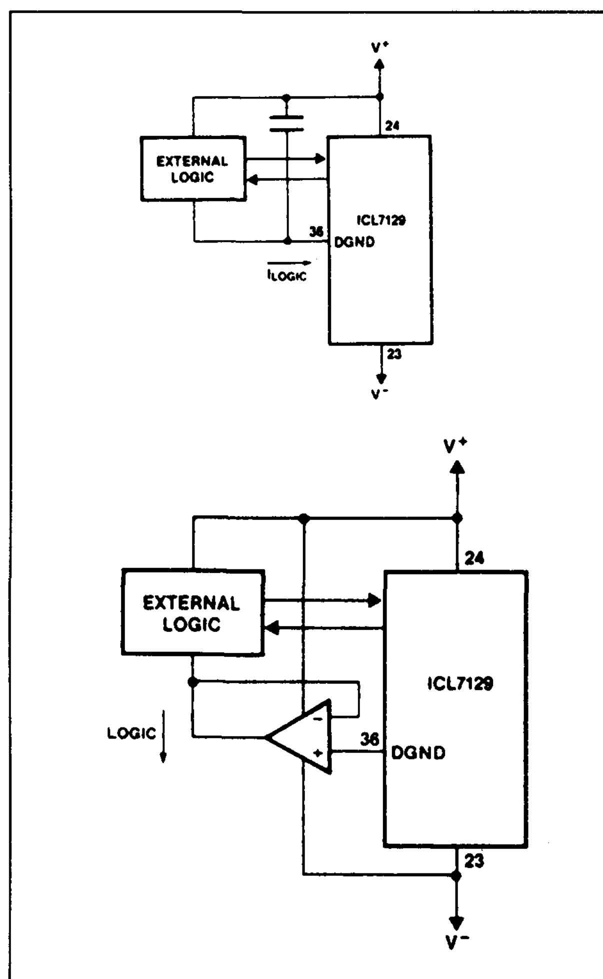
  - temp. coef.: 40 ppm/°C
  - max.voedingsspanning: +/−18 V
  - ruisspanning: 30 μV max.
- 71C03 gegevens
  - klok-frequentie: 1200 kHz max.
  - niet-lineariteit: 1 digit max.
  - ingangsstroom: 10 pA
  - temp. coëf.: 5 ppm/°C max.



Figuur 12/4.4-25: Interne schakeling van de gecombineerde in/uit-pennen van de 7129.

Nadere gegevens

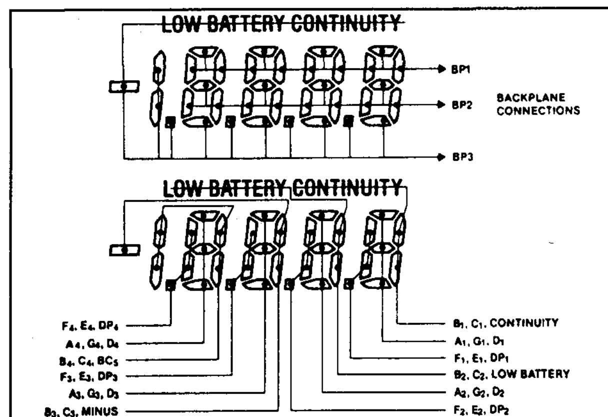
- RUN/HOLD (pen 4)
  Open of 'H' → free run mode
  'L' → voltooit meting en wacht nadien
  Smalle positieve puls → een meting
- STROBE (pen 18)
  Reeks van vijf negatieve pulsen die kunnen worden gebruikt voor het interfacen van het IC met een UART of μP en die ontstaan in het midden van iedere digitpuls. Zie figuur 12/4.4-43 voor timing-diagram.
- BUSY (pen 28)
  Positieve puls gedurende de volledige integratie-syclus.
- OVER-RANGE (pen 4)
  Wordt positief als meer dan 20.000 (of 2.000) pulsen geteld zijn, blijft aanwezig tot de start van de volgende integreer referentie fase.
- UNDER-RANGE (pen 13)
  Wordt positief als minder dan 1.800 (of 180) pulsen geteld zijn, blijft aanwezig tot de start van de volgende signaal-integratie.
- POLARITY (pen 3)
  'H' voor positieve ingangsspanning, geldig vanaf het begin van de referentie-integratie syclus.
- DIGIT DRIVES (pennen 19, 24, 25, 26 en 27)
  Positieve pulsen met een breedte van 200 klok-pulsen, in de volgorde D5 tot en met D1.



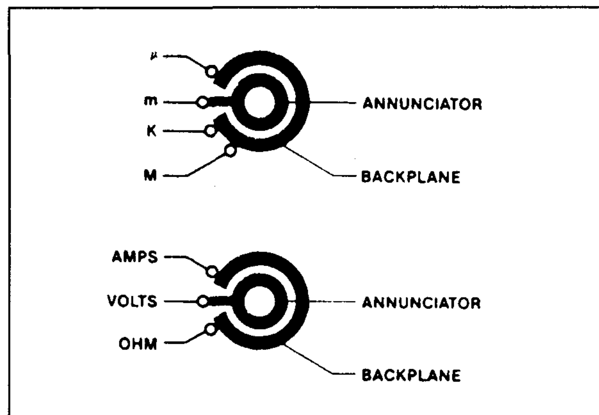
Figuur 12/4.4-26: Het aansluiten van externe logische schakelingen tussen de voeding en de kunstmatige massa 'DGND'.

- 4 ½/3 ½ (pen 2)
  'H' → het systeem werkt als vier en half decade omzetter

4.4 Type-beschrijving resolutie tot ±19999



Figuur 12/4.4-27: Architectuur van de voor een 7129 voorbestemde LCD-display met drie back-planes.



Figuur 12/4.4-29: Het inschakelen van grootheid-symbolen met behulp van twee speciale schakelaars.

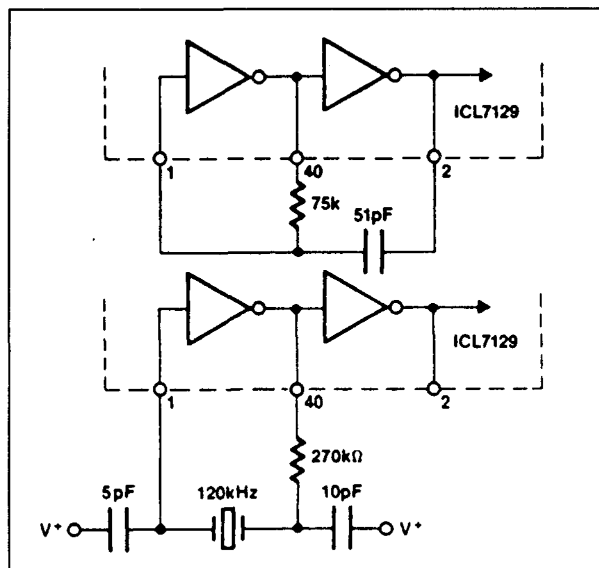
3	ANNUNCIATOR DRIVE	Backplane squarewave output for driving annunciators.
4	B_1, C_1, CONT	Output to display segments.
5	A_1, G_1, D_1	Output to display segments.
6	F_1, E_1, DP_1	Output to display segments.
7	B_2, C_2, LO BATT	Output to display segments.
8	A_2, G_2, D_2	Output to display segments.
9	F_2, E_2, DP_2	Output to display segments.
10	B_3, C_3, MINUS	Output to display segments.
11	A_3, G_3, D_3	Output to display segments.
12	F_3, E_3, DP_3	Output to display segments.
13	B_4, C_4, BC_5	Output to display segments.
14	A_4, D_4, G_4	Output to display segments.
15	F_4, E_4, DP_4	Output to display segments.
16	BP3	Backplane #3 output to display.
17	BP2	Backplane #2 output to display.
18	BP1	Backplane #1 output to display.

Figuur 12/4.4-28: Overzicht van de display-aanstu-rings pennen.

'L' → LSD wordt uitgeschakeld, omzet-syclus neemt slechts 4.002 klok-pulsen in beslag

- integratie-netwerk:
  De waarde van de integratie-weerstand wordt bepaald door de grootte van de einde bereik spanning en de integratie-stroom en wel volgens de formule:

  R_{INT} = volle schaal spanning / 20 μA



Figuur 12/4.4-30: Het genereren van het klok-sig-naal.

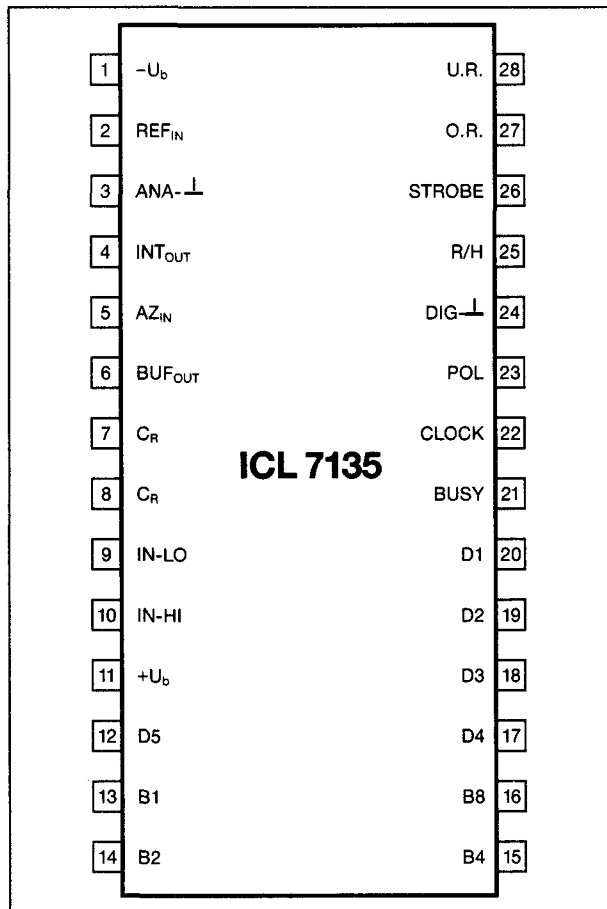
De waarde van de integratie-condensator wordt gegeven door de dormule:

C_{INT} = 10.000 x periode_{KLOK} x I_{INT} / 4

In de meeste gevallen kan men een waarde van 470 nF gebruiken.

- referentie-spanning:
  De waarde van deze spanning is gelijk aan de halve volle schaal spanning van de meter, dus 1 V voor 2 V bereik.
  De referentie-spanning kan zowel worden afgetakt van de interne bron als worden

4.4 Type-beschrijving resolutie tot ±19999



Figuur 12/4.4-31: Aansluitgegevens ICL 7135.

gegenereerd door een externe schakeling. Aan dit laatste wordt de voorkeur gegeven!

Voorbeeld-schakelingen

– figuur 12/4.4-44:

Universeel schema van een vier en half decade meter met instelbare meetbereiken van 20, 200 en 2.000 mV. De waarde van de te variëren onderdelen zijn gegeven in de tabel van figuur 12/4.4-45. Voor het laagste bereik van 20 mV zal men rekening moeten houden met de niet zo gunstige ruis-eigenschappen van de 8052. De 'buffer-gain' uit de tabel heeft betrekking op de weerstanden tussen de pennen 10 en 9 en tussen pen 10 en de massa. Zie figuur 12/4.4-46 voor nadere details.

– figuur 12/4.4-47:

Digitale meter met LCD display's, met gebruik van een speciale LCD-driver van het type 7211 voor de vier digits en een gewone CMOS-schakeling van het type 4054 voor het besturen van de polariteit, de rechtse 1 en het overbereik-symbool.

– figuur 12/4.4-48:

Twee schema's die men kan gebruiken voor het genereren van de 120 kHz klok-frequentie. De bovenste gebruikt twee inverters in de standaard-configuratie, de onderste gebruikt een comparator als astabiele multivibrator geschakeld.

ICL 8052 A/8053

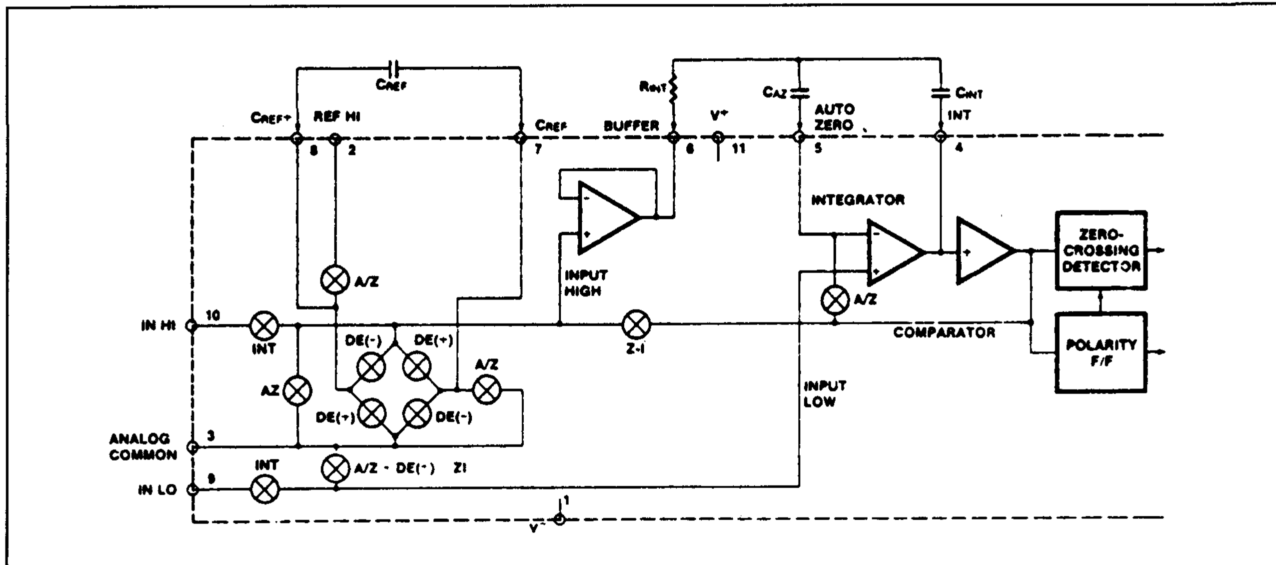
+/−40000 EXT DRIVE

De in de vorige paragraaf besproken ICL 8052 kan samen met het 'auto zero switch network' ICL 8053 gebruikt worden als analoog basis-systeem voor het samenstellen van digitale meters. De digitale schakelingen moeten rond deze twee IC's samengesteld worden. Bij zorgvuldig ontwerp is het mogelijk een digitale meter met een resolutie van 40.000 counts op te bouwen, met een gevoeligheid van 4,0000 V.

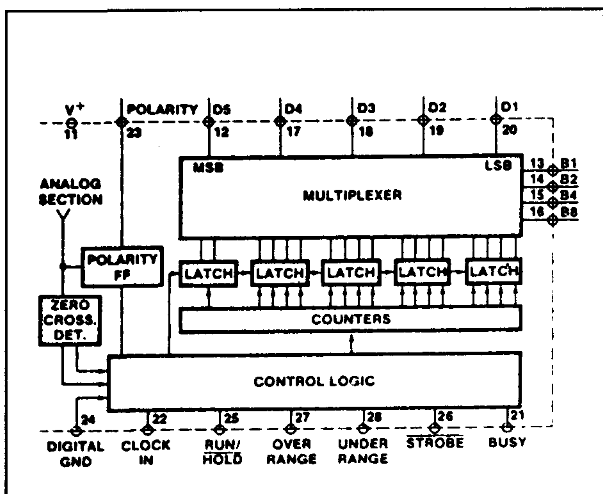
Technische gegevens

- fabrikant: Intersil
- behuizing: 8052: DIL-14
  8053: DIL-14
- aansluitgegevens:
  figuur 12/4.4-40 (8052)
  figuur 12/4.4-49 (8053)
- intern blokschema:
  figuur 12/4.4-50 (8052)
  figuur 12/4.4-51 (8053)
- voedingsspanning: +/−15 V, +5 V
- 8052 A gegevens
  - ingangs-offset: 75 mV max.
  - ingangsstroom: 10 pA max.
  - common mode rejection ratio: 90 dB min.
  - referentie-spanning; 1,75 V typisch
  - referentie-impedantie: 5Ω
  - temp. coëf.: 40 ppm/° C
  - max. voedingsspanning: +/−18 V
  - ruisspanning: 30 μV max.

4.4 Type-beschrijving resolutie tot ±19999



Figuur 12/4.4-32: Intern blokschema analoog deel van de ICL 7135.



Figuur 12/4.4-33: Intern blokschema digitaal deel.

- systeem-gegevens
  - klok-frequentie: 1200 kHz max.
  - niet-lineariteit: 1 digit max.
  - ingangsstroom: 10 pA
  - temp. coef.: 5 ppm/° C max.

Voorbeeld-schakeling

Figuur 12/4.4-52 geeft het schema van een DVM met een resolutie van 20.000 counts en een gevoeligheid van 2,0000 V. De schakeling moet worden gestuurd uit een klok-generator met een frequentie van 120 kHz.

ICL 8068/71C03

+/−19999 EXT DRIVE

Verbeterde versie van de ICL 8052/71C03 combinatie, met name wat betreft de eigen ruis van de 8052. Bij de bespreking van het laatstgenoemde paar is als voorbeeld een schakeling opgenomen die ingesteld kan worden op een gevoeligheid van 20 mV. Deze schakeling zal met de 8052 verdrinken in de eigen ruis van het IC, men kan dan de veel minder ruis producerende 8068 toepassen.

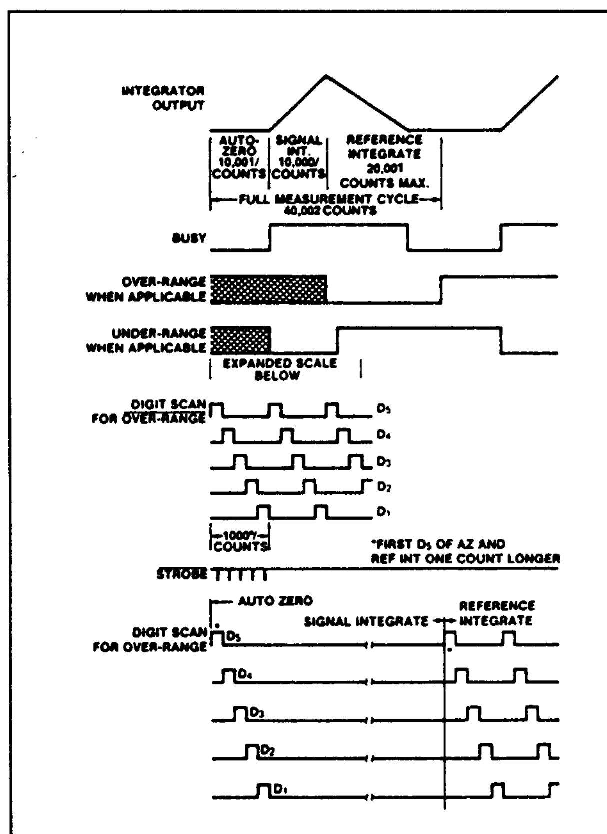
Technische gegevens

Het systeem is volledig compatible met de reeds besproken 8052/71C03 combinatie. De enige verschillen zijn enige afwijkende eigenschappen van de 8068.

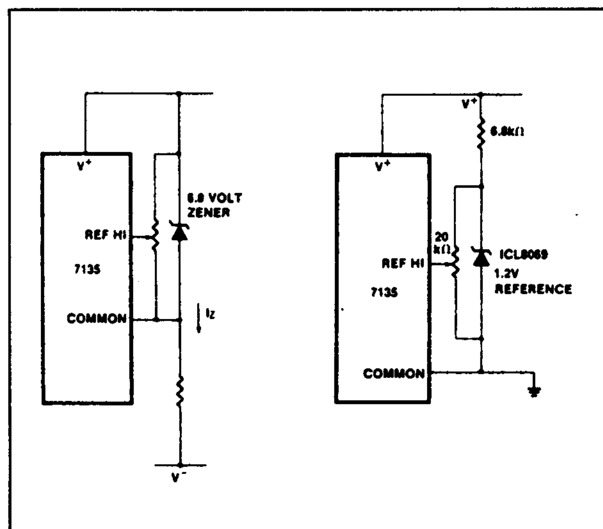
- 8068 gegevens
  - ingangs-offset: 65 mV max.
  - ingangsstroom: 150 pA max.
  - common mode rejection ratio: 90 dB min.
  - referentie-spanning: 1,75 V typisch
  - referentie-impedantie: 5Ω
  - temp. coëf.: 40 ppm/° C
  - max. voedingsspanning: +/−18 V
  - ruisspanning: 2 μV max.

4.4 Type-beschrijving resolutie tot ±19999

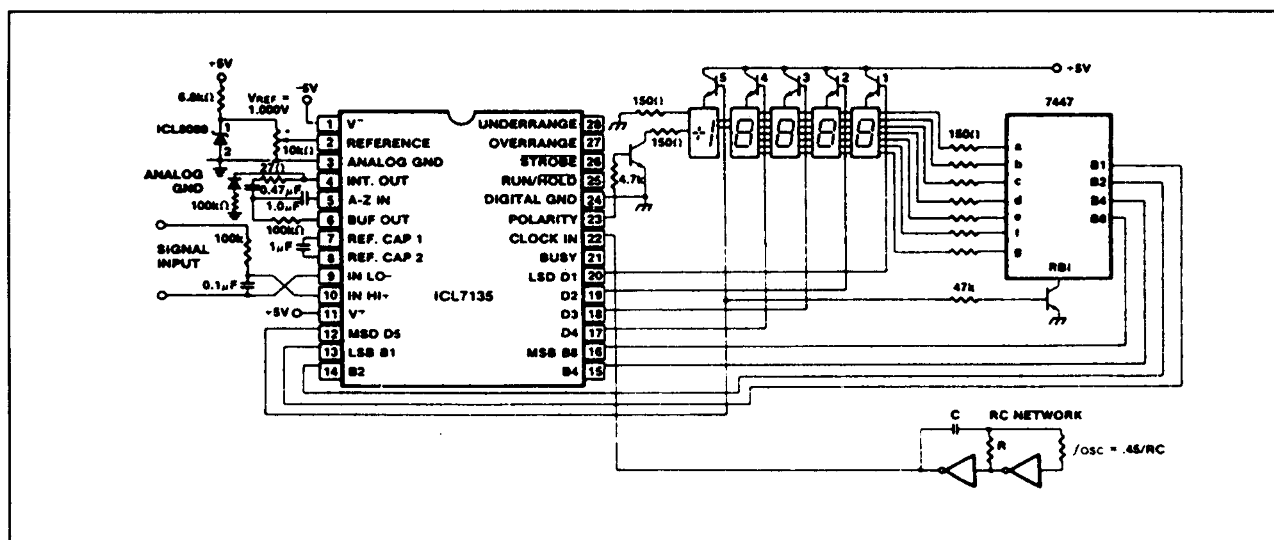
Voor de overige gegevens en toepassingsschakelingen wordt verwezen naar de bespreking van de 8052/71C03 combinatie.



Figuur 12/4.4-34: Volledig timing-diagram van de 7135.

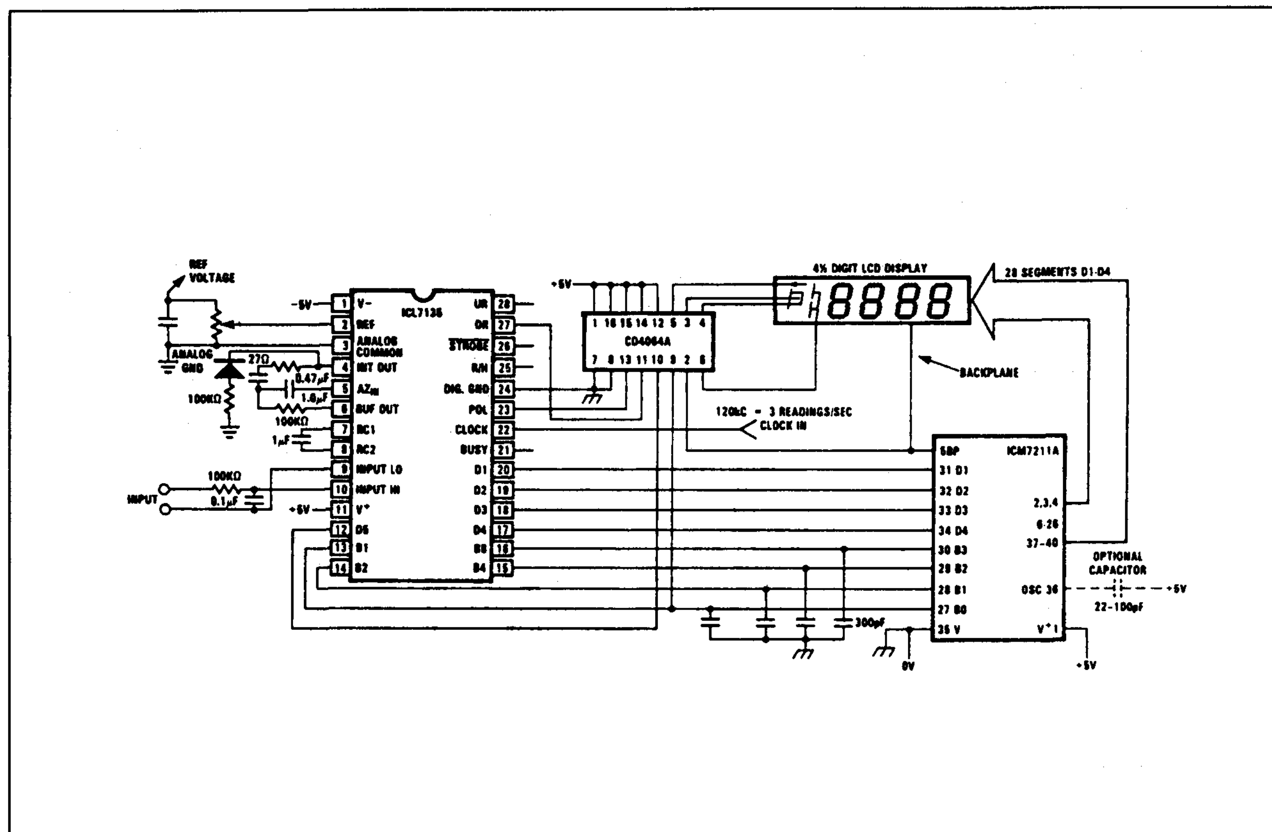


Figuur 12/4.4-35: Het aansluiten van de externe referentie.

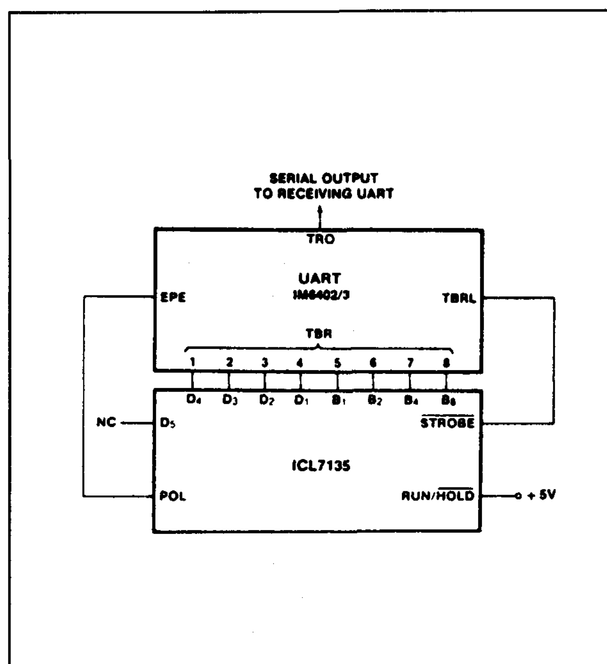


Figuur 12/4.4-36: Basis-schema van de ICL 7135 met LED's.

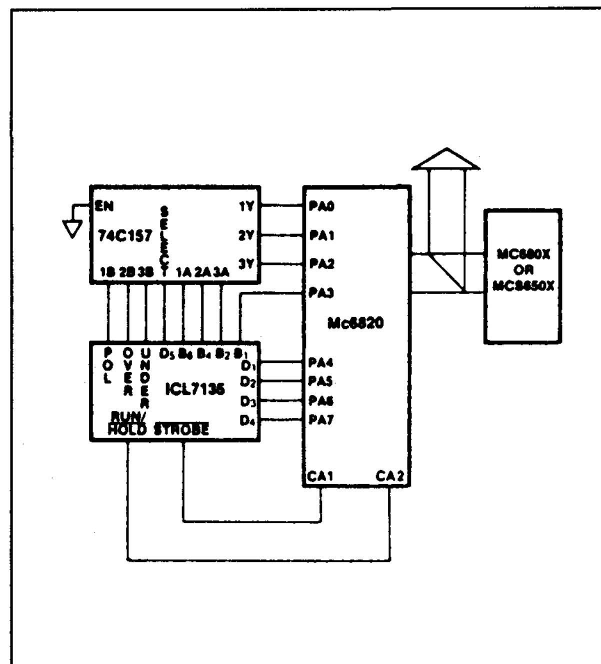
4.4 Type-beschrijving resolutie tot ±19999



Figuur 12/4.4-37: Basis-schema van de ICL 7135 met LCD's.

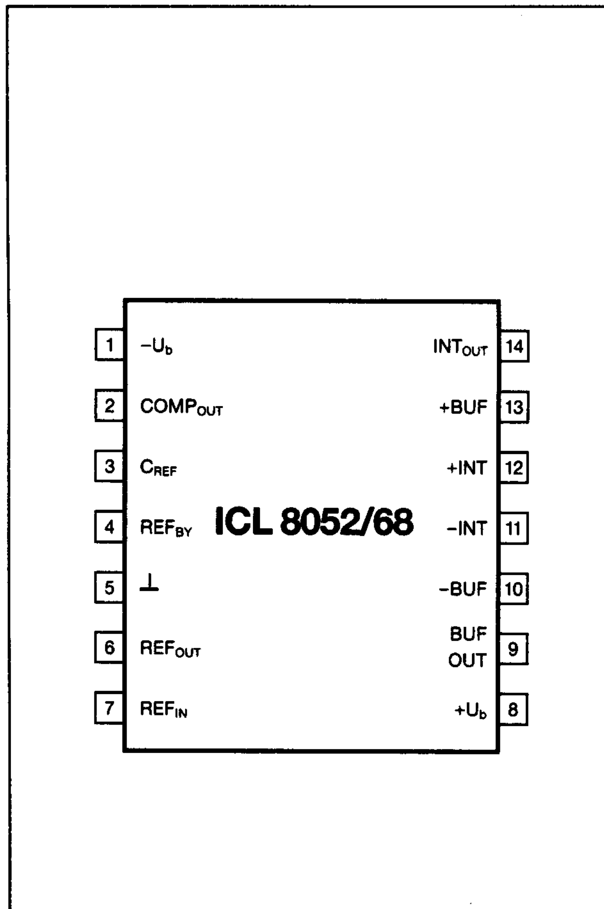


Figuur 12/4.4-38: Interfacing tussen een 7135 en een UART.

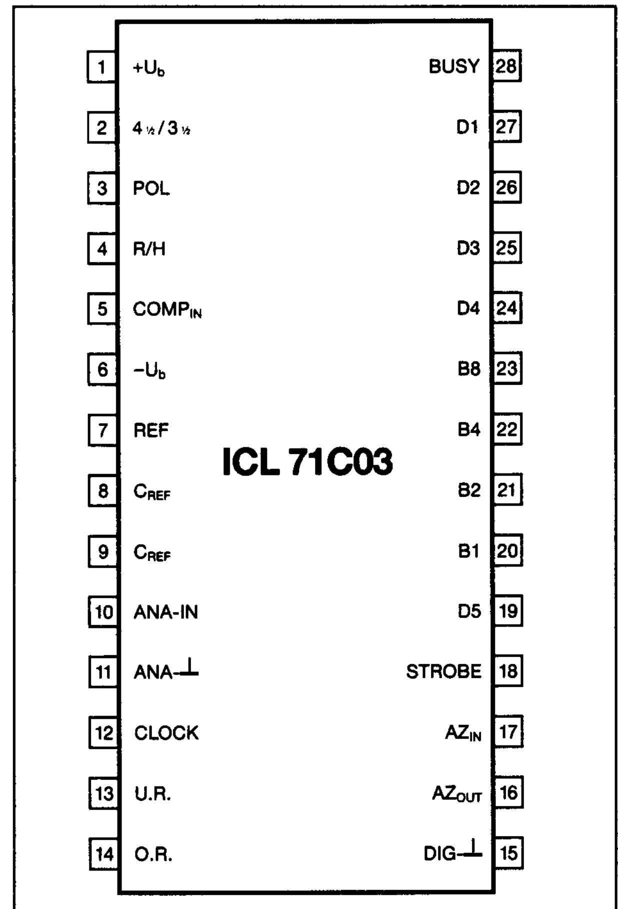


Figuur 12/4.4-39: Het aansluiten van een 7135 op een μP.

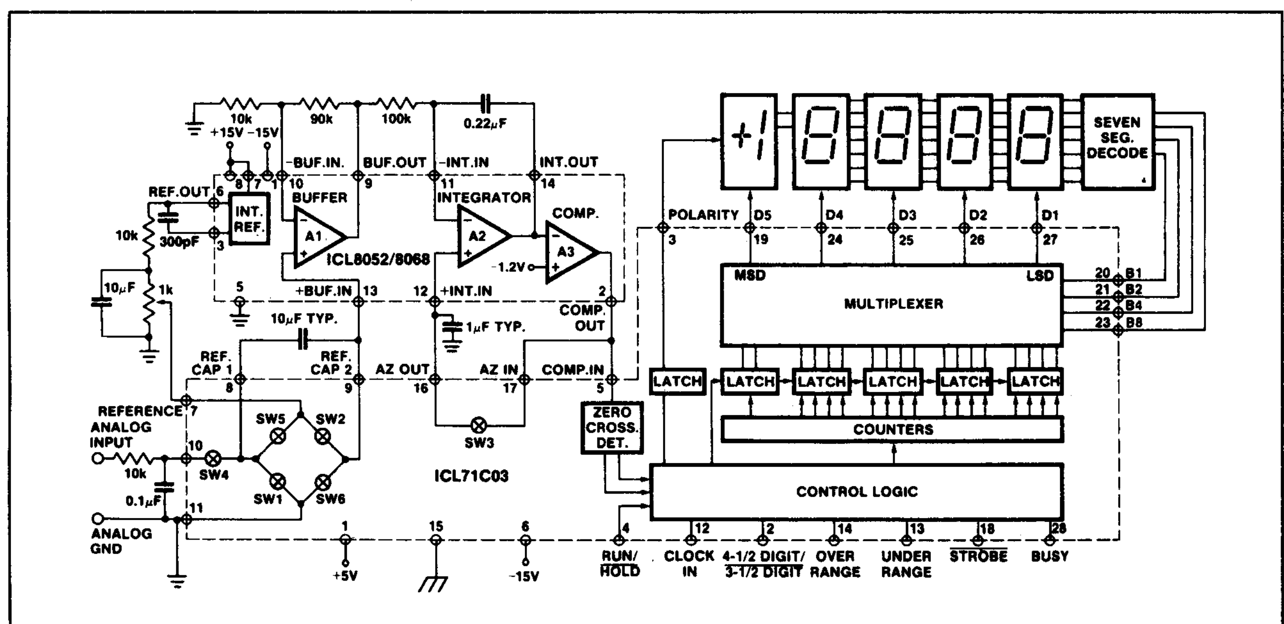
4.4 Type-beschrijving resolutie tot ±19999



Figuur 12/4.4-40: Aansluitgegevens ICL 8052/8068.

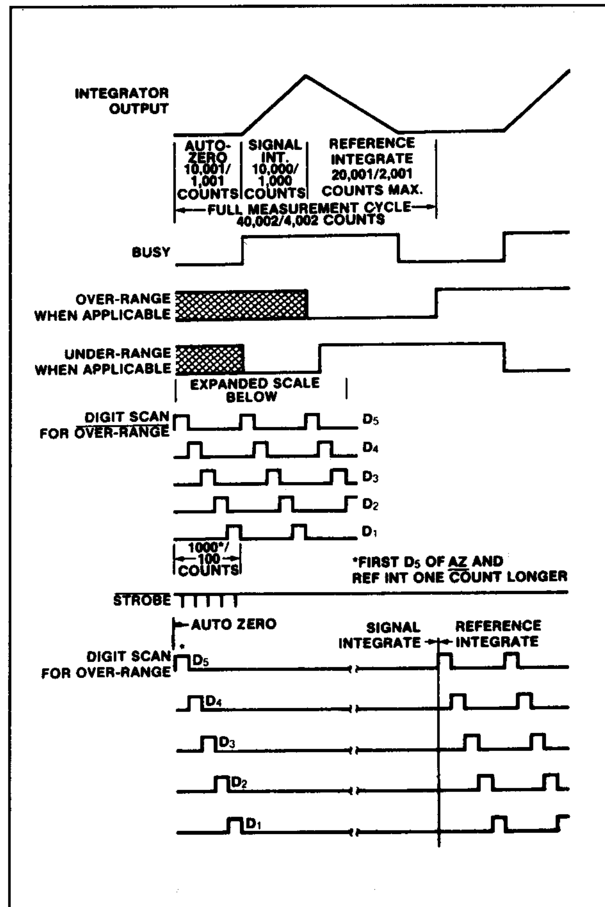


Figuur 12/4.4-41: Aansluitgegevens ICL 71C03.



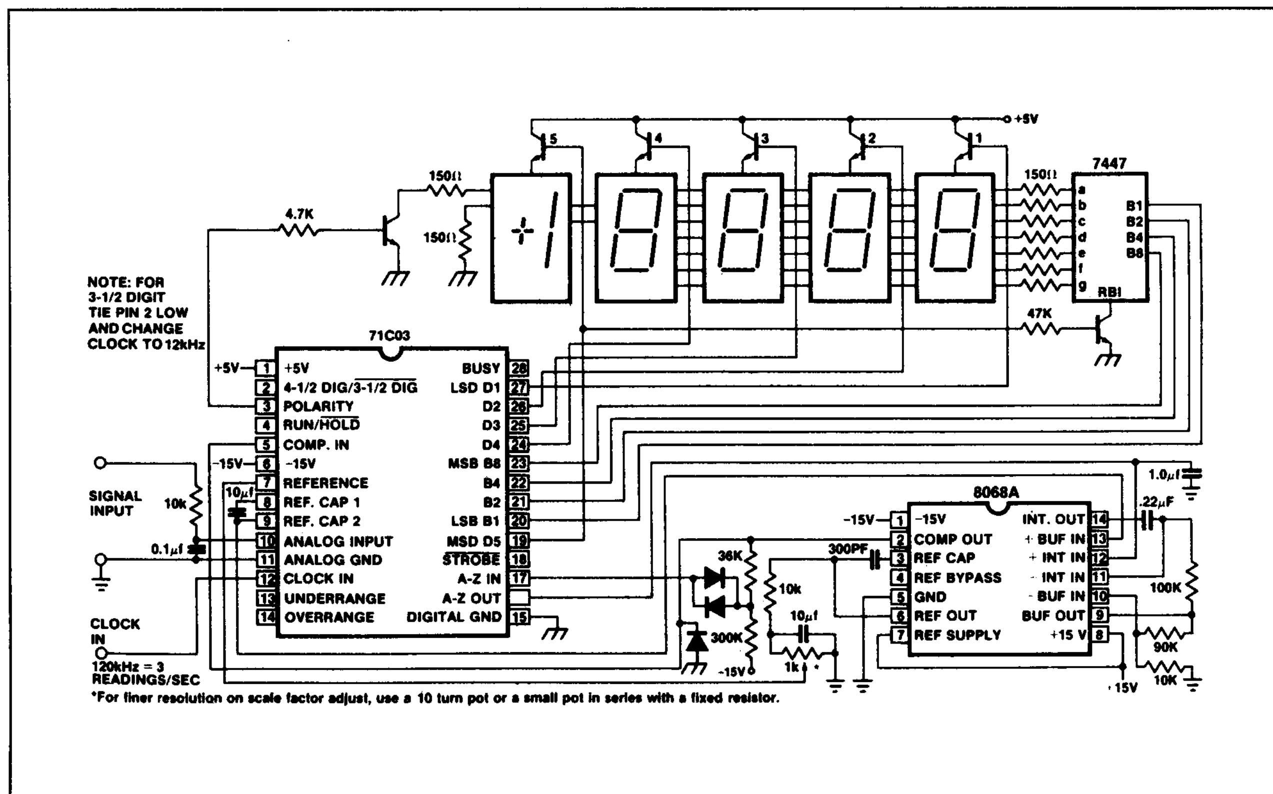
Figuur 12/4.4-42: Intern blokschema ICL 8052/71C03 paar.

4.4 Type-beschrijving resolutie tot ±19999



Figuur 12/4.4-43: Volledige timing van de 8052/71C03 combinatie.

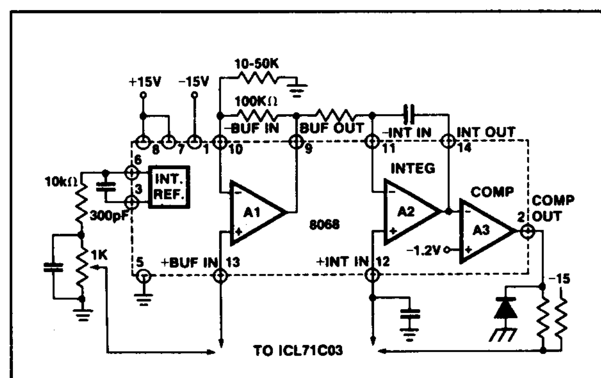
4.4 Type-beschrijving resolutie tot ±19999



Figuur 12/4.4-44: 8052 en 71C03 in een digitale meter met LED-uitlezing en bereik van 20 mV tot 2 V.

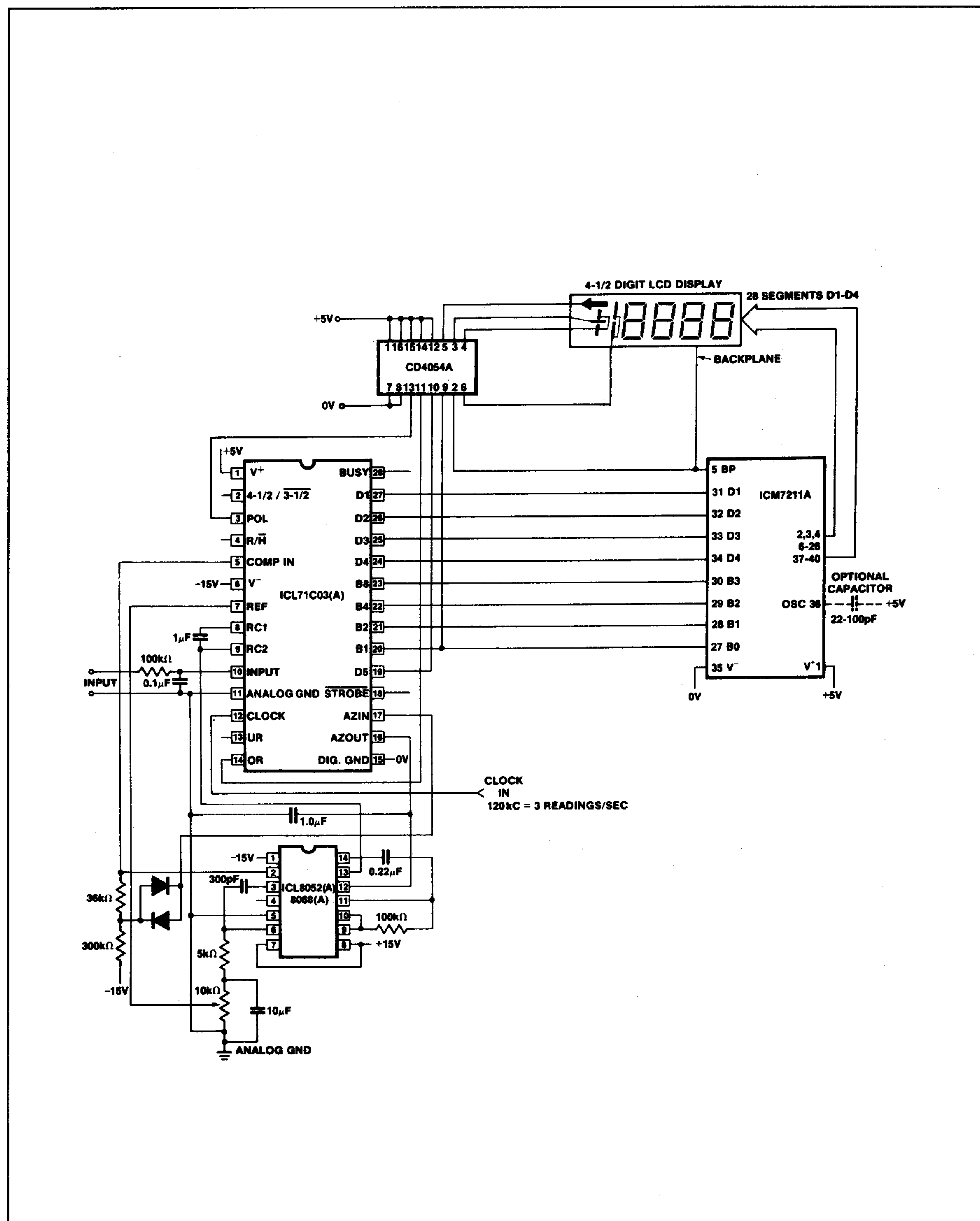
ICL8052/8068 with	ICL71C03A			UNITS
Full scale V_{IN}	20	200	2000	mV
Buffer Gain $\frac{(RB1 + RB2)}{RB2}$	100*	10	1	
R_{INT}	100	100	100	kΩ
C_{INT}	0.22	0.22	0.22	μF
C_{AZ}	1.0	1.0	1.0	μF
C_{REF}	10	10	1.0	μF
V_{REF}	10	100	1000	mV
Resolution (4-1/2 digit)	1	10	100	μV

Figuur 12/4.4-45: Aanpassen van de schakeling voor gevoeligheden van respectievelijk 20, 200 en 2000 mV.



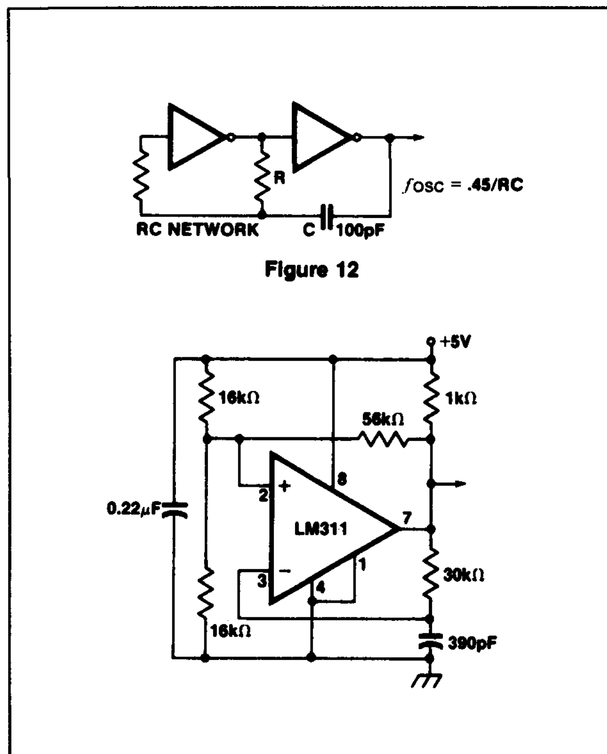
Figuur 12/4.4-46: Het omvormen van de buffer in een versterker voor het vergroten van de gevoeligheid.

4.4 Type-beschrijving resolutie tot ±19999

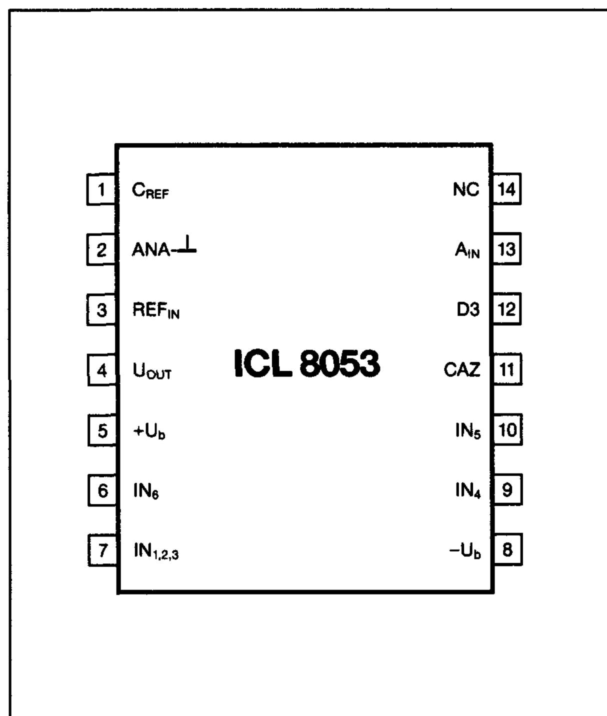


Figuur 12/4.4-47: Basis-schema met 8052/71C03 van een digitale meter met liquid cristal displays.

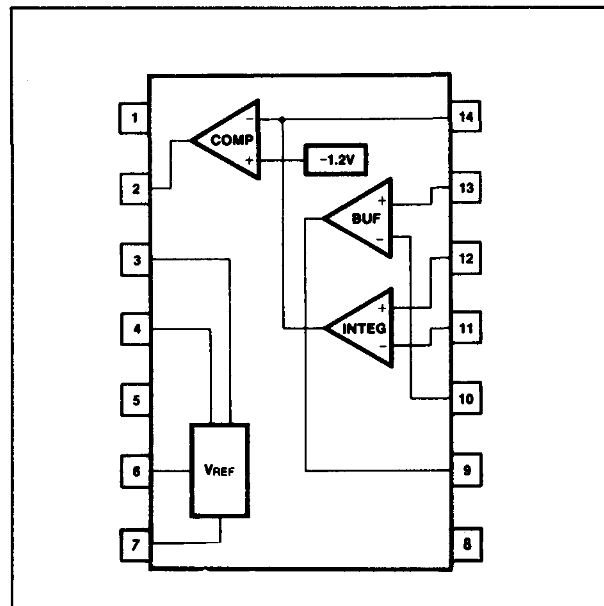
4.4 Type-beschrijving resolutie tot ±19999



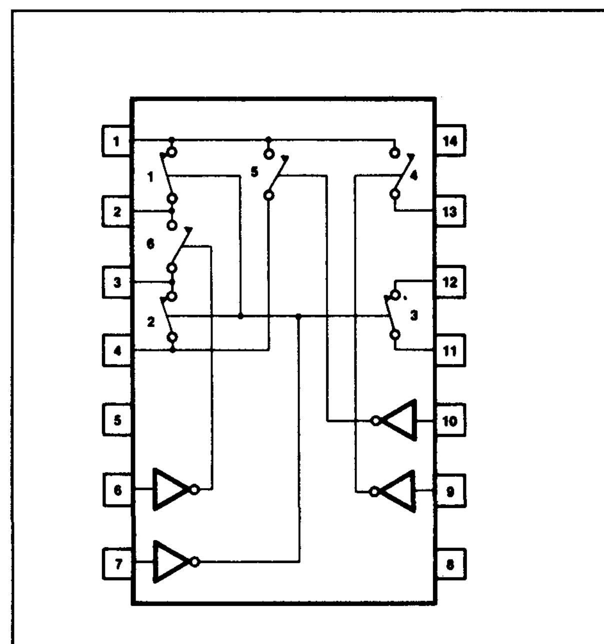
Figuur 12/4.4-48: Twee schakelingen voor het opwekken van de klok-frequentie.



Figuur 12/4.4-49: Aansluitgegevens ICL 8053.

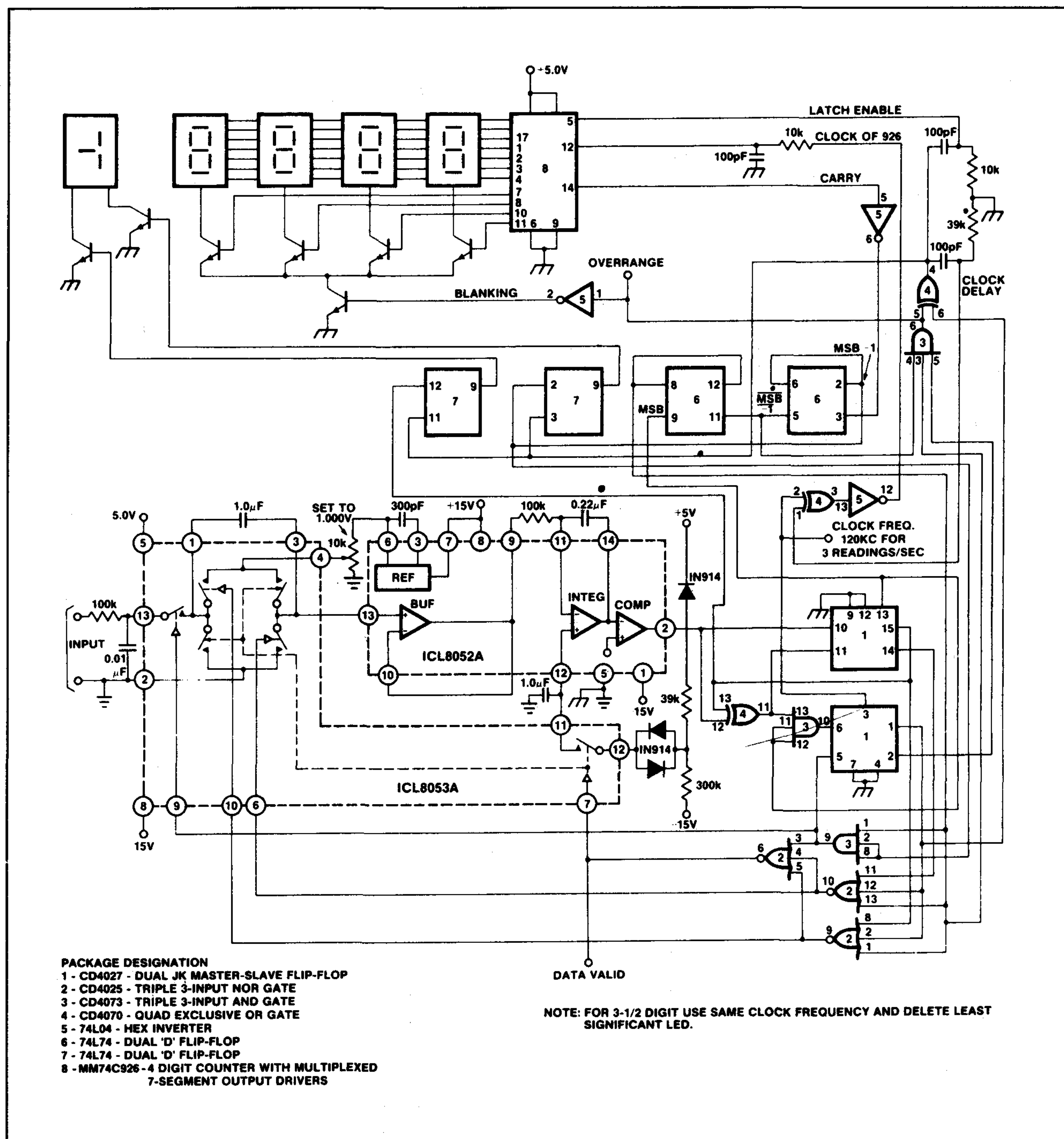


Figuur 12/4.4-50: Intern blokschema ICL 8052.



Figuur 12/4.4-51: Intern blokschema ICL 8053.

4.4 Type-beschrijving resolutie tot ±19999



Figuur 12/4.4-52: De ICL 8052/8053 als digitale meter met een resolutie van 1,9999 V.

12/5

Successive approximation registers (SAR's)

Inhoud

12/5.1

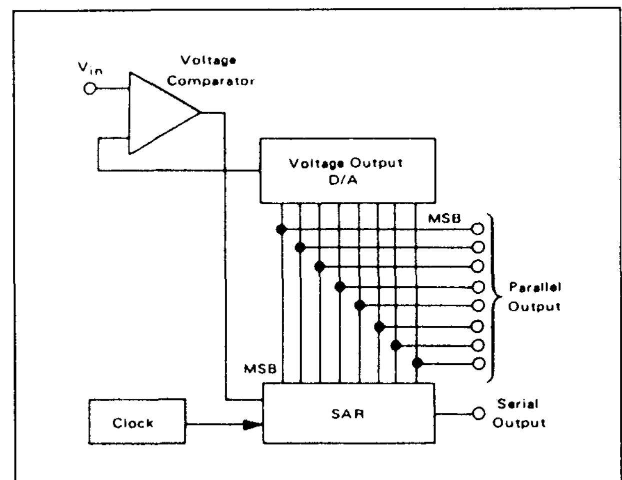
Achtergrond-informatie

Inleiding

Eén van de meest gebruikte methoden om een analoog naar digitaal omzetter (ADC) te bouwen is uit te gaan van een digitaal naar analoog omzetter (DAC). Met behulp van een comparator moet de analoge uitgangsspanning van de DAC dan worden vergeleken met het onbekende ingangssignaal. Op de ene ingang van de comparator wordt dus het onbekende signaal aangesloten en op de andere ingang de (analoge) uitgang van de DAC. Als nu een teller op de digitale ingangen van de DAC wordt aangesloten en de teller vanaf nul optelt, zal het uitgangssignaal van de DAC op een gegeven moment groter worden dan het onbekende ingangssignaal. Op hetzelfde ogenblik gaat de uitgang van de comparator om en stopt de teller. De stand van de teller is nu een maat voor de uitgangsspanning van de DAC en dus (omdat ze even groot zijn) een maat voor het te meten ingangssignaal.
Het zal duidelijk zijn dat de tijd die nodig is voor een meting telkens anders kan zijn. Voor grote ingangsspanningen zijn immers meer telpulsen nodig dan voor kleine.

SAR

Een gunstiger manier om een ADC te bouwen is de zogenaamde "successievelijke benadering". Hierbij wordt de lineaire teller vervangen door een successive appoximation register (SAR).
Voor de rest blijft de schakeling dezelfde als hierboven beschreven (zie figuur 12/5.1-1). Met de SAR-methode zijn conversietijden van ongeveer 500 ns/bit mogelijk. Verder wordt de nauwkeurigheid van de omzetting, omdat de DAC ook hier in de terugkoppellus is opgenomen, alleen door de DAC bepaald. De SAR's die nu leverbaar zijn, bevatten alle benodigde digitale schakelingen voor een SA-type omzetter.



Figuur 12/5.1-1: Blokschema van een successief benaderend A/D-systeem.

Werking

Aan de hand van figuur 12/5.1-1 wordt de werking van het A/D-systeem uitgelegd. De digitale ingangen van de DAC worden bit voor bit gezet, beginnend bij het meest significante (MSB). Telkens wanneer een bit (op "1") is gezet geeft de comparator een signaal af dat aangeeft of de uitgangsspanning van de DAC (V_{DAC}) groter of kleiner is dan het ingangssignaal (V_{in}).

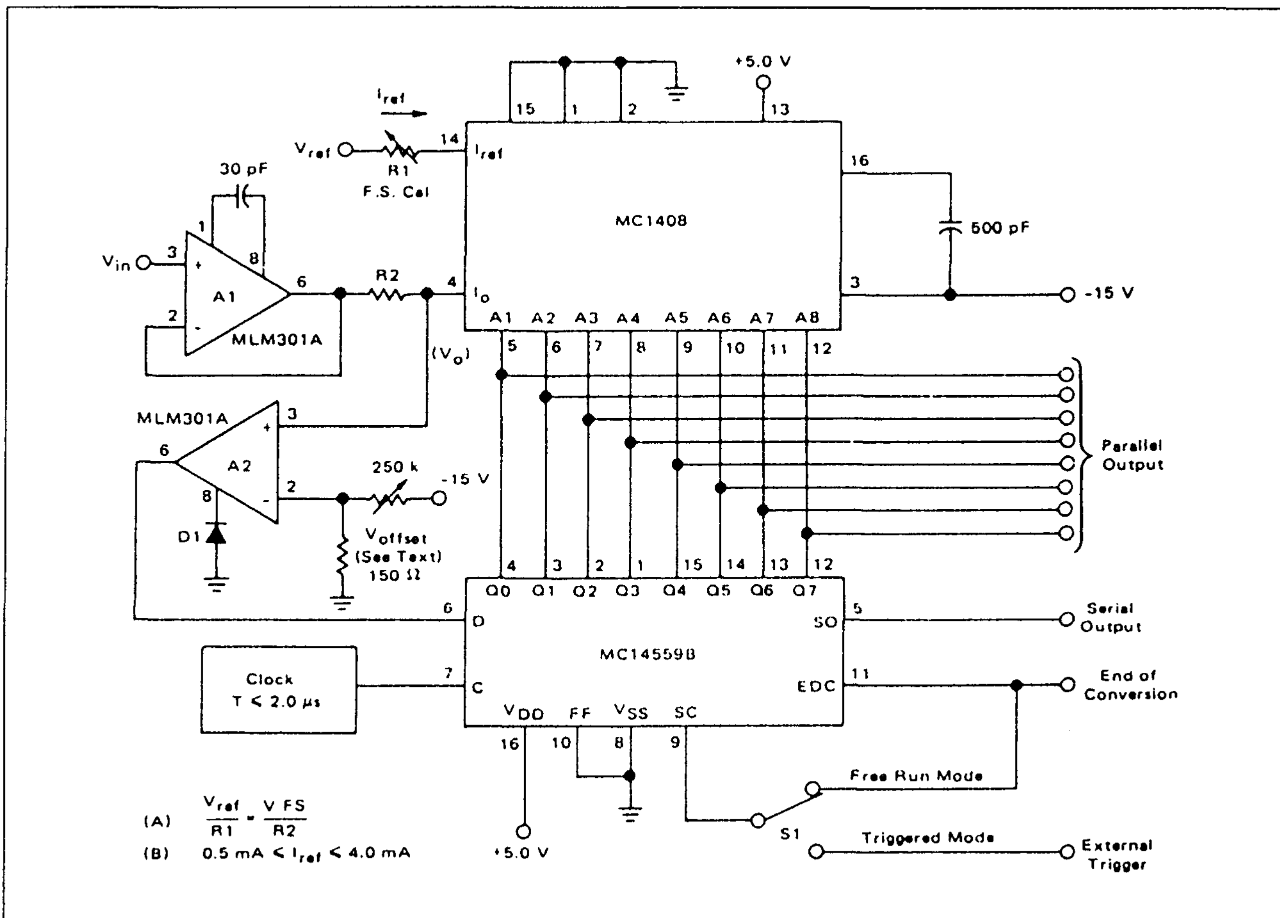
5.1 Achtergrond-informatie

Time	INPUTS		OUTPUTS									
t_n	D	$\overline{S}$	Q_D	Q_7	Q_6	Q_5	Q_4	Q_3	Q_2	Q_1	Q_0	$\overline{CC}$
0	X	L	X	X	X	X	X	X	X	X	X	X
1	D_7	H	X	L	H	H	H	H	H	H	H	H
2	D_6	H	D_7	D_7	L	H	H	H	H	H	H	H
3	D_6	H	D_6	D_7	D_6	L	H	H	H	H	H	H
4	D_4	H	D_5	D_7	D_6	D_5	L	H	H	H	H	H
5	D_3	H	D_4	D_7	D_6	D_5	D_4	L	H	H	H	H
6	D_2	H	D_3	D_7	D_6	D_5	D_4	D_3	L	H	H	H
7	D_1	H	D_2	D_7	D_6	D_5	D_4	D_3	D_2	L	H	H
8	D_0	H	D_1	D_7	D_6	D_5	D_4	D_3	D_2	D_1	L	H
9	X	H	D_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	L
10	X	H	X	D_7	D_6	D_5	D_4	D_3	D_7	D_1	D_0	L

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

Figuur 12/5.1-2: Waarheidstabel van een 8 bit SAR.

Is V_{DAC} groter dan V_{in} dan wordt het bit automatisch gereset (weer "0" gemaakt), waarna het opvolgend lagere bit wordt geprobeerd. Is V_{DAC} daarmee kleiner dan V_{in} dan blijft dit bit gezet, waarna het volgende bit aan de beurt komt, enzovoorts tot alle bits, inclusief het LSB, behandeld zijn.
Als de maximale uitgangsspanning van de DAC V_{ref} bedraagt, betekent dit dat bij het begin van de omzetting (met het MSB) wordt geprobeerd of een spanning van $V_{ref/2}$ groter of kleiner dan V_{in} is. Elke volgende stap gebruikt dan een spanning die telkens een factor 2 kleiner is ($V_{ref/4}$, $V_{ref/8}$, enzovoorts, tot $V_{ref/256}$ bij een 8 bit DAC).

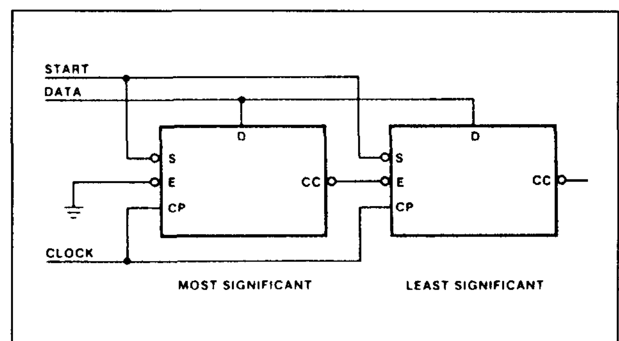


Figuur 12/5.1-3: Samenstelling van een 8 bit successive approximation analoog naar digitaal omzetter met een DAC (MC1408), een SAR (MC14559) en een comparator (LM301).

5.1 Achtergrond-informatie

De som van de ingeschakelde spanningen komt tenslotte overeen met de waarde van V_{in}. Een 8 bit omzetting is zodoende in 9 klokpulsen klaar, hetgeen wordt aangegeven door een "End-of-Conversion"-signaal. Figuur 12/5.1-2 toont de waarheidstabel van een 8 bit SAR (de 74502). De omzetting begint op tijdstip 1 door het HOOG gaan van start ($\overline{S}$) en eindigt op tijdstip 9 met het LAAG gaan van $\overline{CC}$ (Conversion Complete).
In figuur 12/5.1-3 is een complete 8 bit A/D-omzetter te zien, waarbij gebruik gemaakt wordt van een MC14559 SAR en een MC1408 DAC.
Omdat de MC1408 een stroom levert in plaats van een spanning, is de comparator iets anders opgezet dan normaal.
Nu is $I_o = I_{ref} * X$ (X = de stand van de DAC) en $V_o = V_{in} - R2 * I_o$. Comparator A2 vergelijkt nu V_o met de offsetspanning die -1/2 LSB is. Is V_o groter dan V_{offset} dan is het uitgangssignaal van de comparator een "1" en blijft het betreffende geprobeerde bit gezet. Is dit ook zo bij het volgende bit, dan blijft ook die gezet (enzovoorts). Is V_o bij een volgende geprobeerde bit kleiner dan V_{offset} dan is de uitgang van de comparator "0" en wordt het betreffende bit gereset. Wanneer de volle schaal uitgangsspanning van het systeem op 2,56 V wordt afgeregeld, dan heeft de LSB een waarde van 10 mV.

In het bovenstaande is steeds sprake van een 8 bit ADC-systeem. Het is echter ook mogelijk om grotere of kleinere ADC's samen te stellen.
Behalve 8 bit SAR's zijn er ook 12 bit typen, terwijl ook 8 bit uitbreidbare (expandable) leverbaar zijn. Hierbij wordt dan de $\overline{E}$-ingang verbonden met de $\overline{CC}$-uitgang van de voorgaande SAR (figuur 12/5.1-4).



Figuur 12/5.1-4: Aansluiting van uitbreidbare SAR's.

Veel snelle monolithische ADC's zijn tegenwoordig op dezelfde chip voorzien van een SAR, DAC, comparator, referentiespanning, uitgangsbuffers en besturingslogika plus eventueel een analoge ingangsmultiplexer. Hoewel het gebruiksgemak en de snelheid hierdoor toenemen blijft het principe van DAC + SAR + comparator = ADC behouden.

5.1 Achtergrond-informatie

12/5.2

SAR's, 25xx- en 74xx-serie TTL

2502, 2503, 2504 (74502, 74503, 74504)

De 2502 en 2503 zijn 8 bit en de 2504 is een 12 bit TTL-registers voor gebruik in ADC's volgens het succesievelijke benaderingsprincipe (SAR). Deze geïntegreerde schakelingen bevatten alle hiervoor benodigde logika en besturingscircuits.

Kenmerken

- 2502: 8 bit SAR met seriële uitgang, niet uitbreidbaar
  2503: 8 bit uitbreidbare SAR zonder seriële uitgang
  2504: 12 bit uitbreidbare SAR met seriële uitgang
- ook verkorte cyclus mogelijk
- continu of start/stop bedrijf
- logische uitgangen aktief-LAAG of aktief-HOOG
- fabrikanten o.a.:
  AMD: Am25(L)02, Am25(L)03, Am25(L)04
  NatSemi: DM2502C, DM2503C, DM2504C, DM74LS502, DM74LS503, DM74LS504

Logische codes

De registers kunnen met verschillende codes werken. De 2's complement code wordt gebruikt om de comparator een offset te geven van 1/2 full range + 1/2 LSB. Hierbij wordt het complement van de MSB gebruikt ($\overline{Q7}$ of $\overline{Q11}$) met een binaire DAC. Offset binary wordt op dezelfde manier gebruikt, maar dan met de MSB (Q7 of Q11). Voor BCD DA-omzetters moet extra logika worden gebruikt om ongeldige code te onderdrukken (zie de figuren 12/5.2-6 en -7).

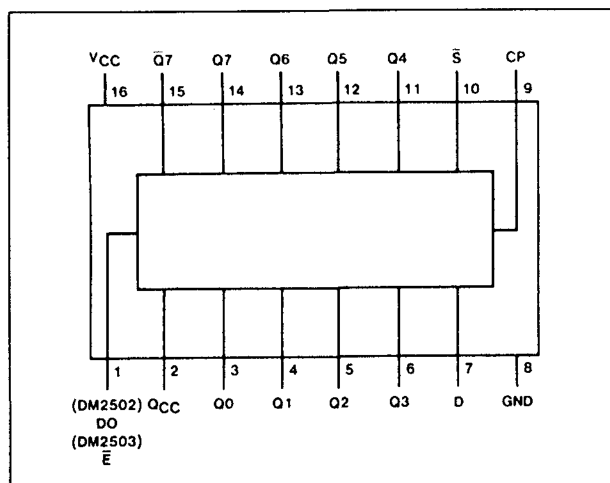
Uitbreiding van de SAR's

De aktief-LAGE enable-ingangen $\overline{E}$ op de 2503 en 2504 maken het mogelijk dat deze SAR's op elkaar kunnen worden aangesloten om zodoende een langer register te vormen. Zoals in figuur 12/5.2-4 te zien is, worden de clock-, D- en $\overline{S}$-ingangen daarbij parallel geschakeld en wordt de CC-uitgang van de meest significante SAR verbonden met de $\overline{E}$-ingang van de opvolgend minder significante SAR. Wanneer de registers door het startsignaal worden gereset, wordt de $\overline{E}$-ingang van de minder significante SAR HOOG, waardoor de Q7 (Q11) bit HOOG gaat en het register wordt belet data te accepteren totdat het voorgaande register vol is en de CC-uitgang daarvan LAAG gaat. Wanneer slechts één register wordt gebruikt moet $\overline{E}$ LAAG worden gehouden.

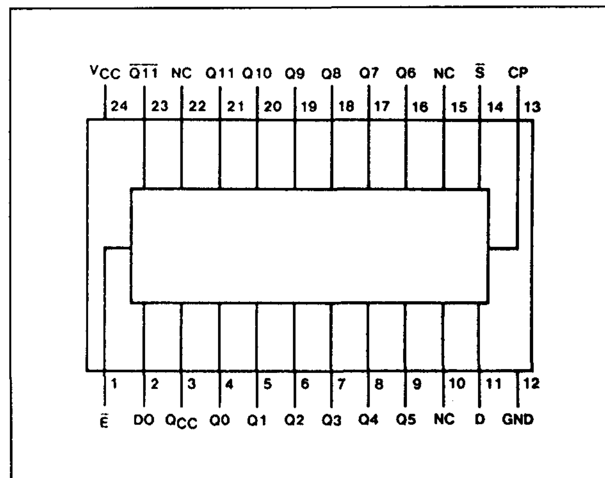
Verkorte cyclus

Als niet alle bits worden gebruikt kan het register worden verkort om conversietijd te besparen. In dit geval wordt dan het LAAG gaan van een uitgang gebruikt om het einde van een omzetting te signaleren, in plaats van het CC-signaal. Wanneer een register op deze manier wordt gebruikt in de continue mode kan "lock-up" ontstaan bij het aanzetten van de voedingsspanning. Dit kan worden vermeden door de CC-uitgang en de betreffende uitgang te verenigen in een OR-poort.

5.2 SAR's, 25xx- en 74xx-serie TTL



Figuur 12/5.2-1: Aansluitingen van de 2502 (74502) en 2503 (74503).



Figuur 12/5.2-2: Aansluitingen van de 2504 (74504).

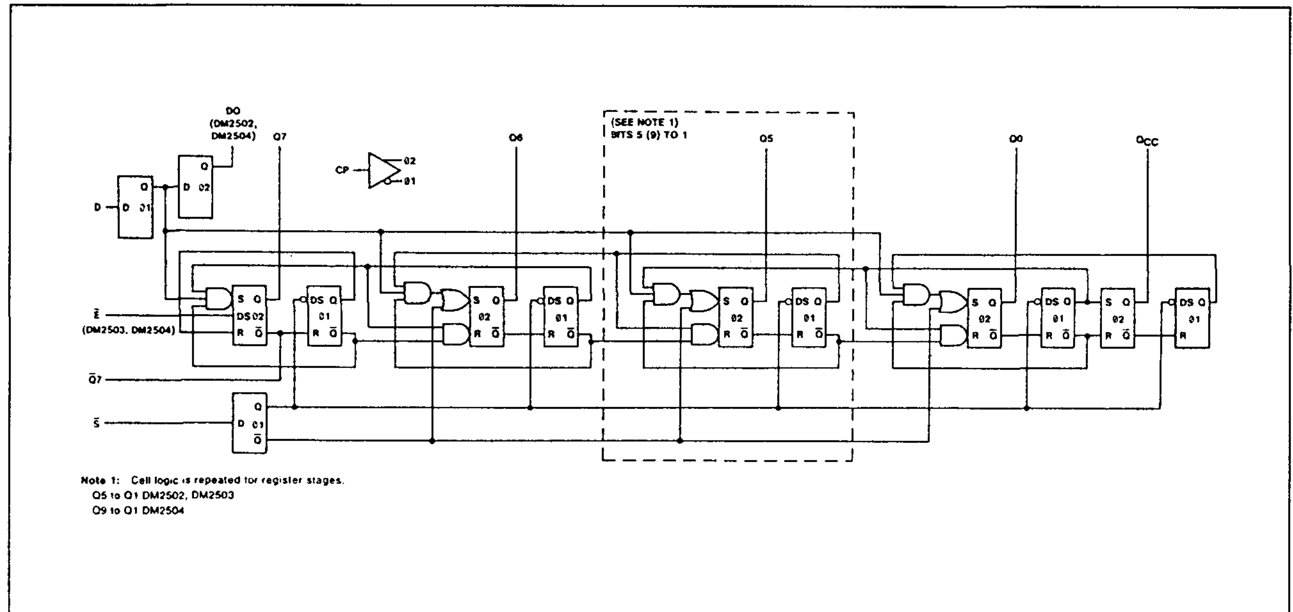
TIME	INPUTS			OUTPUTS[1]									
t_n	D	S̄	Ē[2]	D0[3]	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	Q_{CC}
0	X	L	L	X	X	X	X	X	X	X	X	X	X
1	D7	H	L	X	L	H	H	H	H	H	H	H	H
2	D6	H	L	D7	D7	L	H	H	H	H	H	H	H
3	D5	H	L	D6	D7	D6	L	H	H	H	H	H	H
4	D4	H	L	D5	D7	D6	D5	L	H	H	H	H	H
5	D3	H	L	D4	D7	D6	D5	D4	L	H	H	H	H
6	D2	H	L	D3	D7	D6	D5	D4	D3	L	H	H	H
7	D1	H	L	D2	D7	D6	D5	D4	D3	D2	L	H	H
8	D0	H	L	D1	D7	D6	D5	D4	D3	D2	D1	L	H
9	X	H	L	D0	D7	D6	D5	D4	D3	D2	D1	D0	L
10	X	X	L	X	D7	D6	D5	D4	D3	D2	D1	D0	L
	X	X	H	X	H	NC	NC	NC	NC	NC	NC	NC	NC

Note 1: Truth table for DM2504 is extended to include 12 outputs
Note 2: Truth table for DM2502 does not include Ē column or last line in truth table shown.
Note 3: Truth table for DM2503 does not include D0 column.

H = High Voltage Level
L = Low Voltage Level
X = Don't Care
NC = No Change

Figuur 12/5.2-3: Waarheidstabel van de 2502, 2503 en 2504. Let op: [1]) voor de 2504 moet de tabel worden uitgebreid tot 12 uitgangen; [2]) voor de 2502 moet de Ē-kolom worden weggehaald; [3]) voor de 2503 moet de DO-kolom worden verwijderd.

5.2 SAR's, 25xx- en 74xx-serie TTL



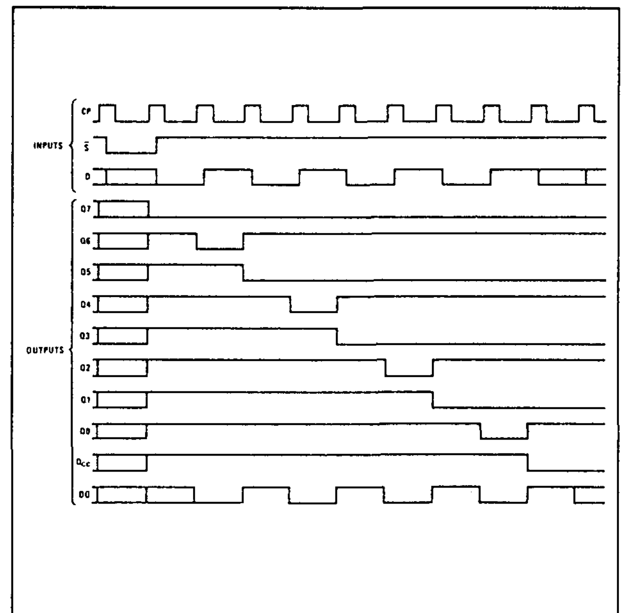
Figuur 12/5.2-4: Functioneel schema van de 2502, 2503 en 2504.

Supply Voltage	7V
Input Voltage	5.5V
Output Voltage	5.5V
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

operating conditions

	MIN	MAX	UNITS
Supply Voltage, V_{CC}			
DM2502C, DM2503C, DM2504C	4.75	5.25	V
DM2502, DM2503, DM2504	4.5	5.5	V
Temperature, T_A			
DM2502C, DM2503C, DM2504C	0	+70	°C
DM2502, DM2503, DM2504	−55	+125	°C

Tabel 12/5.2-1: Maximaal toegelaten waarden en bedrijfscondities.



Figuur 12/5.2-5: Timing van de SAR's (8 bit).

5.2 SAR's, 25xx- en 74xx-serie TTL

electrical characteristics (Notes 2 and 3) V_{CC} = 5.0V, T_A = 25°C, C_L = 15 pF, unless otherwise specified.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Logical "1" Input Voltage (V_{IH})	V_{CC} = Min	2.0			V
Logical "1" Input Current (I_{IH})	V_{CC} = Max				
CP Input	V_{IH} = 2.4V		6	40	μA
D, $\bar{E}$, $\bar{S}$ Inputs	V_{IH} = 2.4V		6	80	μA
All Inputs	V_{IH} = 5.5V			1.0	mA
Logical "0" Input Voltage (V_{IL})	V_{CC} = Min			0.8	V
Logical "0" Input Current (I_{IL})	V_{CC} = Max				
CP, $\bar{S}$ Inputs	V_{IL} = 0.4V		-1.0	-1.6	mA
D, $\bar{E}$ Inputs	V_{IL} = 0.4V		-1.0	-3.2	mA
Logical "1" Output Voltage (V_{OH})	V_{CC} = Min, I_{OH} = -0.48 mA	2.4	3.6		V
Output Short Circuit Current (Note 4) (I_{OS})	V_{CC} = Max; V_{OUT} = 0.0V; Output High; CP, D, $\bar{S}$, High; $\bar{E}$ Low	-10	-20	-45	mA
Logical "0" Output Voltage (V_{OL})	V_{CC} = Min, I_{OL} = 9.6 mA		0.2	0.4	V
Supply Current (I_{CC})	V_{CC} = Max, All Outputs Low				
DM2502C			65	95	mA
DM2502			65	85	mA
DM2503C			60	90	mA
DM2503			60	80	mA
DM2504C			90	124	mA
DM2504			90	110	mA
Propagation Delay to a Logical "0" From CP to Any Output (t_{pd0})		10	18	28	ns
Propagation Delay to a Logical "0" From $\bar{E}$ to Q7 (Q11) Output (t_{pd0})	CP High, $\bar{S}$ Low DM2503, DM2503C, DM2504, DM2504C Only		16	24	ns
Propagation Delay to a Logical "1" From CP to Any Output (t_{pd1})		10	26	38	ns
Propagation Delay to a Logical "1" From $\bar{E}$ to Q7 (Q11) Output (t_{pd1})	CP High, $\bar{S}$ Low DM2503, DM2503C, DM2504, DM2504C Only		13	19	ns
Set-Up Time Data Input ($t_{s(D)}$)		10	4	8	ns
Set-Up Time Start Input ($t_{s(\bar{S})}$)		0	9	16	ns
Minimum Low CP Width (t_{PWL})			30	42	ns
Minimum High CP Width (t_{PWH})			17	24	ns
Maximum Clock Frequency (f_{MAX})		15	21		MHz

Tabel 12/5.2-2: Gelijkspanningskarakteristieken en schakeltijden van de 2502, 2503 en 2504.

5.2 SAR's, 25xx- en 74xx-serie TTL

Figuur 12/5.2-6: Aktief-HOGE onderdrukking van ongeldige codes bij BCD DA-omzetters.

Figuur 12/5.2-7: Onderdrukking van ongeldige codes (aktief-LAAG) bij BCD DAC's.

Figuur 12/5.2-8: Opbouw van een snelle 12 bit AD-converter met een 2504 SAR en een AD1200 DAC (met ingebouwde comparator).

5.2 SAR's, 25xx- en 74xx-serie TTL

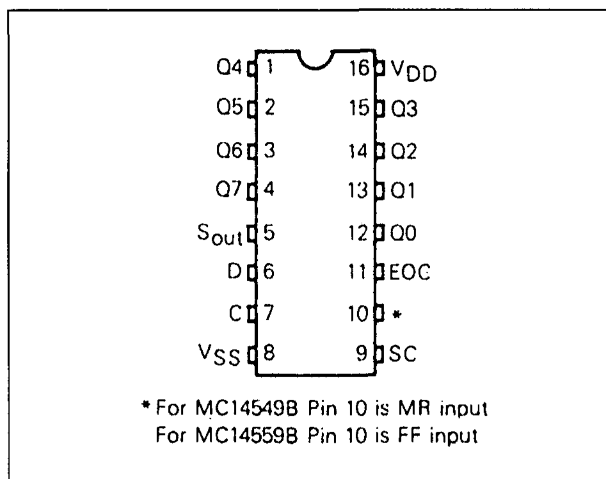
12/5.3

SAR's, (1)4xxx-serie CMOS

(1)4549, (1)4559

De (1)4549 en (1)4559 zijn 8 bit CMOS succesievelijke benaderings registers (SAR's) voor toepassing in analoog naar digitaal omzetters. Beide typen bevatten alle logika en besturingscircuits die hiervoor nodig zijn. Onderling verschillen zitten alleen in één ingang: pen 10 is bij de 14549 de Master Reset-ingang (MR) en bij de 14559 de Feed Forward-ingang (FF).

De MR is nodig wanneer een SAR met meer dan 8 bit gewenst is en er dus 14549's in cascade worden geschakeld. In het omgekeerde geval dat minder dan 8 bit nodig zijn dient FF om de cyclus te verkorten (eerder dan EOC).



Figuur 12/5.3-1: Aansluitingen van de (1)4549 en (1)4559.

Kenmerken

- (1)4549: 8 bit SAR met MR-ingang, uitbreidbaar
  (1)4559: 8 bit SAR met FF-ingang, voor verkorte cyclus
- volledig synchrone werking
- gebufferde uitgangen
- seriële uitgang
- hertriggerbaar
- continu of start/stop bedrijf
- compatibel met verschillende DAC's, bijvoorbeeld MC1408
- fabrikanten o.a.:
  Motorola (14549B, 14559B), Hitachi

Werking

Beide SAR's kunnen zowel vrijlopend als gestrobed werken met een willekeurig aantal bits. Betrouwbare cascadeschakeling en/of recirculatie kan worden bereikt door het End of Conversion signaal (EOC) te gebruiken als stuursignaal.

Signalen

De aansluitpennen hebben de volgende functies:

- C
  Clock (data wordt ingeklokt op positieve flank)
- SC
  Start Conversie (op positieve flank)
- D
  Data In (signaal van comparator)
- MR
  Master Reset (14549, reset alle uitgangen op positieve flank van C)
- FF
  Feed Forward (14559, verwijdert ongewenst bits)
- Qn

5.3 SAR's, (1)4xxx-serie CMOS

Data Uitgangen (naar DAC)
- EOC
  End of Conversion (gaat HOOG als conversie klaar is)
- SO
  Seriële Uitgang

MC14549B

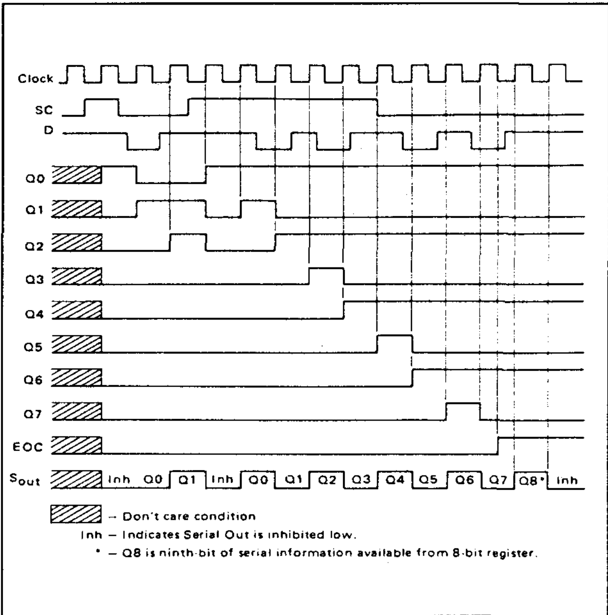
SC	$SC_{(t-1)}$	MR	$MR_{(t-1)}$	Clock	Action
X	X	X	X	↓	None
X	X	1	X	↑	Reset
1	0	0	0	↑	Start Conversion
1	X	0	1	↑	Start Conversion
1	1	0	0	↑	Continue Conversion
0	X	0	X	↑	Continue Previous Operation

MC14559B

SC	$SC_{(t-1)}$	EOC	Clock	Action
X	X	X	↓	None
1	0	0	↑	Start Conversion
X	1	0	↑	Continue Conversion
0	0	0	↑	Continue Conversion
0	X	1	↑	Retain Conversion Result
1	X	1	↑	Start Conversion

X = Don't Care
t-1 = State at Previous Clock ↑

Figuur 12/5.3-2: Waarheidstabel van de (1)4549 en (1)4559.

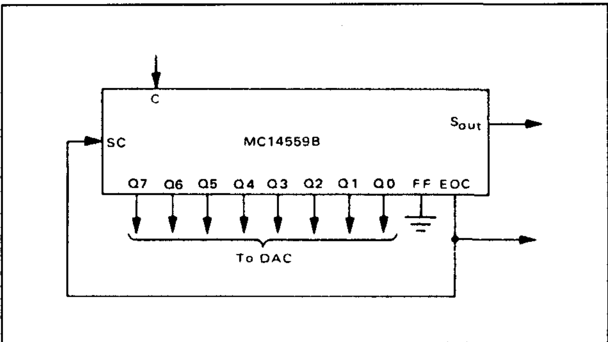


Figuur 12/5.3-4: Tijddiagram van de stuursignalen en uitgangen.

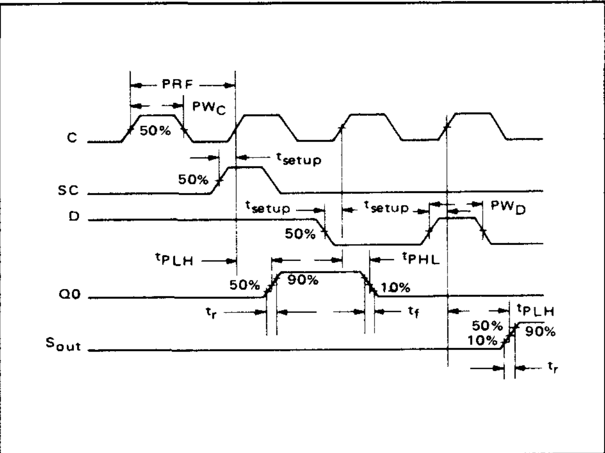
MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	– 0.5 to + 18	Vdc
Input Voltage, All Inputs	V_{in}	– 0.5 to V_{DD} + 0.5	Vdc
DC Input Current, per Pin	I_{in}	± 10	mAdc
Operating Temperature Range – AL Device CL/CP Device	T_A	– 55 to + 125 – 40 to + 85	°C
Storage Temperature Range	T_{stg}	– 65 to + 150	°C

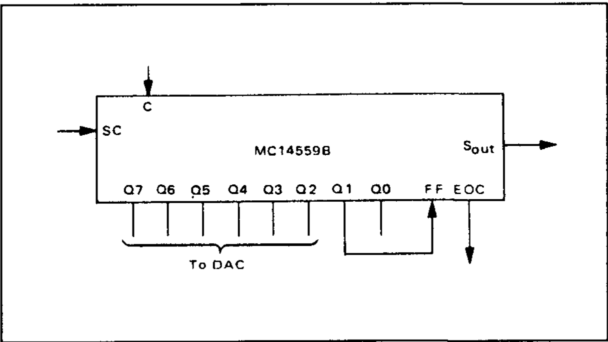
Tabel 12/5.3-1: Maximaal toegelaten waarden.



Figuur 12/5.3-5: Een 8 bit SAR in continu bedrijf.



Figuur 12/5.3-3: Timing en golfvormen van de (1)4549/4559.



Figuur 12/5.3-6: Een extern bestuurde 6 bit SAR.

5.3 SAR's, (1)4xxx-serie CMOS

ELECTRICAL CHARACTERISTICS (Voltages referenced to V_{SS})

Characteristic		Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage	"0" Level	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	V
$V_{in} = V_{DD}$ or 0			10	–	0.05	–	0	0.05	–	0.05	
			15	–	0.05	–	0	0.05	–	0.05	
	"1" Level	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	V
$V_{in} = 0$ or V_{DD}			10	9.95	–	9.95	10	–	9.95	–	
			15	14.95	–	14.95	15	–	14.95	–	
Input Voltage#	"0" Level	V_{IL}									V
(V_O = 4.5 or 0.5 V)			5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 V)			10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 V)			15	–	4.0	–	6.75	4.0	–	4.0	
	"1" Level	V_{IH}									V
(V_O = 0.5 or 4.5 V)			5.0	3.5	–	3.5	2.75	–	3.5	–	
(V_O = 1.0 or 9.0 V)			10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 V)			15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device)		I_{OH}									mA
(V_{OH} = 2.5 V)	Source		5.0	– 1.2	–	– 1.0	– 1.7	–	– 0.7	–	
(V_{OH} = 4.6 V)			5.0	– 0.25	–	– 0.2	– 0.36	–	– 0.14	–	
(V_{OH} = 9.5 V)			10	– 0.62	–	– 0.5	– 0.9	–	– 0.35	–	
(V_{OH} = 13.5 V)			15	– 1.8	–	– 1.5	– 3.5	–	– 1.1	–	
(V_{OL} = 0.4 V)	Sink	I_{OL}	5.0	1.28	–	1.02	1.76	–	0.72	–	mA
(V_{OL} = 0.5 V)	Q Outputs		10	3.2	–	2.6	4.5	–	1.8	–	
(V_{OL} = 1.5 V)			15	8.4	–	6.8	17.6	–	4.8	–	
(V_{OL} = 0.4 V)	Sink		5.0	0.64	–	0.51	0.88	–	0.36	–	
(V_{OL} = 0.5 V)	Pin 5, 11 only		10	1.6	–	1.3	2.25	–	0.9	–	
(V_{OL} = 1.5 V)			15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device)		I_{OH}									mA
(V_{OH} = 2.5 V)	Source		5.0	– 1.0	–	– 0.8	– 1.7	–	– 0.6	–	
(V_{OH} = 4.6 V)			5.0	– 0.2	–	– 0.16	– 0.36	–	– 0.12	–	
(V_{OH} = 9.5 V)			10	– 0.5	–	– 0.4	– 0.9	–	– 0.3	–	
(V_{OH} = 13.5 V)			15	– 1.4	–	– 1.2	– 3.5	–	– 1.0	–	
(V_{OL} = 0.4 V)	Sink	I_{OL}	5.0	1.04	–	0.88	1.76	–	0.72	–	mA
(V_{OL} = 0.5 V)	Q Outputs		10	2.6	–	2.2	4.5	–	1.8	–	
(V_{OL} = 1.5 V)			15	7.2	–	6.0	17.6	–	4.8	–	
(V_{OL} = 0.4 V)	Sink		5.0	0.52	–	0.44	0.88	–	0.36	–	
(V_{OL} = 0.5 V)	Pin 5, 11 only		10	1.3	–	1.1	2.25	–	0.9	–	
(V_{OL} = 1.5 V)			15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)		I_{in}	15	–	± 0.1	–	± 0.00001	± 0.1	–	± 1.0	μA
Input Current (CL/CP Device)		I_{in}	15	–	± 0.3	–	± 0.00001	± 0.3	–	± 1.0	μA
Input Capacitance		C_{in}					5.0	7.5	–	–	pF
Quiescent Current (AL Device)		I_{DD}	5.0	–	5.0	–	0.005	5.0	–	150	μA
(Per Package)			10	–	10	–	0.010	10	–	300	
(Clock = 0 V,			15	–	20	–	0.015	20	–	600	
Other Inputs = V_{DD} or 0 V, I_{out} = 0 μA)											
Quiescent Current (CL/CP Device)		I_{DD}	5.0	–	20	–	0.005	20	–	150	μA
(Per Package)			10	–	40	–	0.010	40	–	300	
(Clock = 0 V,			15	–	80	–	0.015	80	–	600	
Other Inputs = V_{DD} or 0 V, I_{out} = 0 μA)											
Total Supply Current** †		I_T	5.0	I_T = (0.8 μA/kHz) f + I_{DD}							μA
(Dynamic plus Quiescent,			10	I_T = (1.6 μA/kHz) f + I_{DD}							
Per Package)			15	I_T = (2.4 μA/kHz) f + I_{DD}							
(C_L = 50 pF on all outputs, all buffers switching)											

Tabel 12/5.3-2: Gelijkspanningskarakteristieken van de (1)4549 en (1)4559.

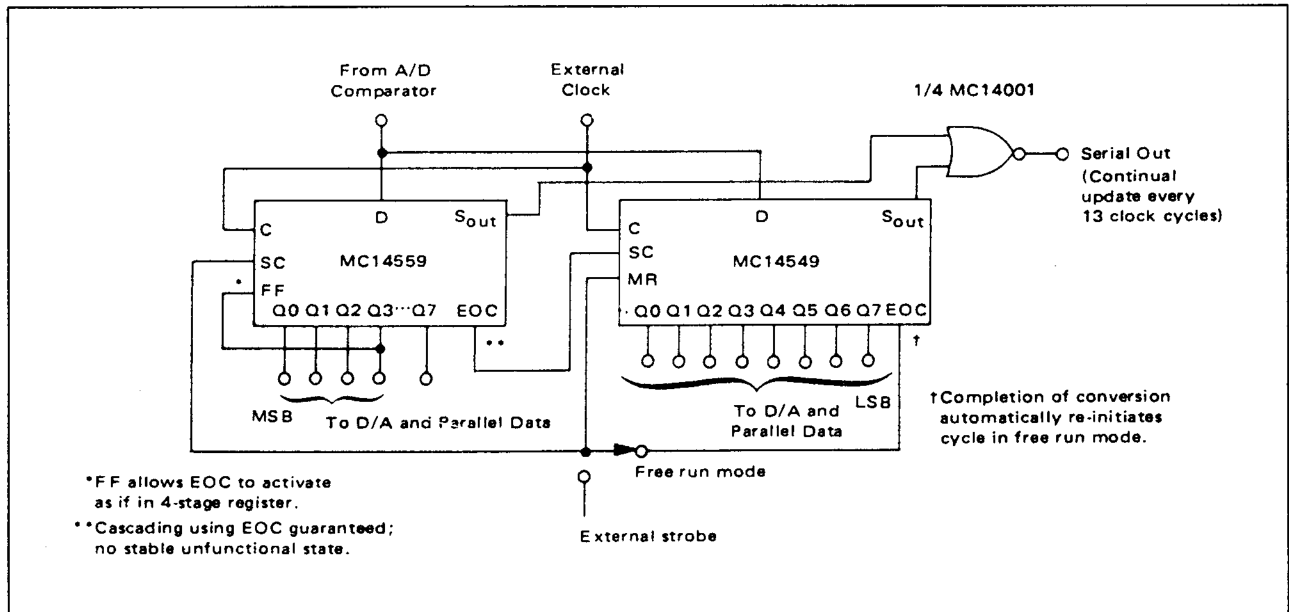
5.3 SAR's, (1)4xxx-serie CMOS

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	Min	Typ	Max	Unit
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	–	180	360	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	–	90	180	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	–	65	130	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	–	100	200	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	–	50	100	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	–	40	80	
Propagation Delay Time	t_{PLH}, t_{PHL}					ns
Clock to Q						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 415 ns		5.0	–	500	1000	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 177 ns		10	–	210	420	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 130 ns		15	–	155	310	
Clock to S_{out}						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 665 ns		5.0	–	750	1500	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 277 ns		10	–	310	620	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 195 ns		15	–	220	440	
Clock to EOC						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 215 ns		5.0	–	300	600	
t_{PLH}, t_{PHL} = (0.66 ns/ pF) C_L + 97 ns		10	–	130	260	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 75 ns		15	–	100	200	
SC, D, FF or MR Setup Time	t_{su}	5.0	250	125	–	ns
		10	100	50	–	
		15	80	40	–	
Clock Pulse Width	$t_{WH(cl)}$	5.0	700	350	–	ns
		10	270	135	–	
		15	200	100	–	
Pulse Width – D, SC, FF or MR	t_{WH}	5.0	500	250	–	ns
		10	200	100	–	
		15	160	80	–	
Clock Rise and Fall Time	t_{TLH}, t_{THL}	5.0	–	–	15	µs
		10	–	–	5.0	
		15	–	–	4.0	
Clock Pulse Frequency	f_{cl}	5.0	–	1.5	0.8	MHz
		10	–	3.0	1.5	
		15	–	4.0	2.0	

Tabel 12/5.3-3: Schakeltijden van de (1)4549 en (1)4559 (zie ook figuur 12/5.3-3).

5.3 SAR's, (1)4xxx-serie CMOS



Figuur 12/5.3-7: Een 12 bit SAR met instelbare continue of extern bestuurde werking.

5.3 SAR's, (1)4xxx-serie CMOS

12/5.5

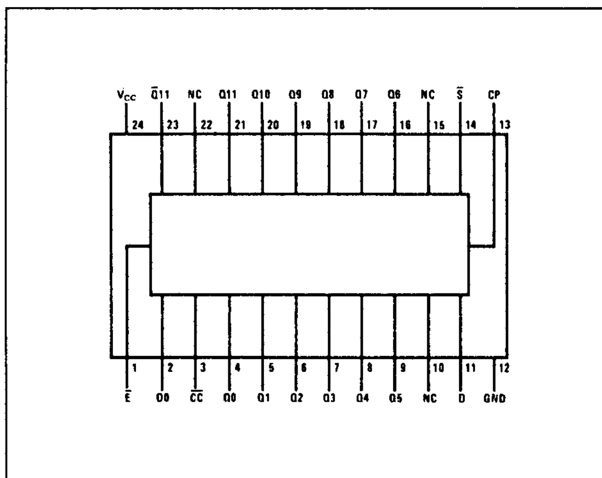
SAR's, 74C-serie CMOS

74C905

De 74C905 is een 12 bit CMOS register voor toepassing in analoog naar digitaal omzetters. Dit succesievelijke benaderings register (SAR) is voorzien van alle logika en besturingscircuits om een ADC samen te stellen uit een DAC plus comparator en deze SAR.

Kenmerken

- 12 bit uitbreidbare SAR
- verkorte cyclus mogelijk
- seriële uitgang
- continu of start/stop bedrijf
- compatibel met Low Power TTL
- fabrikant:
  NatSemi (MM74C950)



Figuur 12/5.5-1: Aansluitingen van de 74C905.

Werking

De 74C905 kan met verschillende codes werken. De 2's complement code wordt gebruikt om de comparator een offset te geven van 1/2 full range + 1/2 LSB. Hierbij wordt het complement van de MSB gebruikt ($\overline{Q11}$) met een binaire DAC. Door de aktief LAGE enable-ingang $\overline{E}$ kan deze SAR worden uitgebreid om tot een langer register te komen. Wanneer minder dan 12 bits gebruikt worden, kan het register worden verkort om minder conversietijd te gebruiken. Het LAAG gaan van een gekozen uitgang wordt dan gebruikt om het einde van een conversie aan te geven, in plaats van het $\overline{CC}$-signaal. Wanneer een register op deze manier, in de continue mode, wordt gebruikt kan "lock-up" ontstaan bij het opkomen van de voedingsspanning. Dit kan worden voorkomen door de CC-uitgang en de betreffende uitgang een OR-functie te geven.

Voltage at Any Pin	−0.3V to V_{CC} + 0.3V
Operating Temperature Range	
MM54C905	−55°C to +125°C
MM74C905	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation	500mW
Operating V_{CC} Range	3.0V to 15V
Absolute Maximum V_{CC}	16V
Lead Temperature (Soldering, 10 seconds)	300°C

Tabel 12/5.5-1: Maximaal toegelaten waarden.

De registeruitgangen kunnen een 10 bit R/2R laddernetwerk (met 50 kΩ/100 kΩ weerstanden) direct aansturen bij een voedingsspanning van minimaal 10 V.

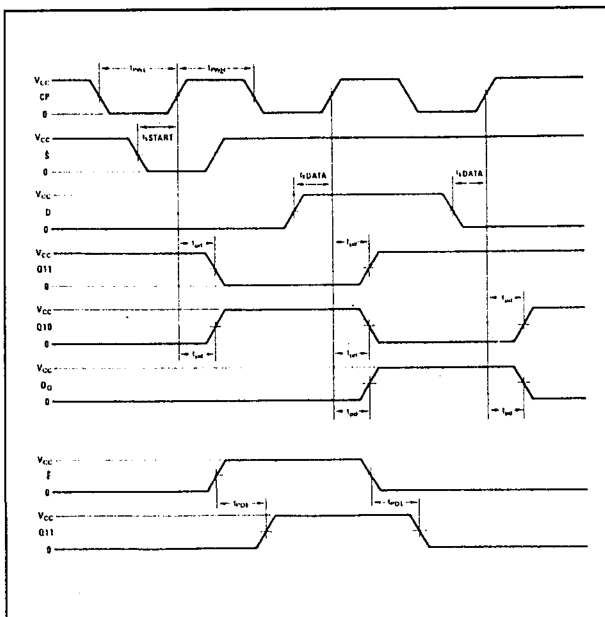
5.5 SAR's, 74C-serie CMOS

TIME	INPUTS			OUTPUTS													
t_n	D	$\overline{S}$	$\overline{E}$	D0	Q11	Q10	Q9	Q8	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	$\overline{CC}$
0	X	L	L	X	X	X	X	X	X	X	X	X	X	X	X	X	X
1	D11	H	L	X	L	H	H	H	H	H	H	H	H	H	H	H	H
2	D10	H	L	D11	D11	L	H	H	H	H	H	H	H	H	H	H	H
3	D9	H	L	D10	D11	D10	L	H	H	H	H	H	H	H	H	H	H
4	D8	H	L	D9	D11	D10	D9	L	H	H	H	H	H	H	H	H	H
5	D7	H	L	D8	D11	D10	D9	D8	L	H	H	H	H	H	H	H	H
6	D6	H	L	D7	D11	D10	D9	D8	D7	L	H	H	H	H	H	H	H
7	D5	H	L	D6	D11	D10	D9	D8	D7	D6	L	H	H	H	H	H	H
8	D4	H	L	D5	D11	D10	D9	D8	D7	D6	D5	L	H	H	H	H	H
9	D3	H	L	D4	D11	D10	D9	D8	D7	D6	D5	D4	L	H	H	H	H
10	D2	H	L	D3	D11	D10	D9	D8	D7	D6	D5	D4	D3	L	H	H	H
11	D1	H	L	D2	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	L	H	H
12	D0	H	L	D1	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	L	H
13	X	H	L	D0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	L
14	X	X	L	X	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	L
	X	X	H	X	H	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC

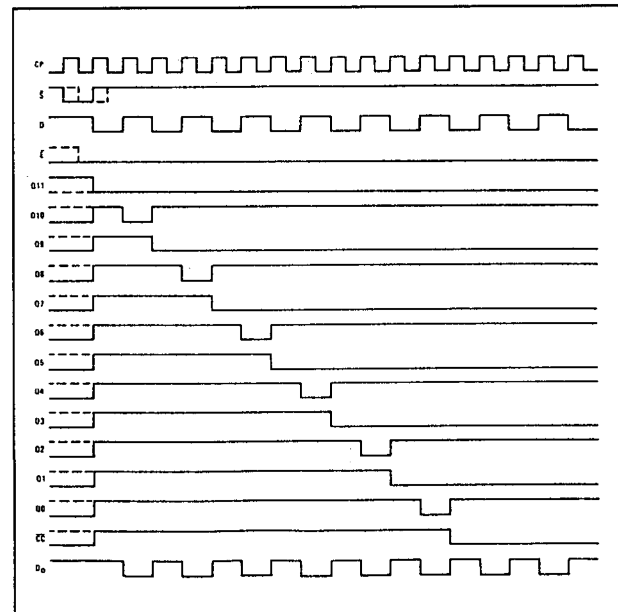
H = High level
L = Low level
X = Don't care
NC = No change

Figuur 12/5.5-2: Waarheidstabel van de 12 bit SAR 74C905.

Om een 12 bit 50 kΩ/100 kΩ laddernetwerk aan te sturen met een resolutie van +/-1/2 LSB moeten Q9, Q10 en Q11 worden gebufferd, Q9 met 1 buffer, Q10 met 2 en Q11 met 3 buffers van het type 74C902 of 74C904.



Figuur 12/5.5-3: Timing en golfvormen van de 74C905.



Figuur 12/5.5-4: Tijddiagram van de stuursignalen en uitgangen.

5.5 SAR's, 74C-serie CMOS

DC Electrical Characteristics

Min/max limits apply across temperature range unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CMOS to CMOS						
$V_{IN(1)}$	Logical "1" Input Voltage	$V_{CC} = 5.0V$ $V_{CC} = 10V$	3.5 8.0			V V
$V_{IN(0)}$	Logical "0" Input Voltage	$V_{CC} = 5.0V$ $V_{CC} = 10V$			1.5 2.0	V V
$V_{OUT(1)}$	Logical "1" Output Voltage	$V_{CC} = 5.0V$, $I_O = -10\mu A$ $V_{CC} = 10V$, $I_O = -10\mu A$	4.5 9.0			V V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 5.0V$, $I_O = 10\mu A$ $V_{CC} = 10V$, $I_O = 10\mu A$			0.5 1.0	V V
$I_{IN(1)}$	Logical "1" Input Current	$V_{CC} = 15V$, $V_{IN} = 15V$		0.005	1.0	μA
$I_{IN(0)}$	Logical "0" Input Current	$V_{CC} = 15V$, $V_{IN} = 0V$	−1.0	−0.005		μA
I_{CC}	Supply Current	$V_{CC} = 15V$		0.05	300	μA
CMOS/LPTTL Interface						
$V_{IN(1)}$	Logical "1" Input Voltage MM54C905 MM74C905	 $V_{CC} = 4.5V$ $V_{CC} = 4.75V$	 $V_{CC} - 1.5$ $V_{CC} - 1.5$			 V V
$V_{IN(0)}$	Logical "0" Input Voltage MM54C905 MM74C905	 $V_{CC} = 4.5V$ $V_{CC} = 4.75V$			 0.8 0.8	 V V
$V_{OUT(1)}$	Logical "1" Output Voltage MM54C905 MM74C905	 $V_{CC} = 4.5V$, $I_O = -360\mu A$ $V_{CC} = 4.75V$, $I_O = -360\mu A$	 2.4 2.4			 V V
$V_{OUT(0)}$	Logical "0" Output Voltage MM54C905 MM74C905	 $V_{CC} = 4.5V$, $I_O = 360\mu A$ $V_{CC} = 4.75V$, $I_O = 360\mu A$			 0.4 0.4	 V V
Output Drive (See 54C/74C Family Characteristics Data Sheet)						
I_{SOURCE}	Output Source Current (P-Channel)	$V_{CC} = 5.0V$, $V_{OUT} = 0V$ $T_A = 25°C$	−1.75	−3.3		mA
I_{SOURCE}	Output Source Current (P-Channel)	$V_{CC} = 10V$, $V_{OUT} = 0V$ $T_A = 25°C$	−8.0	−15		mA
I_{SINK}	Output Sink Current (N-Channel)	$V_{CC} = 5.0V$, $V_{OUT} = V_{CC}$ $T_A = 25°C$	1.75	3.6		mA
I_{SINK}	Output Sink Current (N-Channel)	$V_{CC} = 10V$, $V_{OUT} = V_{CC}$ $T_A = 25°C$ $V_{CC} = 10V \pm 5\%$	8.0	16		mA
R_{SOURCE}	Q11-Q0 Outputs	$V_{OUT} = V_{CC} - 0.3V$ $T_A = 25°C$	150		350	Ω
R_{SINK}	Q11-Q0 Outputs	$V_{CC} = 10V \pm 5\%$ $V_{OUT} = 0.3V$ $T_A = 25°C$	80		230	Ω

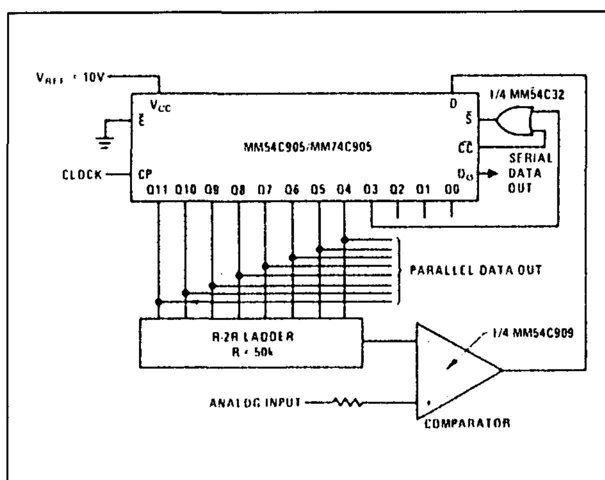
Tabel 12/5.5-2: Gelijkspanningskarakteristieken van de 74C905.

5.5 SAR's, 74C-serie CMOS

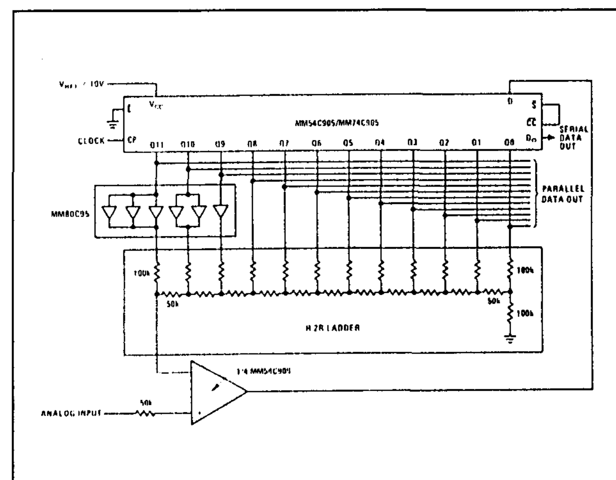
AC Electrical Characteristics $T_A = 25°C$, $C_L = 50\,pF$, unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{pd}	Propagation Delay Time from Clock Input to Outputs (Q0–Q11) ($t_{pd(Q)}$)	$V_{CC} = 5.0V$ $V_{CC} = 10V$		200 80	350 150	ns ns
t_{pd}	Propagation Delay Time from Clock Input to D0 ($t_{pd(D0)}$)	$V_{CC} = 5.0V$ $V_{CC} = 10V$		180 70	325 125	ns ns
t_{pd}	Propagation Delay Time from Register Enable (E) to Output (Q11) ($t_{pd(E)}$)	$V_{CC} = 5.0V$ $V_{CC} = 10V$		190 75	350 150	ns ns
t_{pd}	Propagation Delay Time from Clock to CC ($t_{pd(CC)}$)	$V_{CC} = 5.0V$ $V_{CC} = 10V$		190 75	350 0.50	ns ns
t_S	Data Input Set-Up Time	$V_{CC} = 5.0V$ $V_{CC} = 10V$	80 30			ns ns
t_S	Start Input Set-Up Time	$V_{CC} = 5.0V$ $V_{CC} = 10V$	80 30			ns ns
t_W	Minimum Clock Pulse Width	$V_{CC} = 5.0V$ $V_{CC} = 10V$	250 100	125 50		ns ns
t_r, t_f	Maximum Clock Rise and Fall Time	$V_{CC} = 5.0V$ $V_{CC} = 10V$			15 5.0	μs μs
f_{MAX}	Maximum Clock Frequency	$V_{CC} = 5.0V$ $V_{CC} = 10V$	2.0 5.0	4.0 10		MHz MHz
C_{CK}	Clock Input Capacitance	Clock Input (Note 2)		10		pF
C_{IN}	Input Capacitance	Any other Input (Note 2)		5		pF
C_{PD}	Power Dissipation Capacitance	(Note 3)		100		pF

Tabel 12/5.5-3: Schakeltijden van de 74C905 (zie ook figuur 12/5.5-3).



Figuur 12/5.5-5: Voorbeeld van een 12 bit brede AD-omzetter, werkend in een verkorte 8 bit mode, in continu bedrijf.



Figuur 12/5.5-6: Een continu werkende 12 bit SA-ADC die een 50 kΩ/100 kΩ laddernetwerk direct aanstuurt (Q9, Q10 en Q11 zijn hierbij gebufferd).

12/6

Sample and hold schakelingen

Inhoud

ADSHM-5	350	ns	0,01	%	12	MHz
ADSHM-5K	250	ns	0,01	%	12	MHz
HTS-0010	10	ns	0,01	%	60	MHz
LH 0023	100	µs	0,01	%		
HTS-0025	25	ns	0,01	%	20	MHz
LH 0043	15	µs	0,1	%		
LH 0053	5	µs	0,2	%	200	kHz
ADSHC-85	4,5	µs	0,01	%	3	MHz
µA 198	4	µs	0,1	%	1	MHz
LF 198	4	µs	0,02	%	1	MHz
µA 298	4	µs	0,1	%	1	MHz
LF 298	4	µs	0,02	%	1	MHz
HTC-0300	170	ns	0,01	%	8	MHz
AD 346	2	µs	0,05	%	1,4	MHz
AD 362	10	µs	0,01	%		
AD 389	2,5	µs	0,003	%	1,5	MHz
LF 398	4	µs	0,02	%	1	MHz
µA 398	4	µs	0,1	%	1	MHz
HTC-0500	700	ns	0,01	%	2	MHz
AD 582	6	µs	0,01	%	1,5	MHz
AD 585	3	µs	0,01	%	2	MHz
SHA 1144	6	µs	0,001	%	1	MHz
HA-2420	5	µs	0,01	%	2,5	MHz
HA-2425	5	µs	0,01	%	2,5	MHz
IH 5110	6	µs	0,1	%		
IH 5111	6	µs	0,1	%		
IH 5112	6	µs	0,1	%		
IH 5113	6	µs	0,1	%		
IH 5114	6	µs	0,1	%		
IH 5115	6	µs	0,1	%		

HA-5320	1,2 μs	0,01 %	2,0 MHz
HA-5330	400 ns	0,01 %	
NE 5537	4 μs	0,01 %	
SE 5537	4 μs	0,007 %	

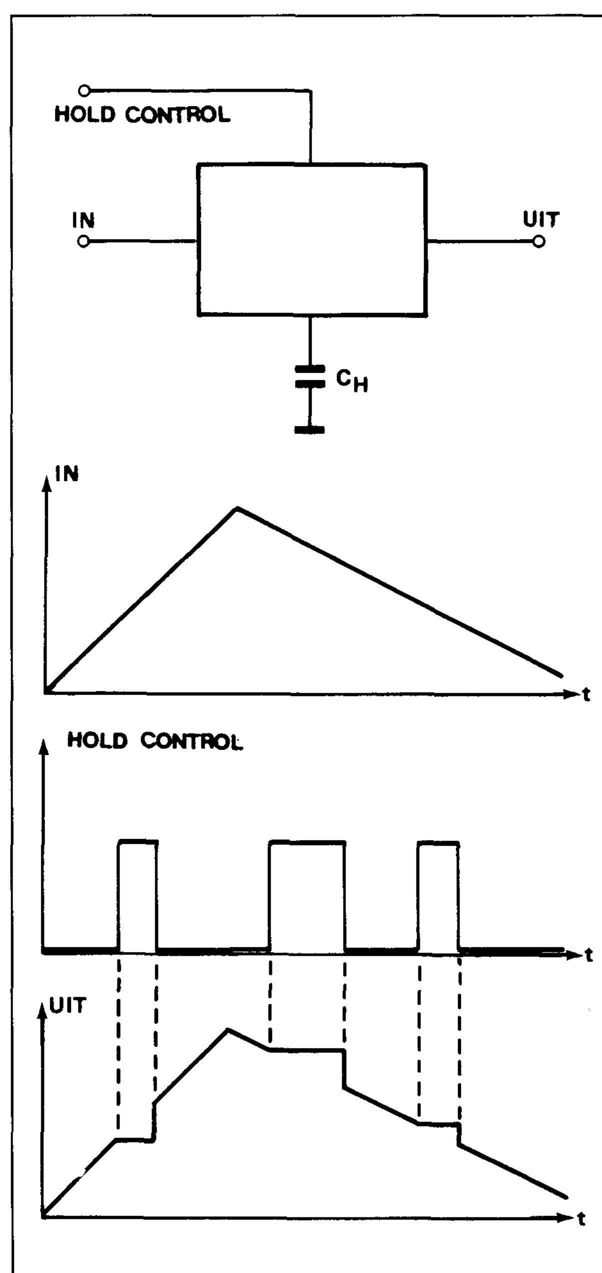
12/6.1

Achtergrond-informatie

Inleiding

'Sample and hold' betekent vrij vertaald 'neem een monster en hou dit vast'. Dat is dan ook precies wat een sample and hold, meestal afgekort tot S&H doet. Een S&H kan worden opgevat als het analoge equivalent van een digitaal geheugen. Een S&H is in staat gedurende een bepaalde vrij korte tijd de momentele waarde van een analoge spanning te 'onthouden'.

In figuur 12/6.1-1 is het basisprincipe van een S&H getekend.
De schakeling heeft een analoge ingang, een analoge uitgang, een digitale besturingsingang 'HOLD CONTROL' en een pen waarop men een condensator C_H kan aansluiten.
Als de HOLD CONTROL laag is zal de schakeling als analoge buffer werken. Men noemt dit de sample- of track-mode van de schakeling. De uitgangsspanning is gelijk aan de ingangsspanning.
Als echter de CONTROL hoog wordt dan zal de uitgang gelijk blijven aan de momentele waarde van de ingangsspanning op het moment van het verschijnen van de HOLD-puls. Men noemt dit de hold-mode van de schakeling. De uitgang bewaart deze momentele waarde totdat de HOLD-puls weer wegvalt.
Het zal wel duidelijk zijn dat de condensator C_H, de holdcondensator, een belangrijke rol in dit proces speelt. De momentele spanning



Figuur 12/6.1-1: Het basisprincipe van een sample and hold schakeling.

6.1 Achtergrond-informatie

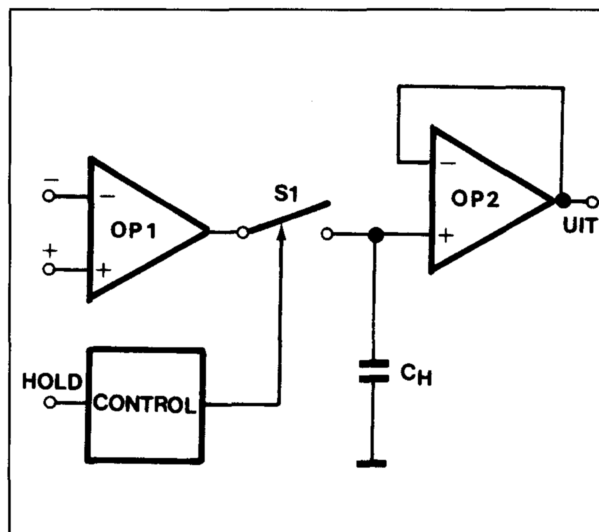
wordt namelijk in dit onderdeel opgeslagen en men zou deze condensator dan ook als 'analoog geheugen' kunnen beschouwen. De kwaliteit van een S&H-schakeling wordt in hoge mate bepaald door de eigenschappen van de hold-condensator!

Toepassingen
Sample and hold schakelingen worden voornamelijk gebruikt bij analoog naar digitaal omzetters. Een aantal ADC-basisschakelingen kan immers alleen goed werken als de analoge ingangsspanning die gedigitaliseerd moet worden tijdens de omzetting constant blijft. Er wordt dan een S&H ingeschakeld, die de waarde van de ingangsspanning tijdens de omzettingstijd 'bevriest' zodat de ADC deze constante spanning in een binaire code kan omzetten.
Daarnaast zijn er nog andere toepassingen denkbaar zoals:
- geheugens voor het vasthouden van piekwaarden van analoge spanningen;
- schakelingen waarmee men de offset van een operationele versterker automatisch kan compenseren, zogenaamde 'autozero'-schakelingen;
- demodulatoren voor dubbelzijband gemoduleerde signalen;
- correlators, die in staat zijn kleine signalen terug te winnen uit een veel groter ruissignaal;
- onderdrukkers van common-mode signalen die bijvoorbeeld in staat zijn een laagfrequent signaal te bevrijden van brom.

Een aantal van deze toepassingen wordt aan het einde van dit hoofdstuk toegelicht.

Werkingsprincipes
Geïntegreerde sample and hold schakelingen kunnen op diverse manieren zijn opgebouwd. In de volgende paragrafen worden de verschillende systemen in het kort besproken.

Figuur 12/6.1-2
De eenvoudigste schakeling is getekend in figuur 12/6.1-2 en bestaat uit een operationele versterker aan de ingang, die een zeer lage uitgangsimpedantie heeft. De uitgang is via een elektronische schakelaar S1 verbonden met een tweede operationele versterker die als buffer is geschakeld. Deze PO2 heeft dus een zeer hoge ingangsimpedantie. De hold-condensator C_H is verbonden tussen de ingang van de buffer en de massa. De elektronische schakelaar wordt gestuurd uit de HOLD CONTROL ingang van het IC.



Figuur 12/6.1-2: De eenvoudigste sample and hold schakeling.

Als de schakelaar gesloten is zal de condensator parallel worden geschakeld over de uitgang van de operationele ingangsversterker. Omdat deze een zeer lage uitgangsweerstand heeft en de waarde van de condensator laag is, zal deze capacitieve belasting de werking van de schakeling nauwelijks beïnvloeden. De spanning over de condensator is op ieder moment gelijk aan de momentele waarde van de ingangsspanning. De volledige schakeling werkt in feite als een gewone operationele versterker.

Als de schakelaar geopend wordt zal de momentele spanning over de condensator, gelijk aan de waarde van de ingangsspanning op dat moment, niet kunnen afvloeien. Zowel de geopende schakelaar als OP2 hebben

immers een zeer hoge weerstand. De spanning kan dus alleen afvloeien via zeer lage lekstromen, hetgeen tot gevolg heeft dat de spanning over de condensator tamelijk constant blijft. Op de uitgang van de S&H staat de spanning die op de ingang stond op het moment dat de hold-puls verscheen.

Na het wegvallen van de hold-puls zal de schakelaar weer sluiten, de condensator laadt zeer snel weer op tot de momentele waarde van de ingangsspanning en zal deze spanning getrouw volgen.

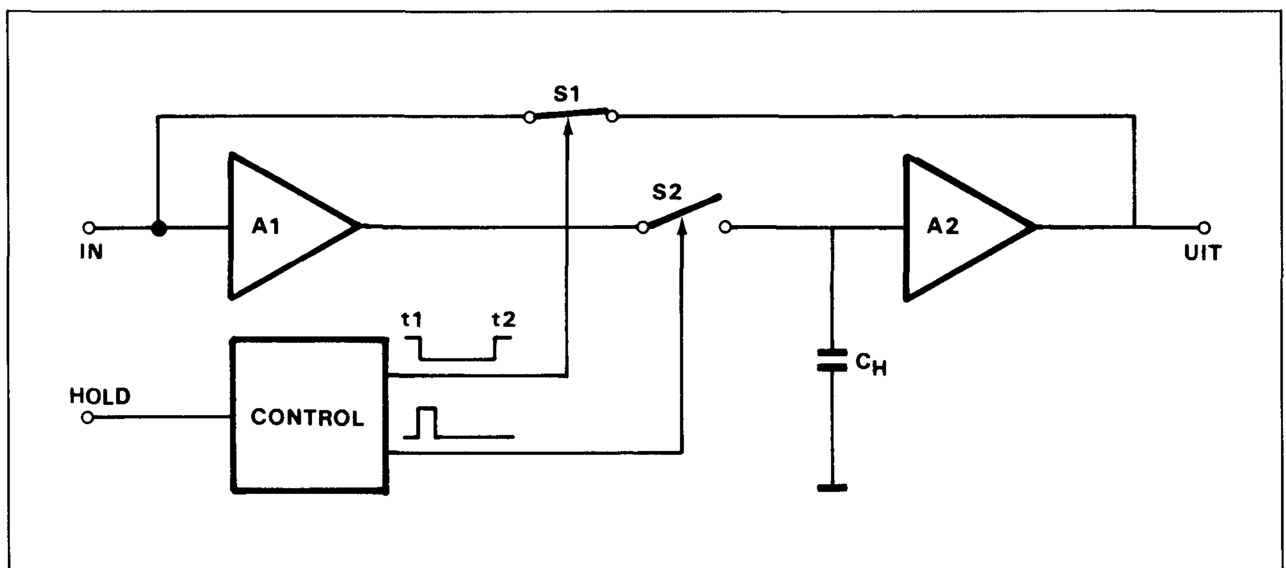
Figuur 12/6.1-3
De vorige schakeling heeft als bezwaar dat de condensator een capacitieve belasting vormt gedurende de sample-periode van de schakeling. Deze belasting vormt met de kleine uitgangsimpedantie van OP1 een laagdoorlaatfilter van de eerste orde, zodat de bandbreedte en de stijgtijd van de schakeling nadelig beïnvloed worden.

Dit bezwaar wordt opgelost bij schakelingen die werken volgens het principe van figuur 12/6.1-3. Er zijn nu twee elektronische schakelaars aanwezig, die via de controlschakeling gestuurd worden uit het hold-signaal.

In de sample-mode is schakelaar S1 gesloten en schakelaar S2 geopend. De ingang is rechstreeks doorverbonden met de uitgang, de schakeling werkt als ideale buffer.

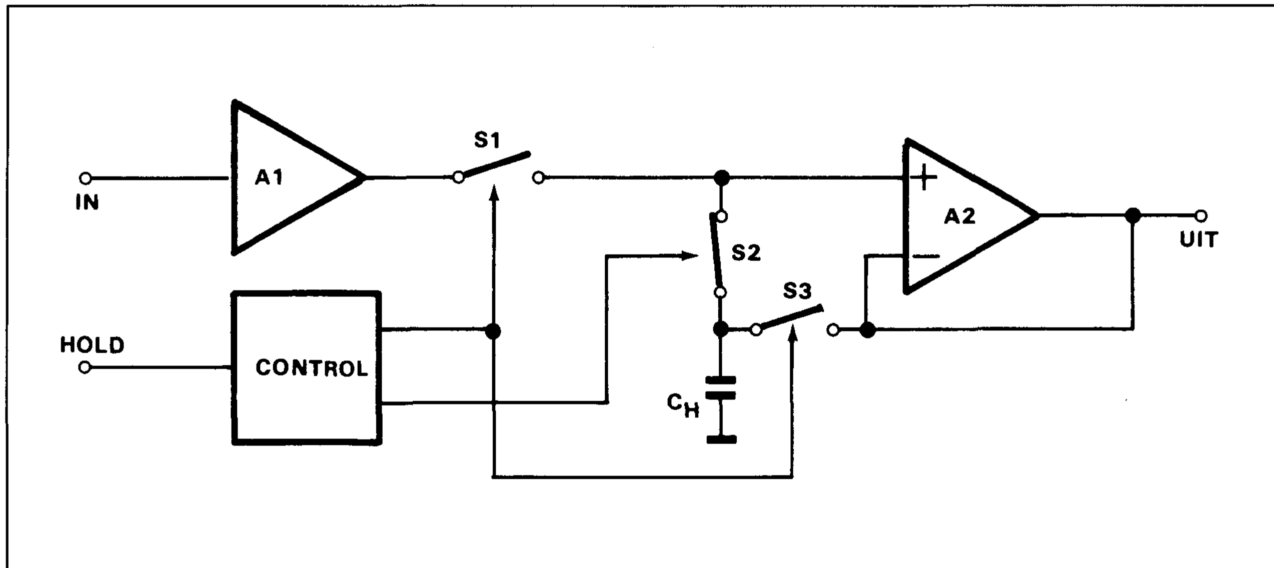
In de hold-mode wordt S1 geopend en S2 even gesloten. Door dit kortstondig sluiten van S2 zal de hold-condensator opladen tot de momentele waarde van de ingangsspanning. Nadat de schakelaar weer geopend wordt (beide schakelaars zijn dus open) is de condensator weer alleen aangesloten op de hoge uitgangsimpedanties van de schakelaar en de buffer. Deze schakeling heeft als groot voordeel dat de RC-tijdconstante van de Ru van de versterker en de C_H geen invloed heeft op de schakeling in de sample mode.

Figuur 12/6.1-4
Bij de besproken schakelingen wordt de condensator bij het aanleggen van de hold-puls plotseling met de ingangsspanning verbonden. Op dat moment kan er een groot span-



Figuur 12/6.1-3: Een S&H principe, waarbij twee schakelaars ervoor zorgen dat de holdcondensator alleen in de hold mode een rol speelt.

6.1 Achtergrond-informatie



Figuur 12/6.1-4: Door gebruik te maken van drie schakelaars kan men de hold-condensator ook in de sample mode late opladen tot de momentele waarde van de ingangsspanning.

ningsverschil bestaan tussen de spanning over de condensator en de momentele waarde van de ingangsspanning. Het duurt dus een bepaalde tijd alvorens de condensator tot de nieuwe spanning is opgeladen. Dit vertraagt de werking van de schakeling en bovendien is deze vertragingstijd niet constant, maar afhankelijk van het toevallige spanningsverschil tussen condensator en ingang.

Bij de schakeling van figuur 12/6.1-4 zijn drie schakelaars aanwezig, waarbij S1 and S3 door hetzelfde signaal bestuurd wordt en S2 in tegenfase gestuurd wordt.

In de sample mode zijn S1 en S3 gesloten en is S2 open. De uitgang van A1 gaat rechtstreeks naar de ingang van A2, de holdcondensator is verbonden met de uitgang van A2. Deze operationele versterker heeft een zeer lage uitgangsimpedantie, zodat de schakeling niet veel moeite heeft om de condensator op te laden tot de momentele waarde van de ingangsspanning. Weliswaar bestaat er nu ook een RC-filtertje, maar door de zeer lage waarde van de Ru van de op-amp en de lage waarde van de condensator heeft dit laagdoorlaatfilter geen effect in het frequentiebereik van de schakeling.

Bij het omschakelen naar hold mode gaan S1 en S3 open en sluit S2. De condensator wordt nu op de gebruikelijke manier verbonden met het knooppunt tussen ingangs- en uitgangsversterker. De lading van de condensator kan ook nu niet afvloeien, zodat de momentele waarde van de ingangsspanning opgeslagen blijft.

Het grote voordeel van dit systeem is dat de spanning over de condensator ook in de sample mode de variaties van de ingangsspanning volgt. Er bestaat dus slechts een zeer klein spanningsverschil tussen de waarde van de ingangsspanning en de spanning over de condensator op het moment dat wordt omgeschakeld naar hold mode. De condensator past zich zeer snel aan aan de momentele waarde van de ingangsspanning. Dit soort schakelingen werkt dus erg snel.

Figuur 12/6.1-5
Bij alle besproken systemen wordt de condensator opgeladen via de lage uitgangs-

6.1 Achtergrond-informatie

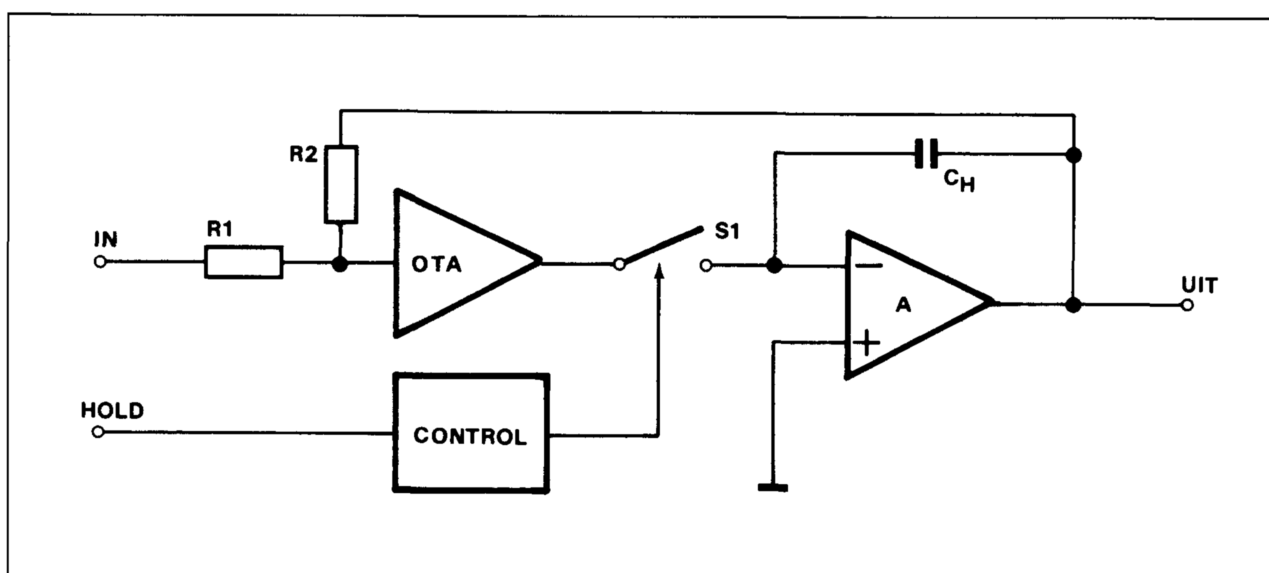
weerstand van de eerste versterker. Zoals men weet laadt een condensator volgens een asymptotische curve op. De spanning stijgt eerst snel, naarmate de condensatorspanning gelijk wordt aan de ingangsspanning neemt de spanning over de condensator minder snel toe. Eerst na ongeveer 10 maal de tijdconstante van de laadkring kan men stellen dat de spanning over de condensator met acceptabele nauwkeurigheid gelijk is aan de ingangsspanning. Dergelijke systemen werken dus vrij traag, als men prijs stelt op een grote nauwkeurigheid.

In figuur 12/6.1-5 is een geheel andere benadering getekend. De ingangsversterker is nu geen gewone operationele versterker, maar een OTA. Zoals men weet is een OTA in wezen een spanning naar stroom omzetter. Het spanningsverschil tussen beide ingangen wordt omgezet in een uitgangsstroom, waarbij er een evenredig verband bestaat tussen de waarde van deze stroom en het spanningsverschil aan de ingang. Ook de tweede trap is anders. De hold-condensator is geschakeld in de terugkoppeling van een operationele versterker. De positieve ingang ligt aan de massa, zodat de schakeling als integrator werkt. Deze integrator zet de uitgangsstroom van de OTA weer om in een spanning op de uitgang van A.

Bij gesloten schakelaar (sample mode) werkt de schakeling als spanning naar stroom naar spanning omzetter. De onderdelen zijn zo gedimensioneerd dat de totale spanningsversterking gelijk is aan een. De schakeling werkt als spanningsvolger.

Wordt de schakelaar geopend (hold mode), dan wordt de laadstroom van de condensator onderbroken. De condensator wordt dus niet meer geladen of ontladen, zodat de spanning over het onderdeel gelijk blijft aan de waarde van de ingangsspanning. Omdat bovendien de negatieve ingang van A op massa ligt (deze ingang streeft immers naar dezelfde spanning als de positieve ingang) zal er op de uitgang van de schakeling een spanning staan die precies gelijk is aan de waarde van de ingangsspanning.

Deze schakeling heeft als voordeel dat de condensator geladen wordt met een con-



Figuur 12/6.1-5: De hold-condensator wordt lineair opgeladen bij systemen die gebruik maken van een OTA of een spanning naar stroom omzetter in de ingang.

stante stroom (in de veronderstelling dat de ingangsspanning gedurende het laden constant blijft) en dat de condensator sneller tot de waarde van de ingangsspanning is opgeladen dan bij de vorige systemen waar met exponentiële lading werd gewerkt. Deze schakelingen werken dus sneller.

Belangrijke parameters van de S&H

Zoals iedere elektronische schakeling heeft ook de sample and hold zijn beperkingen en zwakke punten. Deze worden gedefinieerd door een aantal grootheden, die aan de hand van figuur 12/6.1-6 in de volgende paragraafjes worden besproken.
In de bovenste grafiek is de ingangsspanning getekend. De middelste geeft de stuurspanning op de HOLD CONTROL, de onderste geeft een idee van het praktische verloop van de uitgangsspanning.

De -3 dB bandbreedte

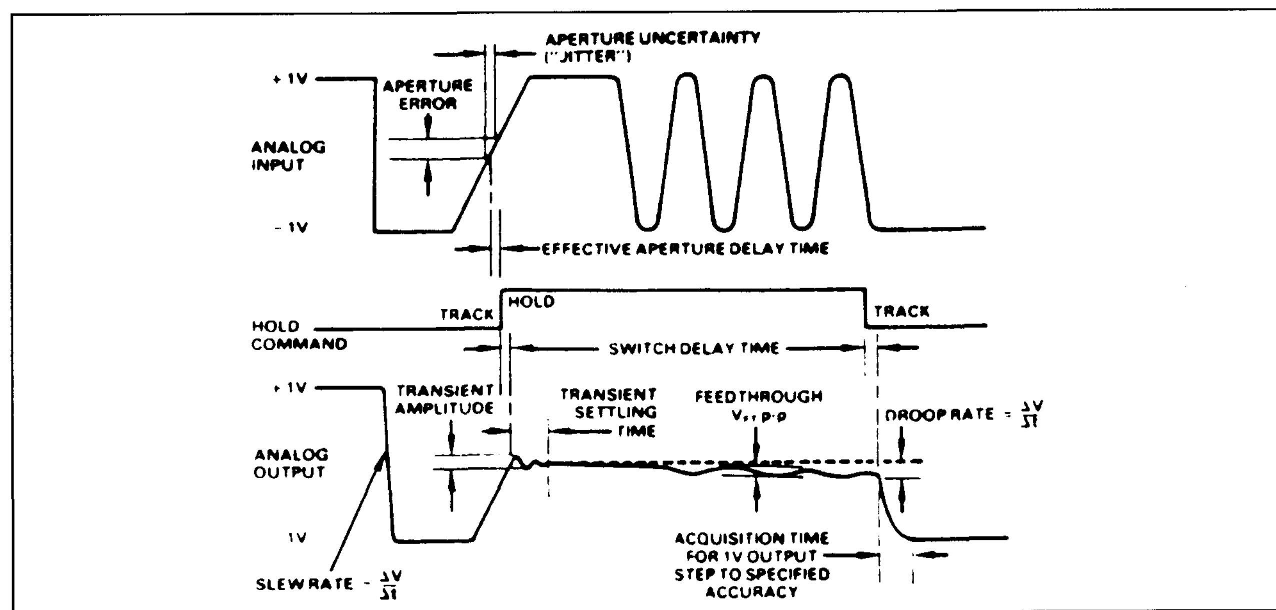
Deze parameter hangt voornamelijk af van de eigenschappen van de gebruikte operationele versterkers en wordt op dezelfde manier gedefinieerd. De bandbreedte geeft de frequentie waarbij de effectieve waarde van de uitgangsspanning met -3 dB gedaald is ten opzichte van de effectieve waarde van de ingangsspanning.

De slew rate

Een S&H bevat meestal twee operationele versterkers. Deze schakelingen hebben geen oneindig grote bandbreedte, zodat snelle pulsen aan de ingang iets vertraagd en afgevlakt op de uitgang verschijnen. Omdat dit een parameter is die voornamelijk door de eigenschappen van de operationele versterkers wordt bepaald noemt men deze parameter ook de slew rate. Deze eenheid wordt uigedrukt in V/µs en deze geeft aan hoe snel de spanning op de uitgang per microsecond kan stijgen of dalen. Merk op dat bij de meeste systemen de slew rate ook bepaald wordt door de RC-tijd van de holdcondensator.

De aperture tijd

In principe zou de schakeling van de sample naar hold mode moeten omschakelen bij het verschijnen van de voorflank van de holdpuls. Nu hebben alle elektronische schakelingen een bepaalde vertraging en dus zal er



Figuur 12/6.1-6: Aan de hand van deze grafieken kunnen alle bepalende paramters van een sample and hold schakeling worden besproken.

een bepaalde tijd verstrijken alvorens de elektronische schakelaars in de S&H zijn omgeschakeld van sample naar hold mode. Deze tijd noemt men de aperture tijd, samengesteld uit de vertraging van de digitale besturingsschakeling voor de schakelaars en de vertraging van de schakelaars zelf. De aperture tijd is vrij kort, ligt in het ns bereik, maar is toch van belang als men bijvoorbeeld een sample and hold wil gebruiken voor het vaststellen van de piekwaarde van een zeer snel signaal.

De aperture jitter
Het blijkt dat de aperture tijd niet constant is, maar afhankelijk van een aantal factoren die ingewikkelde fysische processen in de chip tot gevolg hebben. Deze spreiding op de aperture tijd noemt men de aperture jitter. Deze jitter introduceert een bepaalde aperture error, een niet constante afwijking tussen de spanning op de ingang en deze op de uitgang bij het van sample naar hold omschakelen.

De transiënt tijd en amplitude
Tijdens het omschakelen van sample naar hold gebeuren er in de chip ingewikkelde fysische processen die tot gevolg hebben dat een deel van de hold-puls doordringt tot de hold-condensator. Bovendien stelt men vast dat er kleine uitdovende oscillaties op de condensatorspanning optreden. De maximale amplitude van deze oscillaties noemt men de transiënt amplitude, de tijdsduur van deze oscillaties de transiënt tijd.

De feedthrough
In de hold mode zou de condensatorspanning constant moeten blijven en niet beïnvloed mogen worden door het verdere verloop van de ingangsspanning. Nu zijn elektronische schakelaars geen ideale schakelaars. Zij hebben een hoge maar meetbare weerstand in geopende toestand en bovendien staat er een kleine capaciteit over de schakelaar. Beide grootheden hebben tot gevolg dat er toch een gedeelte van het ingangssignaal doordringt tot de condensator. De constante spanning over de condensator wordt als het ware gemoduleerd met een deel van het ingangssignaal gedurende de hold mode. Dit verschijnsel noemt men de feedthrough en de waarde van deze spanning V_{FT} wordt uitgedrukt in dB volgens de formule

$$\text{feedthrough} = 20 \cdot \log\left(\frac{V_{FT}}{V_{IN}}\right)$$

waarbij voor beide spanningen de top-tot-top waarde wordt ingevuld.

De droop rate
In het ideale geval zou de spanning op de uitgang van de S&H in de hold mode constant moeten blijven. Dat is natuurlijk niet zo, de spanning over de hold-condensator zal langzaam maar zeker weglekken via de isolatieweerstand van de elektronische schakelaars, de ingangsweerstand van de uitgangsbuffer en via zijn eigen lekweerstand. De snelheid waarmee de condensatorspanning daalt noemt men de droop rate en deze grootheid wordt uitgedrukt in een aantal μV/μs of voor trage S&H's in een aantal mV/ms. De droop rate wordt in niet belangrijke mate bepaald door de eigenschappen van de gebruikte hold-condensator en van de manier waarop men de print rond de sample and hold heeft ontworpen.

Het zal duidelijk zijn dat men de droop rate kan verkleinen door de waarde van de hold-condensator te vergroten. Maar dit heeft weer zeer ongewenste effecten op de snelheid van de schakeling!

Acquisitie tijd
De acquisitie tijd is de belangrijkste eigenschap van een sample and hold. Deze grootheid definieert de tijd die noodzakelijk is om de condensator na het wegvallen van de hold-puls tot de nieuwe waarde van de ingangsspanning te laden of te ontladen.
Het zal duidelijk zijn dat de waarde van deze grootheid afhankelijk is van de waarde van de hold-condensator, van het spanningsver-

6.1 Achtergrond-informatie

schil dat overbrugd moet worden en van de uitgangsweerstand van de ingangsbuffer. Om nu toch een eenduidige definitie te kunnen opstellen wordt de acquisitie tijd gedefinieerd als de tijd die nodig is om de door de fabrikant opgegeven waarde van de hold-condensator een ingangsvariatie over 10 V te laten volgen tot een bepaalde nauwkeurigheid bereikt is.

De acquisitie tijd bepaalt de snelheid van de schakeling. Het zal duidelijk zijn dat de snelheid waarmee men een analoog naar digitaal omzetter kan laten bemonsteren in hoge mate bepaald wordt door de acquisitie tijd. Hoe sneller de condensator geladen of ontladen is tot de nieuwe waarde van de ingangsspanning na een hold, hoe sneller men een nieuwe hold-periode kan inlassen.

De nauwkeurigheid

Het definiëren van de acquisitie tijd heeft geen zin als men er niet bij vermeldt tot hoe nauwkeurig de condensatorspanning de waarde van de ingangsspanning na het verstrijken van de opgegeven acquisitie tijd heeft benaderd. Deze nauwkeurigheid wordt opgegeven in procent en ligt in het gebied tussen de 0,1 en de 0,003 %.

Kenmerkende parameters

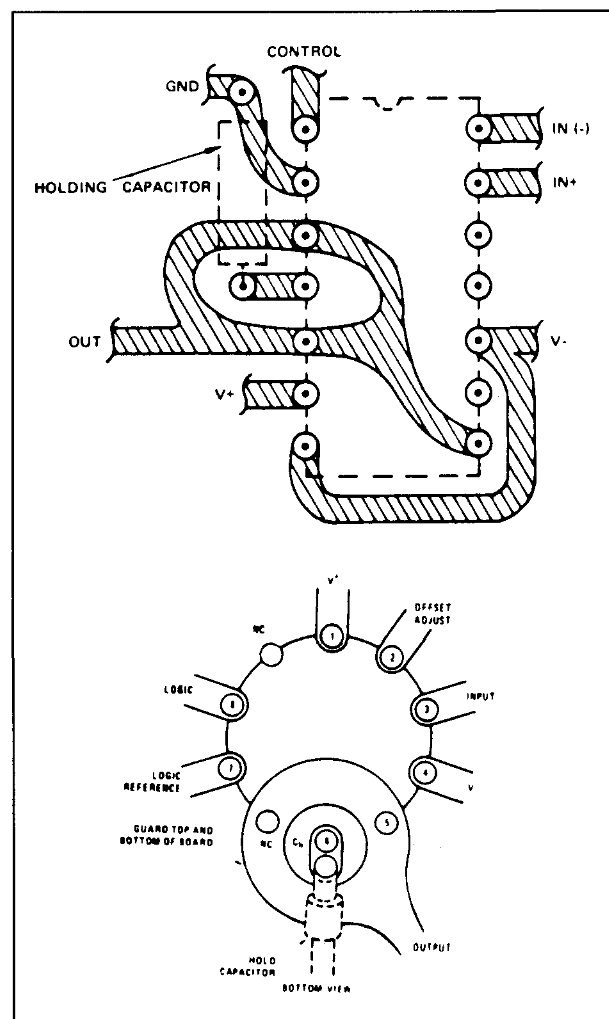
In de inhoudsopgave van dit hoofdstuk zijn alls S&H schakelingen gespecificeerd door de drie parameters die in de dagelijkse praktijk het belangrijkst zijn, namelijk de acquisitie tijd, de nauwkeurigheid en de bandbreedte.

Praktische overwegingen

Bij het toepassen van sample and hold IC's in schakelingen kan men de specificaties van de schakeling op twee manieren optimaliseren, namelijk door een doordacht printontwerp en door een juiste keuze van de hold-condensator.

Het printontwerp

Alle S&H schakelingen die gebruik maken van een externe hold-condensator voeren de aansluiting voor deze condensator uit op een pen die volledig gescheiden is van de rest van de schakeling. Vaak zijn de twee pennen naast de condensator-pen 'N.C.', dus intern nergens mee verbonden. Op deze manier is het mogelijk een print-guarding toe te passen. Wat dat praktisch betekent is geschetst in figuur 12/6.1-7, waar een printontwerp is getekend voor een DIL-behuizing en voor een TO-behuizing. Rond de aansluiting voor de hold-condensator wordt een 'koperen eilandje' gevormd, dat verbonden wordt met de uitgang van de schakeling. Op deze manier bestaat er geen spanningsverschil tus-



Figuur 12/6.1-7: Het aanbrengen van guarding rond de aansluiting van de hold-condensator op de print.

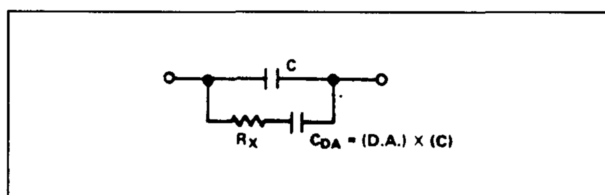
sen de koperbaan waarmee de condensator met de IC-pen wordt verbonden en de dichtstbijzijnde koperbanen. De isolatieweerstand van het epoxy en eventuele verontreinigingen van het printoppervlak hebben dan geen invloed op de droop rate van de condensator. Zelfs als er een geleidende laag verontreiniging op de print zou ontstaan, dan zal er geen stroom kunnen wegvloeien uit de condensator, omdat er tussen de sporen geen spanningsverschil aanwezig is.

De hold-condensator

Wat betreft de hold-condensator bestaan er drie soorten sample and hold IC's:

- schakelingen, meestal hybrides, waarbij deze condensator intern aanwezig is;
- schakelingen met een interne condensator, waarbij men echter de waarde van dit onderdeel kan verhogen door extern een condensator parallel te schakelen;
- schakelingen waarbij de hold-condensator extern moet worden aangebracht.

Externe condensatoren moeten een lage diëlectrische absorptie hebben. Deze parameter bepaalt de hoeveelheid lading die door het diëlectricum tussen beide platen wordt geabsorbeerd en die niet beschikbaar is voor het opladen van de condensator. Een condensator kan men voorstellen door het vervangingsschema van figuur 12/6.1-8. R_X stelt de isolatieweerstand voor, C_{DA} de absorptie-condensator. Omdat R_X zeer groot is zal C_{DA} zeer traag op- en ontladen. Bij snelle sample and hold schakelingen, waarbij de hold-condensator vaak en kortstondig wordt geladen of ontladen, zal er naijl-effect optreden door de lading die in het diëlectricum gaat zitten. Deze lading veroorzaakt een afwijking tussen de ingangsspanning en de condensatorspanning, die de sample-tot-hold offset wordt genoemd. Om deze offset te reduceren moet men voor de hold-condensator gebruik maken van polystyreen, polypropyleen of Teflon exemplaren.



Figuur 12/6.1-8: Equivalent schema van een condensator.

Toepassings-voorbeelden

Zoals reeds gezegd worden sample and hold schakelingen voornamelijk gebruikt in analoog naar digitaal omzetters. In de volgende paragrafen worden deze en enige andere toepassingen in het kort besproken.

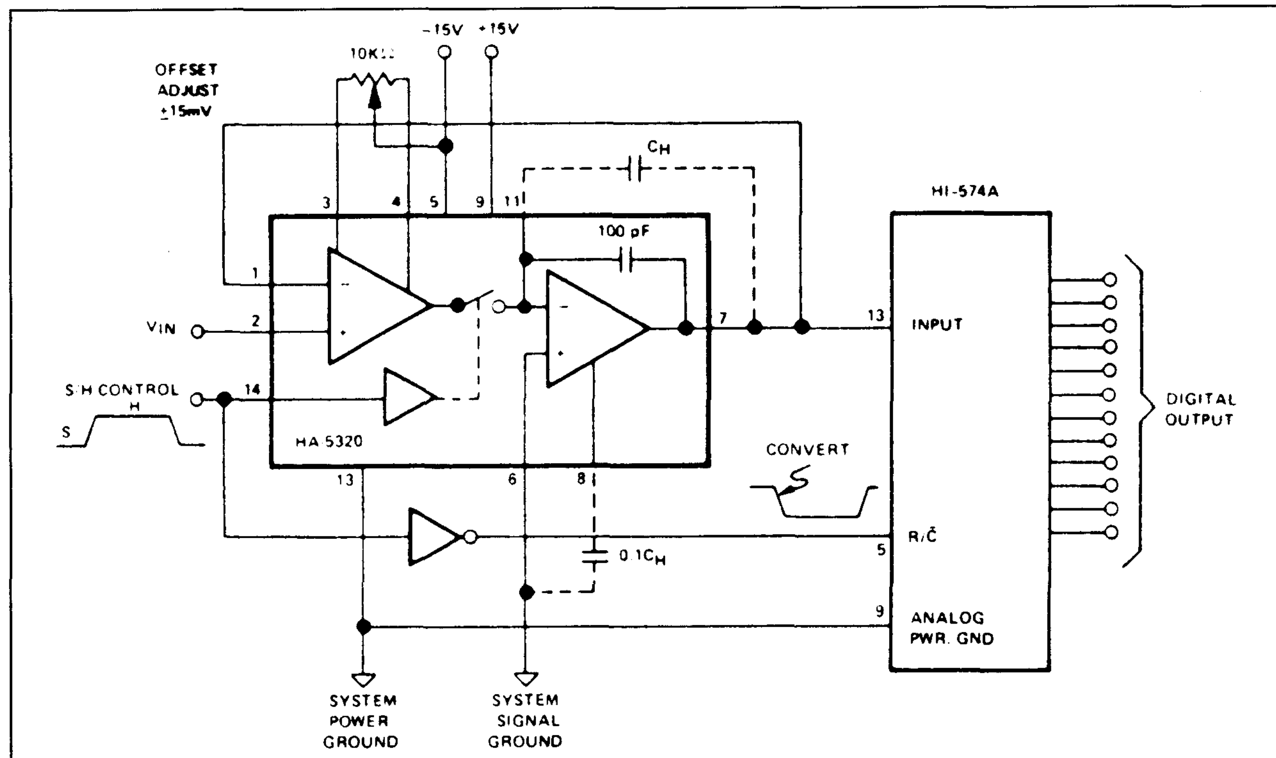
Analoog naar digitaal omzetters

In een dergelijke schakeling heeft de S&H tot taak de spanning die op de ingang van de ADC wordt aangelegd constant te houden gedurende de omzetting in een binaire code. In figuur 12/6.1-9 wordt een praktische schakeling voorgesteld, opgebouwd uit een integrerende S&H en een 12-bit brede ADC. De S&H staat tussen de signaalingang en de ingang van de ADC. Beide schakelingen worden gestuurd uit een en dezelfde puls, waarbij het voor deze schakeling blijkbaar noodzakelijk is de besturingspuls te inverteren voor het starten van een omzetting. De breedte van de hold-puls moet minstens gelijk zijn aan de omzettingstijd van de ADC.

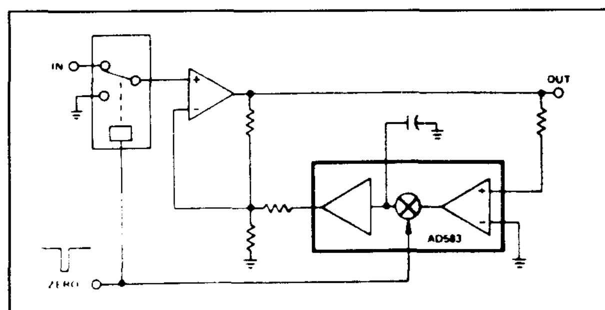
Automatische offsetcompensatie

Een belangrijk toepassingsgebied van S&H-schakelingen is het automatisch compenseren van de offset van operationele versterkers. In de meeste gevallen kan men uiteraard de offset van een op-amp compenseren met een potentiometer. Dit is echter een eenmalige instelling die geen rekening houdt met offsetverloop onder invloed van de temperatuur. Met het schema van figuur 12/6.1-10 is men ervan verzekerd dat iedere variatie in de offset automatisch wordt gecompenseerd. De ingang van de op-amp wordt periodiek naar de massa geschakeld. Op dat moment zal de uitgangsspanning van

6.1 Achtergrond-informatie



Figuur 12/6.1-9: Een sample and hold gebruikt als kortstondig analoog geheugen voor het constant houden van de ingangsspanning van een analoog naar digitaal omzetter gedurende de omzettings-fase.



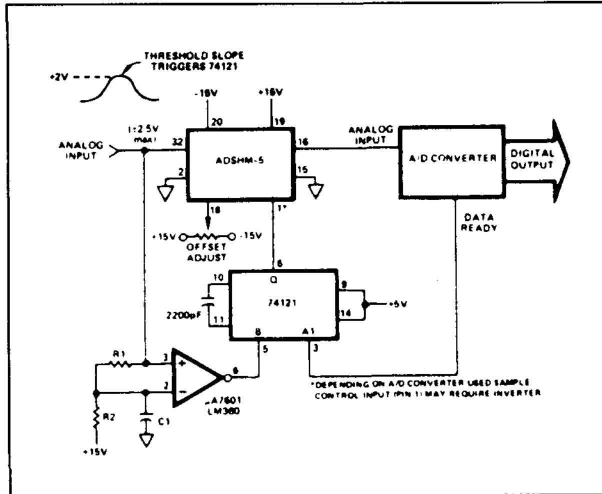
Figuur 12/6.1-10: 'Auto-zero' van de offset van een operationele versterker.

de op-amp alleen bepaald worden door de waarde van de ingangs-offset. Deze spanning wordt opgeslagen in de hold-condensator van de S&H en teruggekoppeld naar de inverterende ingang van de als verschilversterker geschakelde op-amp. Het gevolg is dat bij een volgende actieve fase van de schakeling de offset-effecten worden afgetrokken van het ingangssignaal en de uitgang volledig offset-vrij is.

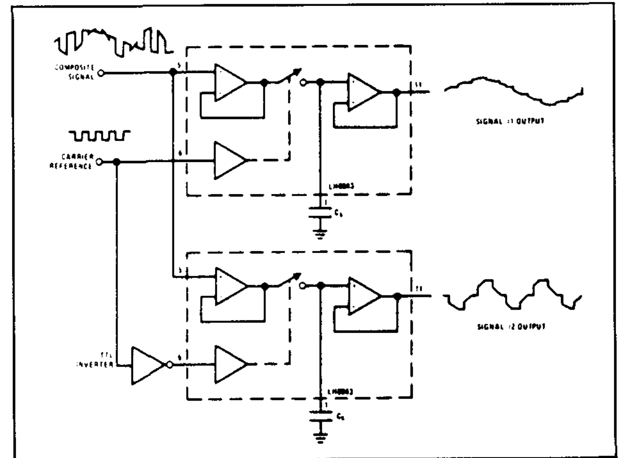
Piek-detectie

In figuur 12/6.1-11 is een schakeling getekend, waarmee men de maximale positieve piekwaarde van een ingangssignaal kan detecteren. De ingangsspanning gaat naar een S&H en naar een op-amp schakeling. De niet inverterende ingang is rechtstreeks verbonden met de ingangsspanning, de inverterende ingang via een RC-netwerkje R1/R2/C1. Als de ingangsspanning stijgt, dan zal de spanning op de inverterende ingang minder snel stijgen dan de spanning op de niet inverterende ingang. De ladende condensator zorgt immers voor een vertraging. Het gevolg is dat de uitgang van de op-amp positief is. Als de spanning weer gaat dalen zal de niet inverterende ingang deze daling onmiddellijk volgen zodat de spanning op de inverterende ingang groter wordt. De uitgang van de op-amp wordt negatief. Deze dalende flank triggert een monostabiele multivibrator, die de hold-puls voor de S&H genereert.

6.1 Achtergrond-informatie



Figuur 12/6.1-11: Het detecteren en opslaan van de positieve piekwaarde van een analoog signaal.



Figuur 12/6.1-12: Het demoduleren van een dubbelzijband gemoduleerd signaal.

De positieve topwaarde van het ingangssignaal wordt opgeborgen in de hold-condensator en kan eventueel via een ADC verwerkt worden.

Demodulator voor dubbelzijband gemoduleerde signalen

Bij dubbelzijband gemoduleerde signalen worden twee laagfrequent signalen op één drager gemoduleerd. De draaggolf schakelt snel en periodiek om tussen de momentele waarde van het ene en de momentele waarde van het andere signaal.
Door middel van twee S&H schakelingen kan men beide LF-signalen zeer eenvoudig terug winnen. Het basis-schema is getekend in figuur 12/6.1-12. Wat wel noodzakelijk is, is dat men een klok-signaal ter beschikking heeft dat in fase loopt met het signaal waarmee men beide LF-signalen op de drager heeft gezet. Deze klok stuurt beide S&H's in tegenfase. Als de ene in sample mode staat, zit de tweede in hold mode en vice versa. De hold-condensatoren worden dus opgeladen tot de topwaarde van of het ene of het andere LF-signaal. Door beide S&H-uitgangen te filteren ontstaan de twee laagfrequent signalen.
Met dit systeem is het bijvoorbeeld zeer eenvoudig mogelijk een infrarode besturing te ontwerpen voor een stereofonische hoofdtelefoon waarbij geen spoelen of condensatoren worden gebruikt en de schakeling zonder afregeling onmiddellijk werkt.

6.1 Achtergrond-informatie

12/6.2

Type-beschrijving

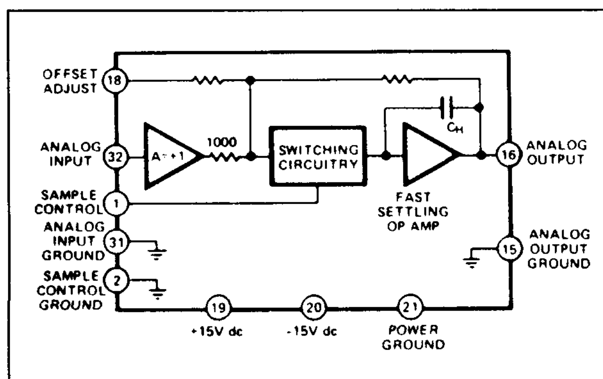
ADSHM-5

350 ns, 0,01 %, 5 MHz

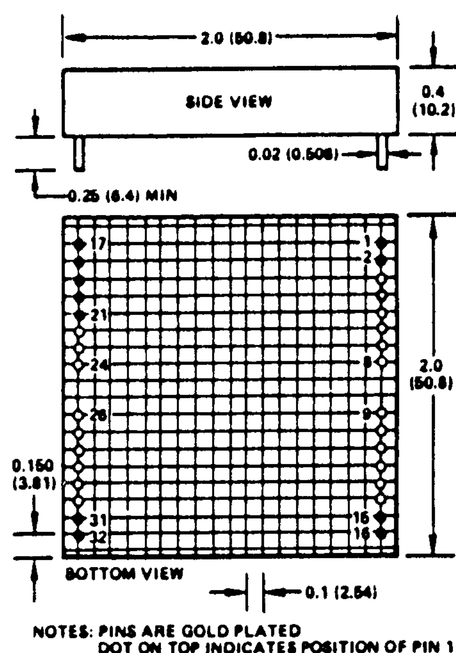
Hybride schakeling van Analog Devices met ingebouwde hold-condensator en zeer kleine acquisitie-tijd. Ontworpen voor gebruik in combinatie met 10- en 12-bit brede analoog naar digitaal converters, bijvoorbeeld voor het ontwerpen van zeer snelle real-time video-digitisers.

Technische gegevens

- fabrikant: Analog Devices
- behuizing en aansluitgegevens: speciaal, zie figuur 12/6.2-1
- intern blokschema: figuur 12/6.2-2
- voedingsspanning: +/ – 15 V
- eigen stroomverbruik: 75 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/ – 15 V max.
  - biasstroom: 250 nA max.



Figuur 12/6.2-2: Intern blokschema van de ADSHM-5.



PIN	FUNCTION
1	SAMPLE CONTROL
2	SAMPLE CONTROL GND
15	ANALOG OUTPUT GND
16	ANALOG OUTPUT
17	NC
18	OFFSET ADJUST
19	+15V POWER
20	-15V POWER
21	POWER GROUND
31	ANALOG INPUT GND
32	ANALOG INPUT

Figuur 12/6.2-1: Behuizing en aansluitgegevens van de ADSHM-5.

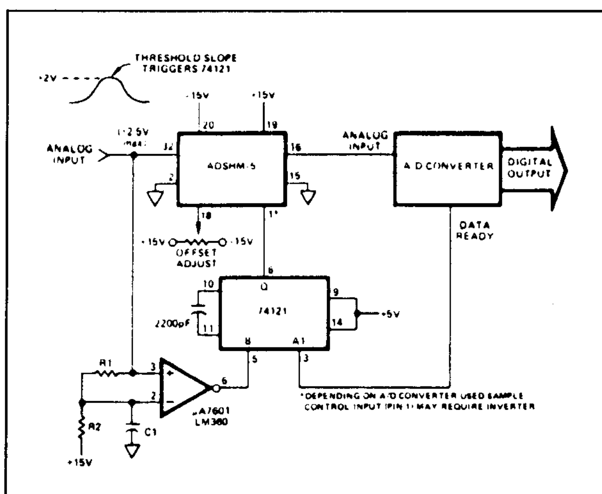
6.2 Type-beschrijving

- impedantie: 100 MΩ
- offsetcompensatie: +/ – 300 mV max.
- uitgangskarakteristieken:
  - uitgangsspanning: +/ – 10 V max.
  - uitgangsstroom: +/ – 40 mA max.
  - uitgangsimpedantie: 0,1 Ω max.
  - ruisspanning: 100 μV max.
- sample-hold controle:
  - sample-mode: TTL 'H'-niveau
  - hold-mode: TTL 'L'-niveau
  - besturingsstroom: 1 mA
- dynamische karakteristieken:
  - acquisitie-tijd: 350 ns max.
  - 3 dB bandbreedte: 5 MHz typisch
  - slew rate: 25 V/μs typisch
  - aperture tijd: 20 ns typisch
  - hold droop: 20 μV/μs max.
  - feedthrough: 70 dB
- statische karakteristieken:
  - versterking: – 1,000 +/ – 0,1 %
  - niet-lineariteit: +/ – 0,005 max.
  - offsetspanning: +/ – 50 mV max.

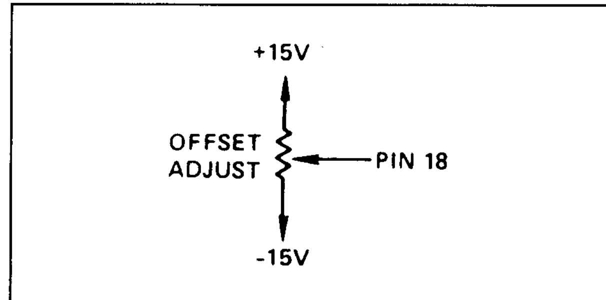
Voorbeeld-schakelingen

- figuur 12/6.2-3:

Piek-detector die de positieve helling van het ingangssignaal detecteert en de maximale positieve piekwaarde automatisch sample'd en het resultaat digitaliseert.



Figuur 12/6.2-3: Piek-detector waarbij de positieve piekwaarde van de ingangsspanning in de hold-condensator wordt opgeslagen.



Figuur 12/6.2-4: Het aansluiten van een externe offset-potentiometer op de ADSHM-5.

- figuur 12/6.2-4:

Externe schakeling voor het compenseren van de offset. Hierbij moet worden opgemerkt dat het mogelijk is de offset te compenseren voor de hold- of voor de sample-mode, maar dat het niet mogelijk is een maximale compensatie voor beide modes te verkrijgen.

ADSHM-5K

250 ns, 0,01 %, 12 MHz

Verbeterde uitvoering van de ADSHM-5, met niet alleen een veel grotere bandbreedte en een kortere acquisitie-tijd, maar ook op vele andere punten verbeterde specificaties.

Technische gegevens

- fabrikant: Analog Devices
- behuizing en aansluitgegevens: speciaal, zie figuur 12/6.2-1
- intern blokschema: figuur 12/6.2-2
- ingangskarakteristieken:
  - biasstroom: 2 nA max.
  - impedantie: 10^{10} Ω
- uitgangskarakteristieken:
  - uitgangsstroom: +/ – 50 mA max.
- dynamische karakteristieken:
  - acquisitie-tijd: 250 ns max.
  - 3 dB bandbreedte: 12 MHz typisch
  - slew rate: 300 V/μs typisch
  - aperture tijd: 20 ns typisch
  - hold droop: 12 μV/μs max.
  - feedthrough: 70 dB

6.2 Type-beschrijving

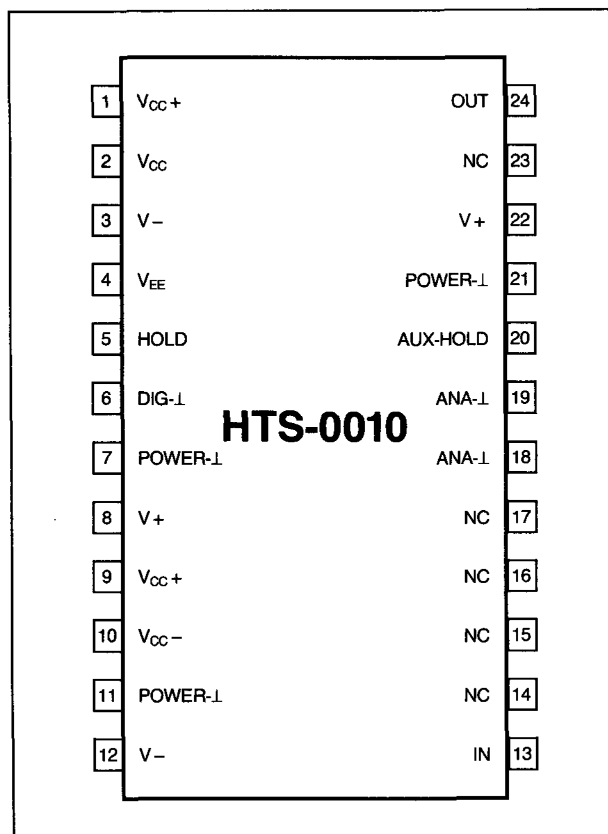
Voor de overige gegevens en de voorbeeldschakelingen wordt verwezen naar de bespreking van de basis-schakeling.

HTS-0010

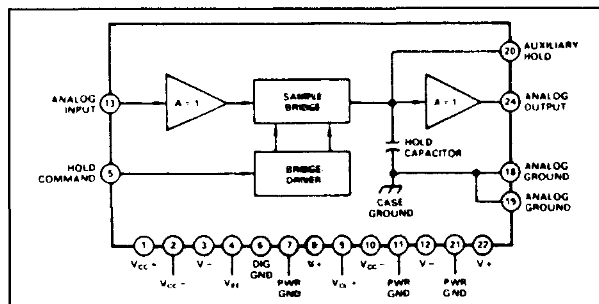
10 ns, 0,01 %, 60 MHz

Zeer snelle schakeling met een acquitisit-tijd van slechts 10 ns en een 3 dB bandbreedte van niet minder dan 60 MHz. De holdcondensator is intern aanwezig. Pen-compatible met de HTS-0025. De besturingsingang is ECL-compatible, vandaar dat het noodzakelijk is het IC ook te voeden uit een standaard −5,2 V voedingsspanning die bij ECL-schakelingen gebruikelijk is.

Technische gegevens
- fabrikant: Analog Devices
- behuizing: DIL-24
- aansluitgegevens: figuur 12/6.2-5



Figuur 12/6.2-5: Aansluitgegevens van de HTS-0010.



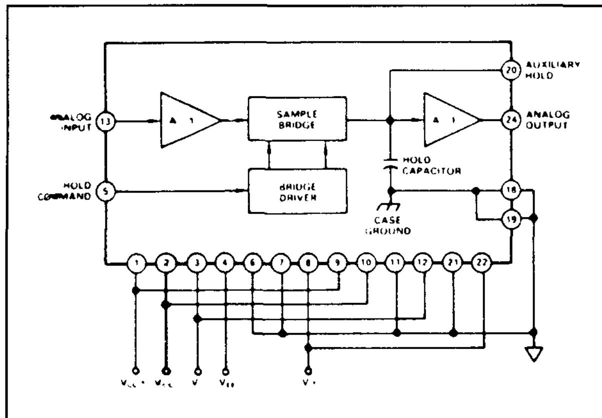
Figuur 12/6.2-6: Intern blokschema van de HTS-0010.

- intern blokschema: figuur 12/6.2-6
- voedingsspanning: +15 V, −15 V, +5 V, −5 V, −5.2 V
- eigen stroomverbruik: +38, −48, +20, −20, −50 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/− 3 V max.
  - biasstroom: 20 μA max.
  - impedantie: 100 kΩ
  - capaciteit: 7 pF max.
- uitgangskarakteristieken:
  - uitgangsspanning: +/− 3 V max.
  - uitgangsstroom: +/− 40 mA max.
  - uitgangsimpedantie: 9 Ω max.
  - ruisspanning: 20 μV max.
- sample-hold controle:
  - track-mode: −1,5 V (ECL 'L')
  - hold-mode: −0.8 V (ECL 'H')
- dynamische karakteristieken:
  - acquisitie-tijd: 10 ns max.
  - 3 dB bandbreedte: 60 MHz typisch
  - slew rate: 300 V/μs typisch
  - aperture tijd: 2 ns typisch
  - hold droop: 0,1 μV/μs max.
  - feedthrough: 62 dB
- statische karakteristieken:
  - versterking: 0,96 +/−0,1 %
  - niet-lineariteit: +/−0,01 max.
  - offsetspanning: +/− 2 mV max.

Voorbeeld-schakeling
- figuur 12/6.2-7:

Standaard-schema voor het verbinden van de HTS-0010 met de vijf noodzakelijke voedingsspanningen, waarbij:

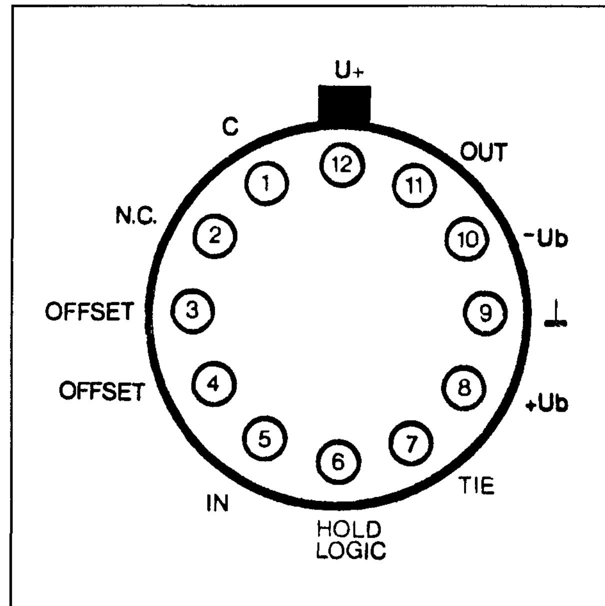
6.2 Type-beschrijving



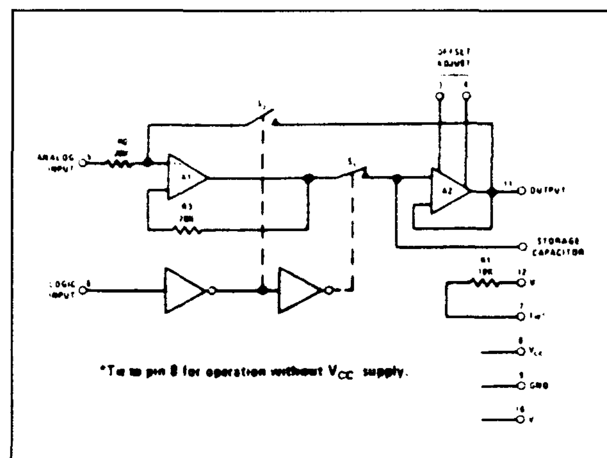
Figuur 12/6.2-7: Het aansluiten van de voedings- en massalijnen op de HTS-0010.

- Vcc+ = +5 V;
- Vcc− = −5 V;
- V+ = +15 V;
- V− = −15 V;
- VEE = −5.2 V.

Alle voedingslijnen moeten zo dicht mogelijk bij de IC-pennen ontkoppeld worden naar de massa door middel van ceramische condensatoren van 0,1 μF.



Figuur 12/6.2-8: Aansluitgegevens van de LH 0023.



Figuur 12/6.2-9: Intern blokschema van de LH 0023.

LH 0023

100 μs, 0,01 %

Eenvoudige, niet al te snelle sample and hold met TTL-compatible besturing, twee elektronische schakelaars die ofwel de ingang rechtstreeks met de uitgang ofwel de ingang met de sample-capaciteit verbinden. De capaciteit moet extern worden aangesloten.

Technische gegevens

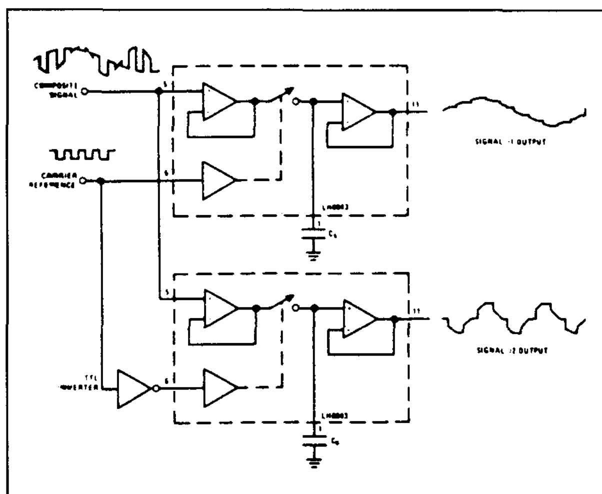
- fabrikant: National Semiconductor
- behuizing: TO-8
- aansluitgegevens: figuur 12/6.2-8
- intern blokschema: figuur 12/6.2-9
- voedingsspanning: +/−20 V max.
  +7,5 V max.
- eigen stroomverbruik: +6, −6, +1,6 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/−15 V max.
  - biasstroom: 1,0 μA max.
  - impedantie: 1 MΩ
  - capaciteit: 3,0 pF max.
- uitgangskarakteristieken:
  - uitgangsspanning: +/−11 V max.
- sample-hold controle:
  - sample-mode: TTL 'H'-niveau
  - hold-mode: TTL 'L'-niveau
  - besturingsstroom: 0,5 mA
- dynamische karakteristieken:
  - acquisitie-tijd: 100 μs max.

6.2 Type-beschrijving

- slew rate: 3,0 V/μs typisch
- aperture tijd: 150 ns typisch
- hold droop: 0,5 mV/ms max. (C = 10 NF)
- statische karakteristieken:
  - versterking: 1
  - niet-lineariteit: +/ – 0,1 max.
  - offsetspanning: +/ – 20 mV max.

Voorbeeld-schakeling
- figuur 12/6.2-10:

Schema van een dubbele zijband demodulator, waarbij twee LH 0023 schakelingen worden gebruikt voor het terugwinnen van de twee laagfrequente signalen in het composite ingangssignaal.

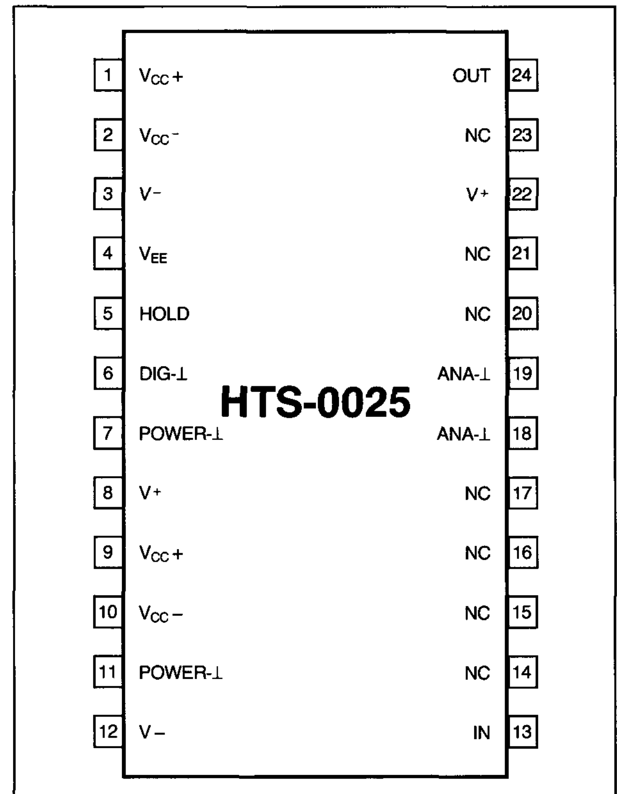


Figuur 12/6.2-10: Het demoduleren van een dubbelzijband gemoduleerd signaal.

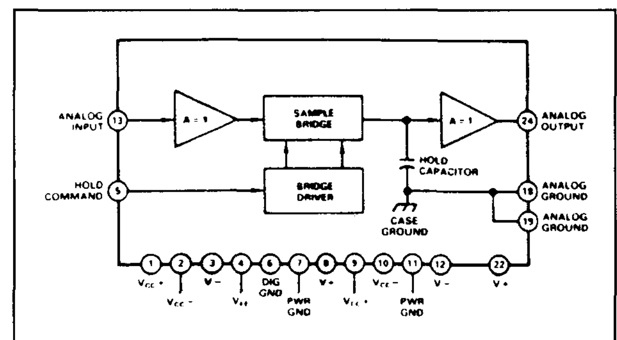
HTS-0025

25 ns, 0,01 %, 20 MHz

Tamelijk snelle schakeling met een acquisitie-tijd van slechts 25 ns en een 3 dB bandbreedte van 20 MHz. De hold-condensator is intern aanwezig. Pen-compatible met de HTS-0010. De besturingsingang is ECL-compatible, vandaar dat het noodzakelijk is het IC ook te voeden uit een standaard –5.2 V voedingsspanning die bij ECL-schakelingen gebruikelijk is.



Figuur 12/6.2-11: Aansluitgegevens van de HTS-0025.



Figuur 12/6.2-12: Intern blokschema van de HTS-0025.

Technische gegevens
- fabrikant: Analog Devices
- behuizing: DIL-24
- aansluitgegevens: figuur 12/6.2-11
- intern blokschema: figuur 12/6.2-12
- voedingsspanning: +15 V, –15 V, +5 V, –5 V, –5,2 V

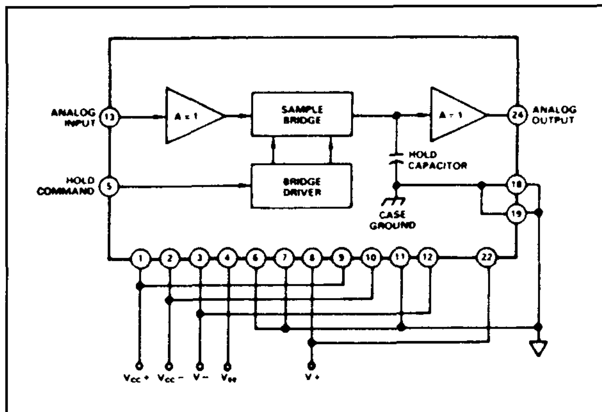
6.2 Type-beschrijving

- eigen stroomverbruik: +55, −55, +15, −15, −40 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/− 4 V max.
  - biasstroom: 15 nA max.
  - impedantie: 10^{10} Ω
  - capaciteit: 7 pF max.
- uitgangskarakteristieken:
  - uitgangsspanning: +/−3 V max.
  - uitgangsstroom: +/− 50 mA max.
  - uitgangsimpedantie: 3 Ω max.
  - ruisspanning: 100 μVmax.
- sample-hold controle:
  - track-mode: −1,5 V (ECL 'L')
  - hold-mode: −0.8 V (ECL 'H')
- dynamische karakteristieken:
  - acquisitie-tijd: 25 ns max.
  - 3 dB bandbreedte: 20 MHz typisch
  - slew rate: 250 V/μs typisch
  - aperture tijd: 5 ns typisch
  - hold droop: 0,2 mV(μs max.
  - feedthrough: 65 dB
- statische karakteristieken:
  - versterking: 0,95 +/−0,1 %
  - niet-lineariteit: +/−0,01 max.
  - offsetspanning: +/−5 mV max.

Voorbeeld-schakeling

- figuur 12/6.2-13:

Standaard-schema voor het verbinden van de HTS-0025 met de vijf noodzakelijke voedingsspanningen, waarbij:



Figuur 12/6.2-13: Het verbinden van de HTS-0025 met de voedingen en de massa.

- Vcc+ = +5 V;
- Vcc− = −5 V;
- V+ = +15 V;
- V− = −15 V;
- VEE = −5,2 V.

Alle voedingslijnen moeten zo dicht mogelijk bij de IC-pennen ontkoppeld worden naar de massa door middel van ceramische condensatoren van 0,1 μF.

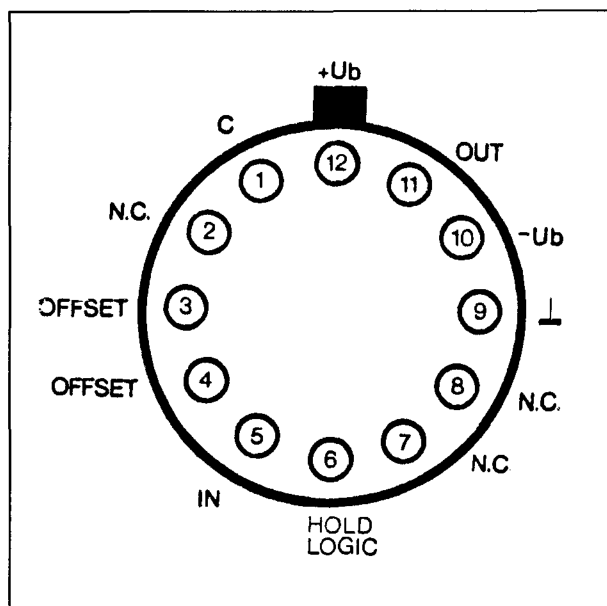
LH 0043

15 μs, 0,1 %

Industriële sample and hold met TTL-compatible besturing en een enkelvoudige elektronische schakelaar die de ingang met de sample-capaciteit verbindt. De capaciteit moet extern worden aangesloten.

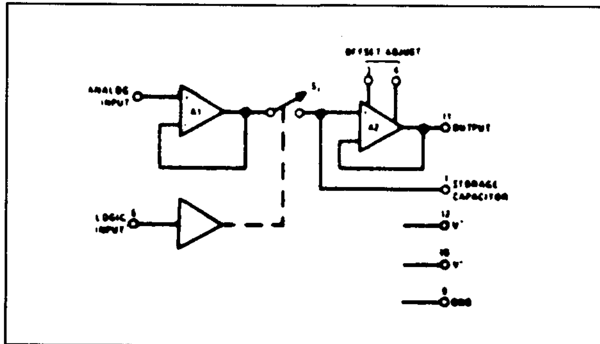
Technische gegevens

- fabrikant: National Semiconductor
- behuizing: TO-8
- aansluitgegevens: figuur 12/6.2-14
- intern blokschema: figuur 12/6.2-15
- voedingsspanning: +/− 20 V max.
  +7,5 V max.
- eigen stroomverbruik: +22, −22, +18 mA typisch



Figuur 12/6.2-14: Aansluitgegevens van de LH 0043.

6.2 Type-beschrijving



Figuur 12/6.2-15: Intern blokschema van de LH 0043.

- ingangskarakteristieken:
  - ingangsspanning: +/ − 11 V max.
  - biasstroom: 1,0 nA max.
  - impedantie: 10^{12} Ω
  - capaciteit: 1,5 pF max.
- uitgangskarakteristieken:
  - uitgangsspanning: +/ − 11 V max.
- sample-hold controle:
  - sample-mode: TTL 'L'-niveau
  - hold-mode: TTL 'H'-niveau
  - besturingsstroom: 1,5 mA
- dynamische karakteristieken:
  - acquisitie-tijd: 15 μs max.
  - slew rate: 3,0 V/μs typisch
  - aperture tijd: 20 ns typisch
  - hold droop: 25 mV/ms max. (C = 1 nF)
- statische karakteristieken:
  - versterking: 1
  - niet-ineariteit: +/ − 0,1 max.
  - offsetspanning: +/ − 40 mV max.

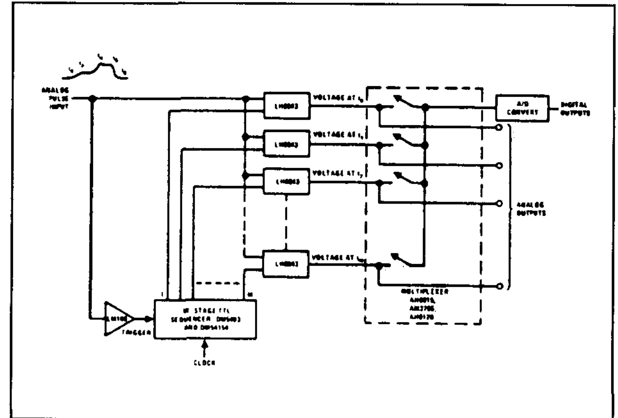
Voorbeeld-schakeling

- figuur 12/6.2-16:

Gemultiplexte sampler/digitiser voor één ingangsspanning, waarbij deze spanning snel achter elkaar bemonsterd wordt door een groot aantal sample and hold schakelingen en de uitgangsspanningen door een tweede multiplexer een na een naar een analoog naar digitaal omzetter worden gestuurd.

LH 0053

5,0 μs, 0,2 %, 200 kHz



Figuur 12/6.2-16: Parallel schakelen van een aantal sample and hold schakelingen voor het bemonsteren van één ingangssignaal.

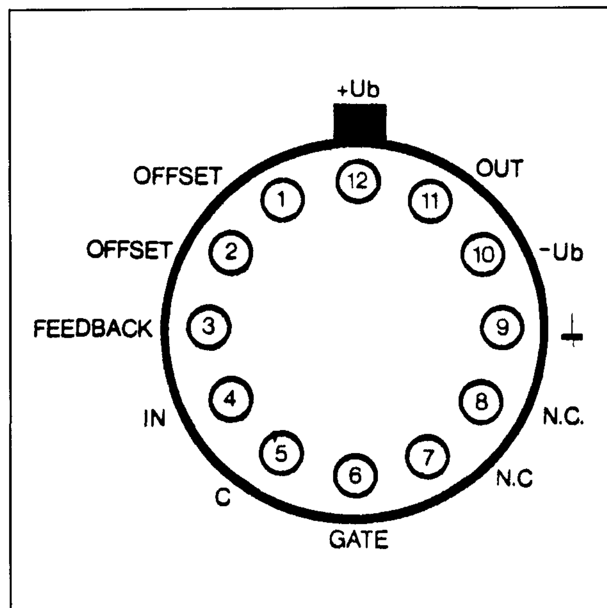
Industriële sample and hold met TTL-compatible besturing en een enkelvoudige elektronische schakelaar die de ingang met de sample-capaciteit verbindt. De capaciteit moet extern worden aangesloten. Er is een terugkoppelingang aanwezig, waarmee de totale versterking van de schakeling kan worden ingesteld. De hold-condensator werkt als integrator in op de tweede bufferversterker.

De hold-logica kan TTL-signalen verwerken, maar men kan ook met grotere spanningen aansturen. Er hoeft geen afzonderlijke + 5 V voeding aanwezig te zijn!

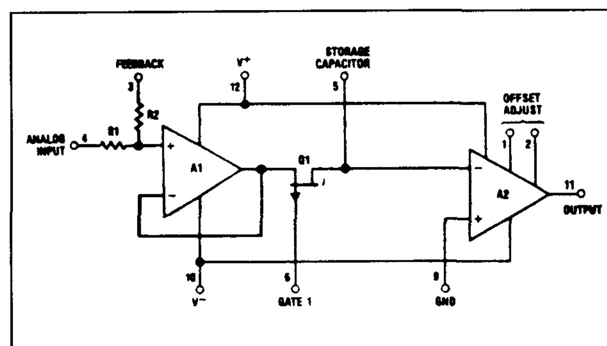
Technische gegevens

- fabrikant: National Semiconductor
- behuizing: TO-8
- aansluitgegevens: figuur 12/6.2-17
- intern blokschema: figuur 12.6.2-18
- voedingsspanning: +/ − 18 V max.
- eigen stroomverbruik: +/ − 18 mA typisch
- hold-logic spanning: + 20 V max.
- ingangskarakteristieken:
  - ingangsspanning: +/ − 11 V max.
  - biasstroom: 250 nA max.
  - impedantie: 10 kΩ
- uitgangskarakteristieken:
  - uitgangsspanning: +/ − 12 V max.
- sample-hold controle:
  - sample-mode: + 0,5 V max.

6.2 Type-beschrijving



Figuur 12/6.2-17: Aansluitgegevens van de LH 0053.

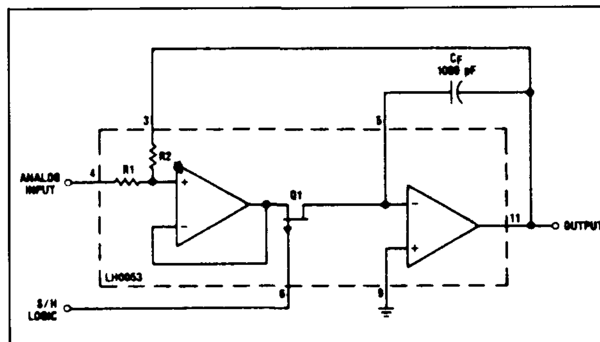


Figuur 12/6.2-18: Intern blokschema van de LH 0053.

- hold-mode: + 4,5 V min.
- besturingsstroom: 100 μA
- dynamische karakteristieken:
  - acquisitie-tijd: 5 μs max.
  - slew rate: 20 V/μs typisch
  - aperture tijd: 10 ns typisch
  - hold droop: 50 mV/ms max. (C = 1 nF)
  - bandbreedte: 200 kHz
- statische karakteristieken:
  - versterking: instelbaar
  - niet-lineariteit: +/ – 0,2 max.
  - offsetspanning: +/ – 7 mV max.

Voorbeeld-schakelingen

- figuur 12/6.2-19:



Figuur 12/6.2-19: Basisschema met de LH 0053.

Basis-schema van een sample and hold schakeling met de LH 0053, met gebruik van de interne terugkoppelweerstand.

- figuur 12/6.2-20:

Het compenseren van de offset op de uitgang door middel van een externe potentiometer.

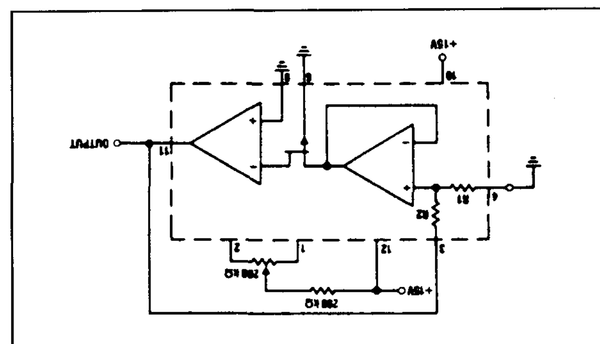
ADSHC-85

4,5 μs, 0,01 %, 3 MHz

Low cost sample and hold voor industrieel gebruik voor symmetrische voeding en mode-controle door middel van niet familiegebonden signalen. De hold-capaciteit is intern, maar kan eventueel door een externe condensator vervangen worden.

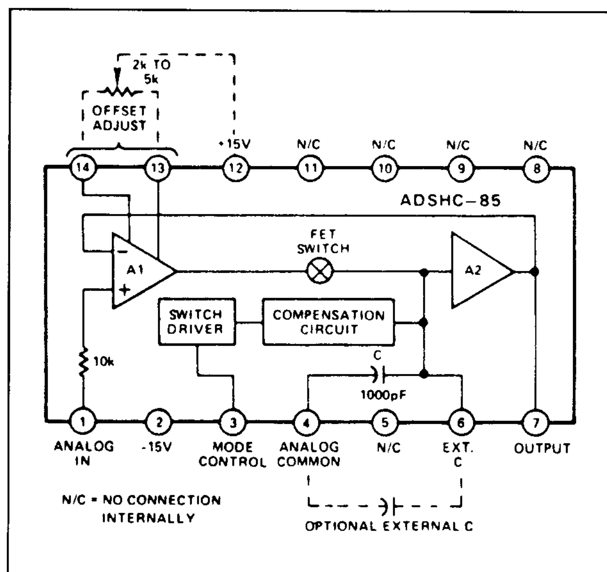
Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-14
- aansluitgegevens: figuur 12/6.2-21



Figuur 12/6.2-20: Het compenseren van de offset bij de LH 0053.

6.2 Type-beschrijving



Figuur 12/6.2-21: Aansluitgegevens en intern blokschema van de ADSHC-85.

- intern blokschema: figuur 12/6.2-21
- voedingsspanning: +/− 15 V
- eigen stroomverbruik: +/− 18 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/− 10 V max.
  - biasstroom: 0,5 nA max.
  - impedantie: 10^{11} Ω
- uitgangskarakteristieken:
  - uitgangsspanning: +/− 10 V max.
  - uitgangsstroom: +/− 10 mA max.
  - uitgangsimpedantie: 1 Ω max.
  - ruisspanning: 150 μV max.
- sample-hold controle:
  - sample-mode: +0,2 V min.
  - hold-mode: +0.8 V max.
  - besturingsstroom: 50 μA
- dynamische karakteristieken:
  - acquisitie-tijd: 4,5 μs max.
  - 3 dB bandbreedte: 3 MHz typisch
  - slew rate: 15 V/μs typisch
  - aperture tijd: 25 ns typisch
  - hold droop: 0,2 mV/ms max.
  - feedthrough: 80 dB
- statische karakteristieken:
  - versterking: + 1,00 +/− 0,01 %
  - niet-lineariteit: +/− 0,01 max.
  - offsetspanning: +/− 6 mV max.

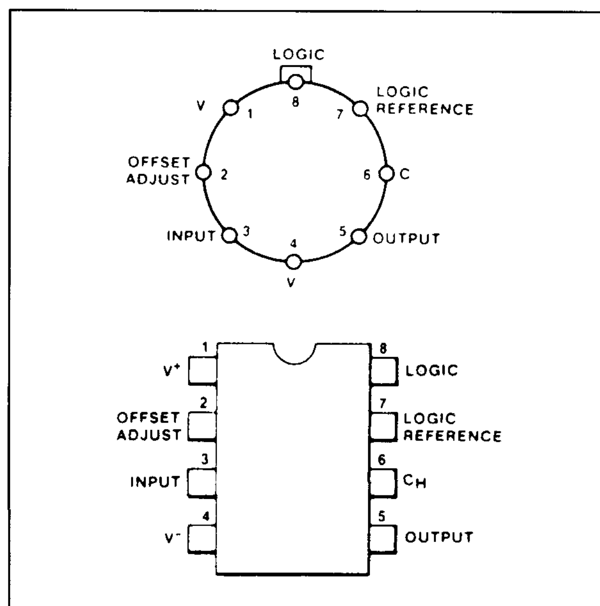
μA 198

4 μs, 0,1 %, 1 MHz

In DIL-8 verkrijgbare eenvoudige sample and hold voor algemeen gebruik, waarbij niet al te hoge eisen worden gesteld aan de nauwkeurigheid en de snelheid. De holdcondensator moet extern worden aangebracht, de ingangsspananing kan gelijk zijn aan de waarde van de voedingsspanningen.

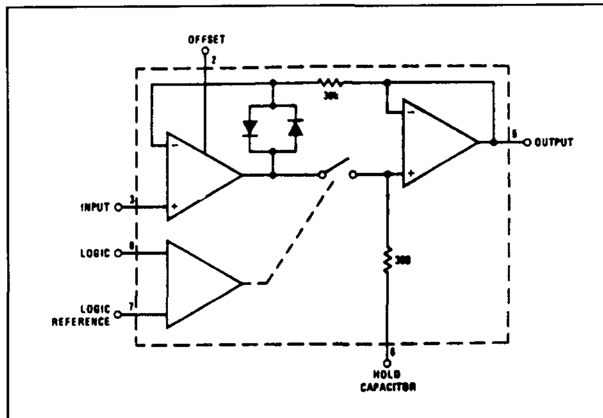
Technische gegevens

- fabrikant: Fairchild
- behuizing: DIL-8, TO-5
- aansluitgegevens: figuur 12/6.2-22
- intern blokschema: figuur 12/6.2-23
- voedingsspanning: +/− 5 V min.
  +/− 18 V max.
- eigen stroomverbruik: +/− 5,5 mA max.
- ingangskarakteristieken:
  - ingangsspanning: +/− Ub max.
  - biasstroom: 75 nA max.
  - impedantie: 10^{10} Ω
- uitgangskarakteristieken:
  - uitgangsspanning: +/− Ub V max.
  - uitgangsimpedantie: 4 Ω max.
- sample-hold controle:
  - sample-mode: TTL 'H'-niveau
  - hold-mode: TTL 'L'-niveau



Figuur 12/6.2-22: Aansluitgegevens van de μA 198.

6.2 Type-beschrijving



Figuur 12/6.2-23: Intern blokschema van de μA 198.

- dynamische karakteristieken:
  - acquisitie-tijd: 4 μs max.
  - 3 dB bandbreedte: 1 MHz typisch
  - hold droop: 2 mV/ms max. (C = 10 nF)
  - feedthrough: 96 dB
- statische karakteristieken:
  - versterking: – 1,000 +/– 0,02 %
  - niet-lineariteit: +/– 0,1 max.

Voorbeeld-schakelingen

- figuur 12/6.2-24

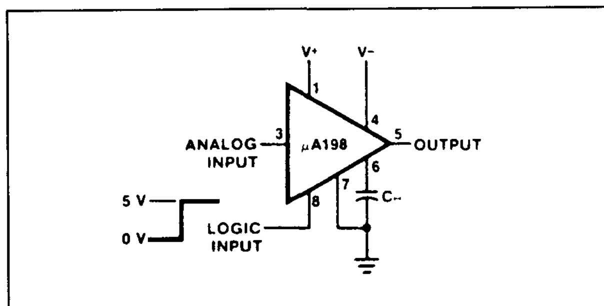
Basis-schakeling van een sample and hold schakeling met de μA 198.

- figuur 12/6.2-25:

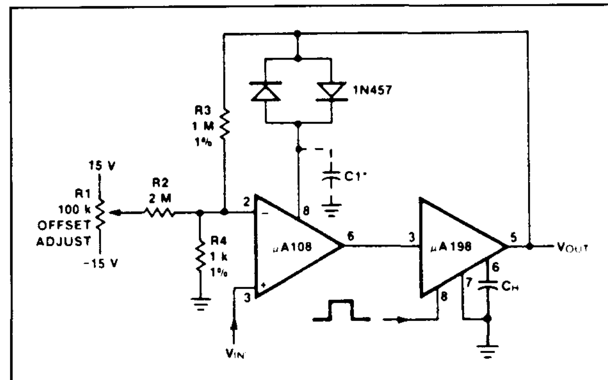
Sample and hold schakeling met een versterking van 1000 maal.

- figuur 12/6.2-26:

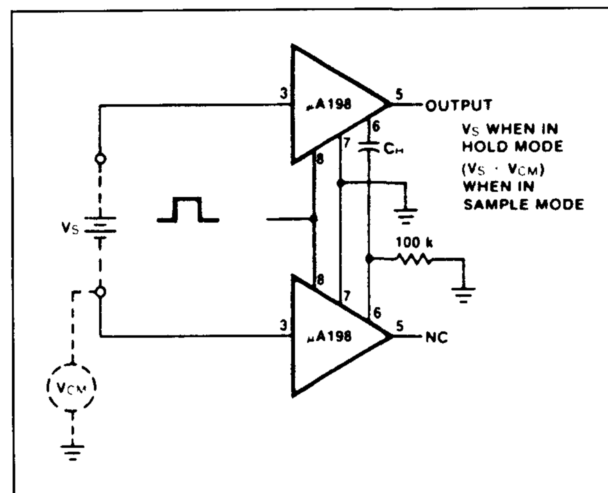
Differentiële hold-schakeling, waarmee het mogelijk is een signaal uit een achtergronddruis (V_{CM}) te filteren.



Figuur 12/6.2-24: Basisschakeling met de μA 198.



Figuur 12/6.2-25: Het instellen van de versterking op x1000.



Figuur 12/6.2-26: Differentiële sample and hold waarmee een common mode signaal uit het actieve signaal gefilterd kan worden.

LF 198

4 μs, 0,02 %, 1 MHz

Functie- en pen-compatible met de μA 198, echter met op een aantal punten afwijkende specificaties.

Technische gegevens

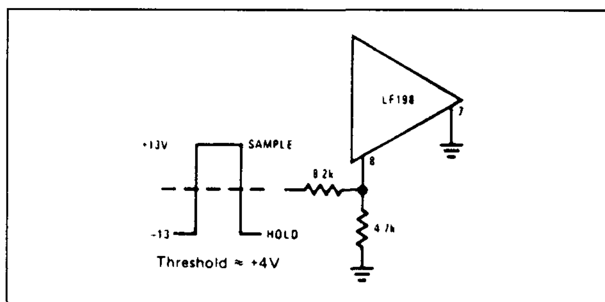
- fabrikant: National Semiconductor, Signetics
- behuizing: DIL-8, TO-5
- aansluitgegevens: figuur 12/6.2-22
- intern blokschema: figuur 12/6.2-23
- voedingsspanning: +/– 5 V min.
  +/– 18 V max.

6.2 Type-beschrijving

- eigen stroomverbruik: +/ – 5,5 mA max.
- ingangskarakteristieken:
  - ingangsspanning: +/ – Ub max.
  - biasstroom: 25 nA max.
  - impedantie: $10^{10}\ \Omega$
- uitgangskarakteristieken:
  - uitgangsspanning: +/ – Ub V max.
  - uitgangsimpedantie: 2 Ω max.
- sample-hold controle:
  - sample-mode: TTL 'H'-niveau
  - hold-mode: TTL 'L'-niveau
- dynamische karakteristieken:
  - acquisitie-tijd: 4 µs max.
  - 3 dB bandbreedte: 1 MHz typisch
  - hold droop: 2 mV/ms max. (C = 10 nF)
  - feedthrough: 96 dB
- statische karakteristieken:
  - versterking: – 1,000 +/ – 0,02 %
  - niet-lineariteit: +/ – 0,02 max.

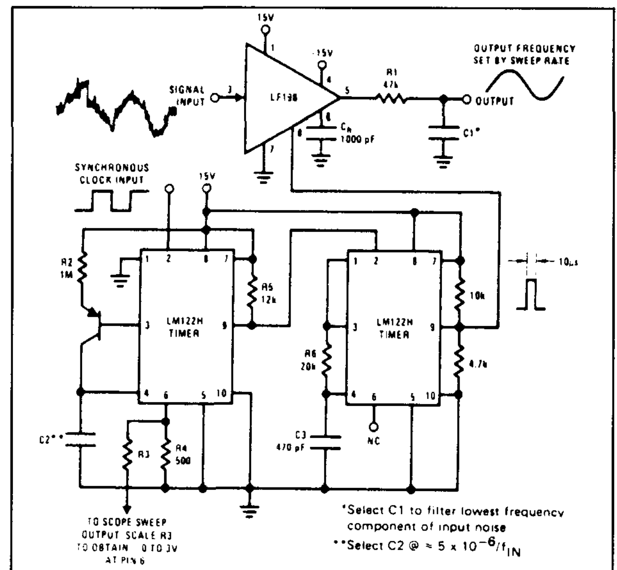
Voorbeeld-schakelingen

- figuur 12/6.2-27:
Het besturen van de mode-control door middel van een symmetrische +/ – 15 V puls.
- figuur 12/6.2-28:
Een 'synchrone correlator', een schakeling die een kleine spanning uit een veel grotere ruisspanning kan terugwinnen.
- figuur 12/6.2-29:
Een trapspanningsgenerator waarbij de trapspanning ontstaat door de uitgang van de sample and hold terug te koppelen naar de ingang via een identieke schakeling.

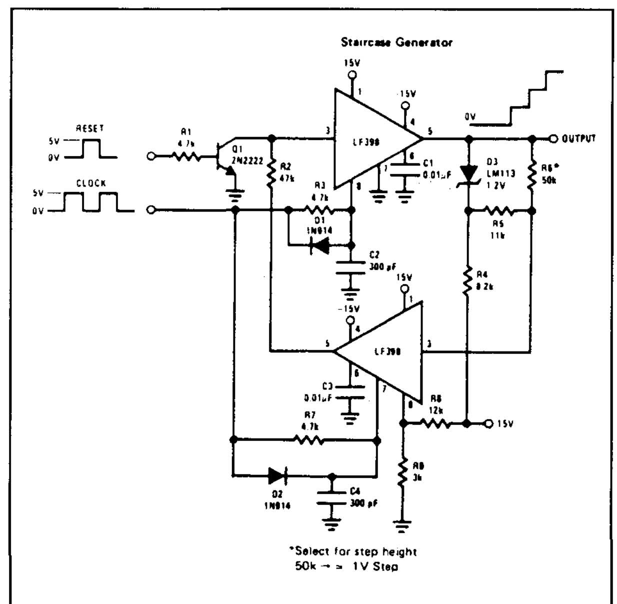


Figuur 12/6.2-27: Het aanpassen van de hold-besturing aan symmetrische besturingssignalen.

- figuur 12/6.2-30:
Een eenvoudige analoge elektronische omschakelaar tussen twee signaalbronnen, waarbij de ene bron op de ingang en de andere op de pen van de hold-condensator wordt aangesloten.

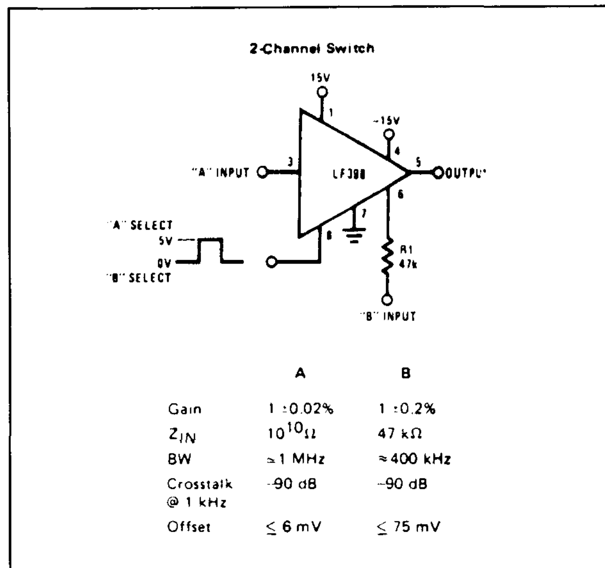


Figuur 12/6.2-28: Het verwijderen van ruis uit een ingangssignaal.



Figuur 12/6.2-29: Een trapspanningsgenerator met 2 × LF 198.

6.2 Type-beschrijving



	A	B
Gain	1 ±0.02%	1 ±0.2%
Z_{IN}	$10^{10}\Omega$	47 kΩ
BW	≈1 MHz	≈400 kHz
Crosstalk @ 1 kHz	-90 dB	-90 dB
Offset	≤ 6 mV	≤ 75 mV

Figuur 12/6.2-30: Een analoge omschakelaar met een sample and hold opgebouwd.

μA 298

4 μs, 0,1 %, 1 MHz

Volledig vergelijkbaar met de μA 198, echter met een beperkt temperatuurbereik van −25 tot +85°C in plaats van −55 tot +125°C.

Technische gegevens
- fabrikant: Fairchild
- behuizing: DIL-8, TO-5
- aansluitgegevens: figuur 12/6.2-22
- intern blokschema: figuur 12/6.2-23

Voor de overige gegevens en de voorbeeldschakelingen wordt verwezen naar de μA 198.

LF 298

4 μs, 0,02 %, 1 MHz

Volledig vergelijkbaar met de LF 198, echter met een beperkt temperatuurbereik van −25 tot +85°C in plaats van −55 tot +125°C.

Technische gegevens
- fabrikant: National Semiconductor, Signetics
- behuizing: DIL-8, TO-5
- aansluitgegevens: figuur 12/6.2-22
- intern blokschema: figuur 12/6.2-23

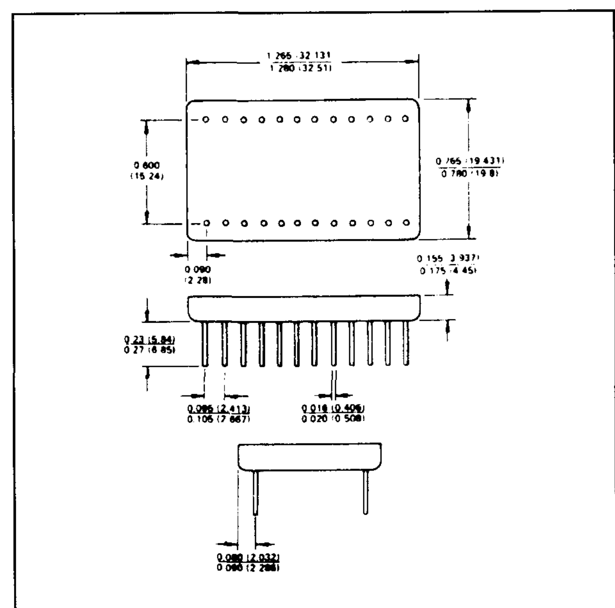
Voor de overige gegevens en de voorbeeldschakelingen wordt verwezen naar de LF 198.

HTC-0300

170 ns, 0,01 %, 8 MHz

Zeer hoogwaardige schakeling met lasergetrimde offset en versterking met als voornaamste eigenschap een zeer lage aperturetijd van slechts 6 ns. Ontwikkeld voor toepassing in zeer snelle analoog naar digitaal omzetters met een hoge resolutie.

Technische gegevens
- fabrikant: Analog Devices
- behuizing: speciale glazen behuizing, zie figuur 12/6.2-31
- aansluitgegevens: figuur 12/6.2-32
- intern blokschema: figuur 12/6.2-33
- voedingsspanning: +/−15 V, +5 V
- eigen stroomverbruik: +38, −27, +25 mA typisch

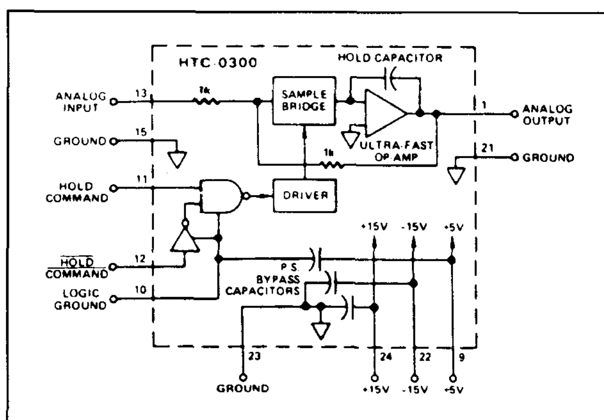


Figuur 12/6.2-31: Behuizing van de HTC-0300.

6.2 Type-beschrijving

PIN	FUNCTION
1	ANALOG OUTPUT
2	N/A
3	N/A
4	N/A
5	N/A
6	N/A
7	N/A
8	N/A
9	+5V
10	LOGIC GROUND
11	HOLD
12	$\overline{\text{HOLD}}$
13	ANALOG INPUT
15	GROUND
18	N/A
19	N/A
21	GROUND
22	-15V
23	GROUND
24	+15V

Figuur 12/6.2-32: Aansluitgegevens van de HTC-0300.



Figuur 12/6.2-33: Intern blokschema van de HTC-0300.

- ingangskarakteristieken:
  - ingangsspanning: +/−10 V max.
  - biasstroom: 250 nA max.
  - impedantie: 1 kΩ
- uitgangskarakteristieken:
  - uitgangsspanning: +/−10 V max.
  - uitgangsstroom: +/−50 mA max.
- sample-hold controle:
  - sample-mode: TTL-niveau, 'L'
  - hold-mode: TTL-niveau, 'H'
  - besturingsstroom: 50 μA max.
- dynamische karakteristieken:
  - acquisitie-tijd: 170 ns max.
  - 3 dB bandbreedte: 8 MHz typisch
  - slew rate: 250 V/μs typisch
  - aperture tijd: 6 ns typisch
  - hold droop: 5 μV/μs max.
- statische karakteristieken:
  - versterking: −1,0 +/−0,2 %
  - niet-lineariteit: +/−0,01 max.

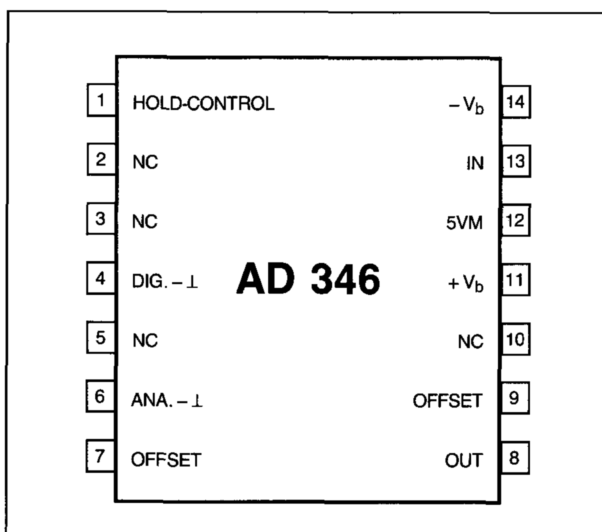
AD 346

2,0 μs, 0,05 %, 1,5 MHz

Deze DIL-14 schakeling bevat een interne hold-condensator en is voorzien van een netwerk dat de sample naar hold offset minimaliseert. De interne schakelingen zijn lasergetrimd voor minimale type-tot-type spreiding. Er zijn gescheiden analoge en digitale massapennen aanwezig, zodat men de retourleiding van het signaal volledig kan scheiden van de retourleiding van de digitale stuursignalen.

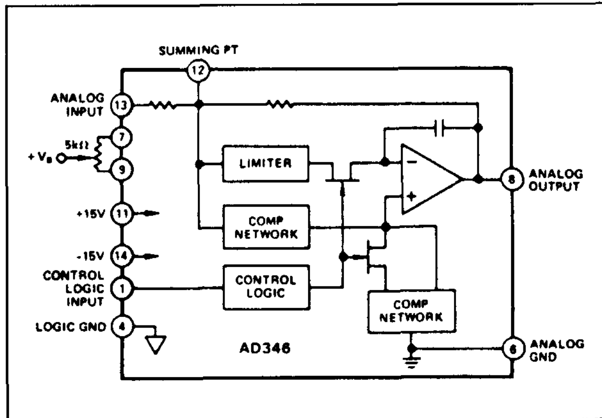
Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-14
- aansluitgegevens: figuur 12/6.2-34
- intern blokschema: figuur 12/6.2-35
- voedingsspanning: +/−18 V max.



Figuur 12/6.2-34: Aansluitgegevens van de AD 346.

6.2 Type-beschrijving



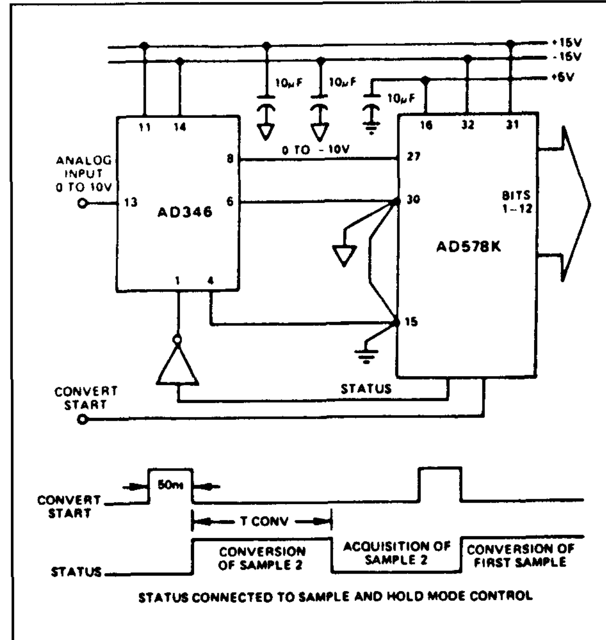
Figuur 12/6.2-35: Intern blokschema van de AD 346.

- eigen stroomverbruik: +18, −10 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/−10 V max.
  - impedantie: 3 kΩ
- uitgangskarakteristieken:
  - uitgangsspanning: +/−10 V max.
  - uitgangsstroom: +/−40 mA max.
  - uitgangsimpedantie: 0,1 Ω max.
  - ruisspanning: 100 µV max.
- sample-hold controle:
  - sample-mode: TTL 'H'-niveau
  - hold-mode: TTL 'L'-niveau
  - besturingsstroom: 1 mA
- dynamische karakteristieken:
  - acquisitie-tijd: 350 ns max.
  - 3 dB bandbreedte: 5 MHz typisch
  - slew rate: 25 V/µs typisch
  - aperture tijd: 20 ns typisch
  - hold droop: 20 µV/µs max.
  - feedthrough: 70 dB
- statische karakteristieken:
  - versterking: −1,000 +/−0,1 %
  - niet-lineariteit: +/−0,05 max.
  - offsetspanning: +/−50 mV max.

Voorbeeld-schakelingen

- figuur 12/6.2-36:

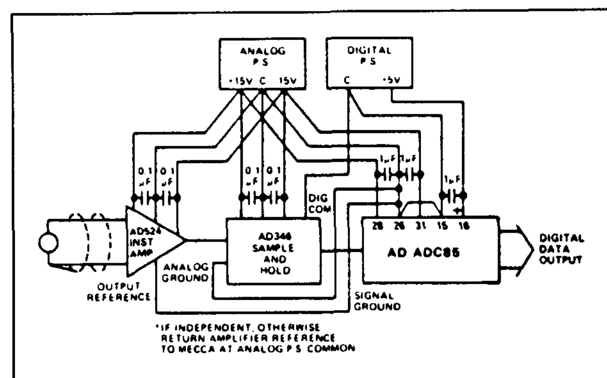
Een 12 bit brede analoog naar digitaal omzetter met een snelheid van 153 kHz, waarbij het analoge ingangssignaal in de hold-condensator wordt opgeslagen waarna de ADC de momentele waarde van deze spanning digitaliseert. Met deze schakeling kunnen signalen met een maximale frequentie van 76,5 kHz bemonsterd worden.



Figuur 12/6.2-36: Een AD 346 in een analoog naar digitaal omzetter.

- figuur 12/6.2-37:

Overzicht van de manier waarop de verschillende voedingsspanningen van de centrale voeding naar de verschillende IC's moeten worden gevoerd en de manier van ontkoppeling van deze spanningen.



Figuur 12/6.2-37: Verbinden van de voedings- en massalijnen in een ADC-schakeling.

6.2 Type-beschrijving

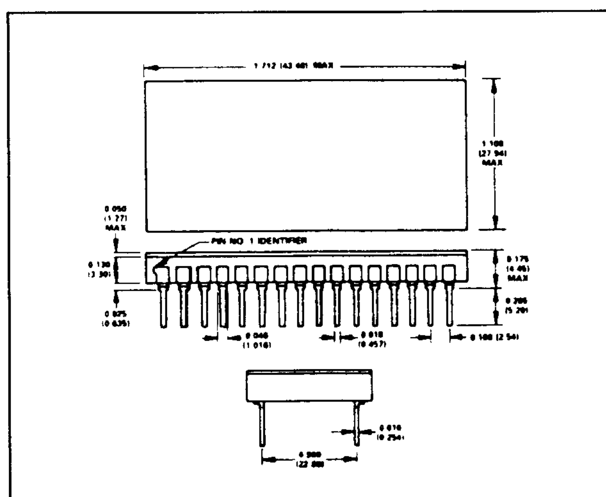
AD 362

10 µs, 0,01 %

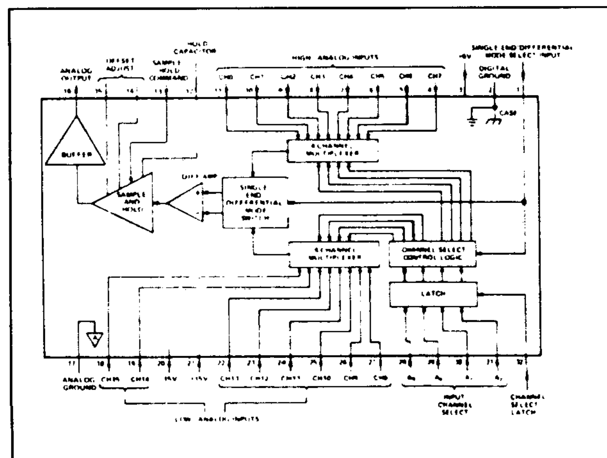
Speciale hybride van Analog Devices met ingebouwde 2 × 8 kanaals analoge multiplexer. Met deze schakeling kan men dus acht analoge ingangssignalen een na een bemonsteren, waarbij voor iedere ingang een differentiële ingang ter beschikking staat. De schakeling heeft geen ingebouwde hold-condensator, maar is wel volledig door middel van lasertrimming afgeregeld op maximale specificaties.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: speciaal, zie figuur 12/6.2-38



Figuur 12/6.2-38: Behuizing van de AD 362.



Figuur 12/6.2-40: Intern blokschema van de AD 362.

- aansluitgegevens: figuur 12/6.2-39
- intern blokschema: figuur 12/6.2-40
- voedingsspanning: +/ − 15 V, +5 V
- eigen stroomverbruik: +30, −30, +40 mA typisch
- ingangskarakteristieken:
  - aantal ingangen: 16 single-ended of 8 differentieel
  - ingangsspanning: +/ − 10 V max.

Pin Number	Function
1	Single-End/Differential Mode Select "0": Single-Ended Mode "1": Differential Mode
2	Digital Ground
3	Positive Digital Power Supply, +5V
4	"High" Analog Input, Channel 7
5	"High" Analog Input, Channel 6
6	"High" Analog Input, Channel 5
7	"High" Analog Input, Channel 4
8	"High" Analog Input, Channel 3
9	"High" Analog Input, Channel 2
10	"High" Analog Input, Channel 1
11	"High" Analog Input, Channel 0
12	Hold Capacitor (Provided)
13	Sample-Hold Command "0": Sample Mode "1": Hold Mode Normally Connected to ADC Status
14	Offset Adjust (See Figure 5)
15	Offset Adjust (See Figure 5)
16	Analog Output Normally Connected to ADC "Analog In"
17	Analog Ground
18	"High" ("Low") Analog Input, Channel 15 (7)
19	"High" ("Low") Analog Input, Channel 14 (6)
20	Negative Analog Power Supply, -15V
21	Positive Analog Power Supply, +15V
22	"High" ("Low") Analog Input, Channel 13 (5)
23	"High" ("Low") Analog Input, Channel 12 (4)
24	"High" ("Low") Analog Input, Channel 11 (3)
25	"High" ("Low") Analog Input, Channel 10 (2)
26	"High" ("Low") Analog Input, Channel 9 (1)
27	"High" ("Low") Analog Input, Channel 8 (0)
28	Input Channel Select, Address Bit AE
29	Input Channel Select, Address Bit A0
30	Input Channel Select, Address Bit A1
31	Input Channel Select, Address Bit A2
32	Input Channel Select Latch "0": Latched "1": Latch Transparent

Figuur 12/6.2-39: Aansluitgegevens van de AD 362.

6.2 Type-beschrijving

- biasstroom: 50 nA max.
- impedantie: 10^{00} Ω
- capaciteit: 100 pF max.
- overspraak: 80 dB
- offsetspanning: +/ – 2,5 mV max.

- uitgangskarakteristieken:
  - uitgangsspanning: +/ – 10 V max.
- digitale ingangscontrole:
  - selectie: 4-bit binair, zie figuur 12/6.2-41
  - latch: 'H': transparant, 'L': bewaar
  - single/diff: 'L': single, 'H': diff.
- sample-hold controle:
  - sample-mode: TTL 'L'-niveau
  - hold-mode: TTL 'H'-niveau
- dynamische karakteristieken:
  - acquisitie-tijd: 10 μs max.
  - aperture tijd: 100 ns typisch
  - hold droop: 2 mV/ms max.
  - feedthrough: 70 dB
- statische karakteristieken:
  - versterking: – 1,000 +/ – 0,1 %
  - niet-lineariteit: +/ – 0,001 max.

Voorbeeld-schakelingen

- figuur 12/6.2-42:

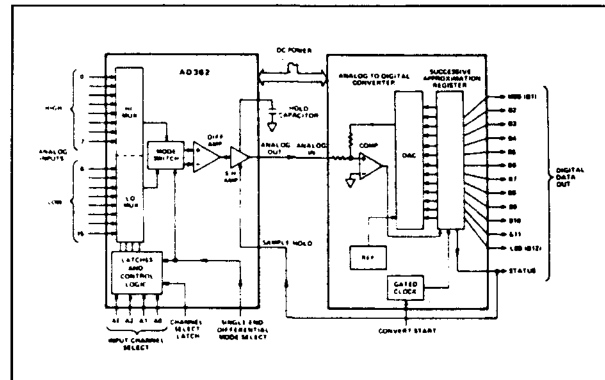
Volledig data-acquisitie systeem, samengesteld uit een AD 363 en een analoog naar digitaal omzetter.

- figuur 12/6.2-43:

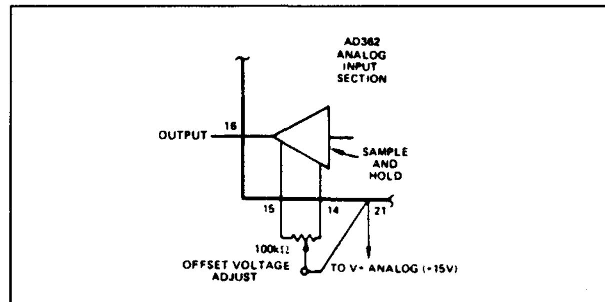
Het compenseren van de offset op de ingang met behulp van een externe potentiometer.

ADDRESS				ON CHANNEL (Pin Number)		
					Differential	
AE	A2	A1	A0	Single Ended	"Hi"	"Lo"
0	0	0	0	0 (11)	None	
0	0	0	1	1 (10)	None	
0	0	1	0	2 (9)	None	
0	0	1	1	3 (8)	None	
0	1	0	0	4 (7)	None	
0	1	0	1	5 (6)	None	
0	1	1	0	6 (5)	None	
0	1	1	1	7 (4)	None	
1	0	0	0	8 (27)	0 (11)	0 (27)
1	0	0	1	9 (26)	1 (10)	1 (26)
1	0	1	0	10 (25)	2 (9)	2 (25)
1	0	1	1	11 (24)	3 (8)	3 (24)
1	1	0	0	12 (23)	4 (7)	5 (23)
1	1	0	1	13 (22)	5 (6)	5 (22)
1	1	1	0	14 (19)	6 (5)	6 (19)
1	1	1	1	15 (18)	7 (4)	7 (18)

Figuur 12/6.2-41: Het adresseren van de ingangen bij de AD 362.



Figuur 12/6.2-42: Een acht kanaals data-acquisitie systeem.



Figuur 12/6.2-43: Het compenseren van de offset bij de AD 362.

AD 389

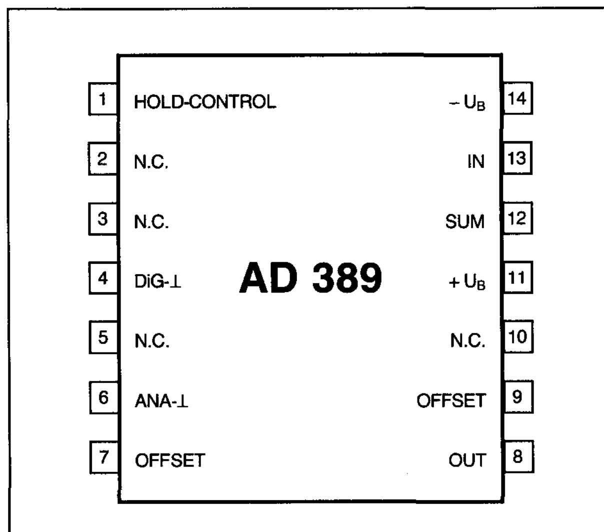
2,5 μs, 0,003 %, 1,5 MHz

Deze schakeling wordt voornamelijk gekenmerkt door een zeer grote nauwkeurigheid (0,003 %!) en volledige fabrieksmatige lasertrimming. De hold-condensator is op de chip geïntegreerd, er is een compensatieschakeling aanwezig die de sample-tot-hold offset minimaliseert.

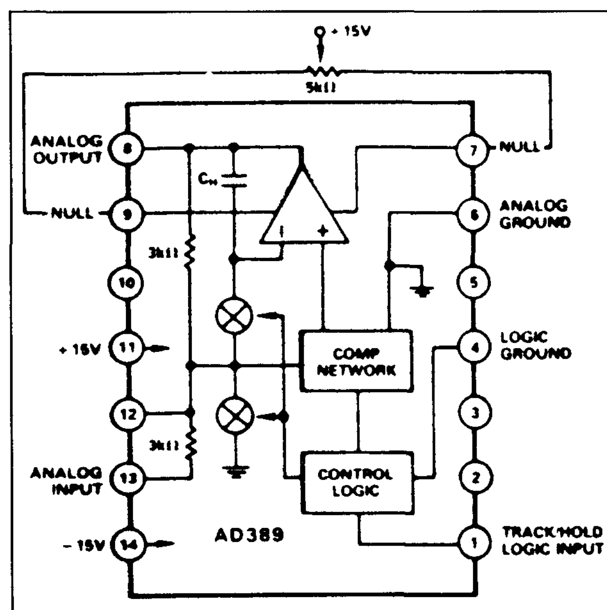
Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-14
- aansluitgegevens: figuur 12/6.2-44
- *intern* blokschema: figuur 12/6.2-45
- voedingsspanning: +/ – 15 V
- eigen stroomverbruik: + 15, -4 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/ – 10 V max.
  - impedantie: 3 kΩ

6.2 Type-beschrijving



Figuur 12/6.2-44: Aansluitgegevens van de AD 389.



Figuur 12/6.2-45: Intern blokschema van de AD 389.

- uitgangskarakteristieken:
  - uitgangsspanning: +/– 10 V max.
  - uitgangsstroom: +/– 3 mA max.
  - uitgangsimpedantie: 1 Ω max.
  - ruisspanning: 200 µV max.
- sample-hold controle:
  - sample-mode: TTL 'H'-niveau
  - hold-mode: TTL 'L'-niveau
  - besturingsstroom: 360 µA max.
- dynamische karakteristieken:
  - acquisitie-tijd: 2,5 µs max.
  - 3 dB bandbreedte: 1,5 MHz typisch
  - slew rate: 30 V/µs typisch
  - aperture tijd: 30 ns typisch
  - hold droop: 0,1 µV/µs max.
  - feedthrough: 86 dB
- statische karakteristieken:
  - versterking: – 1,00 +/– 0,01 %
  - niet-lineariteit: +/– 0,003 max.
  - offsetspanning: +/– 3 mV max.

Voorbeeld-schakeling
- figuur 12/6.2-46:

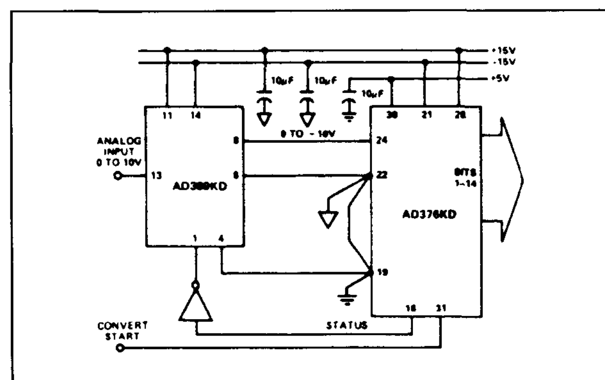
Analoog naar digitaal omzetter met een resolutie van 14 bit en een omzettingssnelheid van 20 kHz.

LF 398

4 µs, 0,02 %, 1 MHz

Functie- en pen-compatible met de LF 198, echter met op een aantal punten afwijkende specificaties.

Technische gegevens
- fabrikant: National Semiconductor, Signetics
- behuizing: DIL-8, TO-5
- aansluitgegevens: figuur 12/6.2-22
- intern blokschema: figuur 12/6.2-23
- voedingsspanning: +/– 5 V min.
  +/– 18 V max.



Figuur 12/6.2-46: Een AD 389 in een analoog naar digitaal omzetter.

6.2 Type-beschrijving

- eigen stroomverbruik: +/ – 5,5 mA max.
- ingangskarakteristieken:
  - ingangsspanning: +/-Ub max.
  - biasstroom: 25 nA max.
  - impedantie: 10^{10} Ω
- uitgangskarakteristieken:
  - uitgangsspanning: +/ – Ub V max.
  - uitgangsimpedantie: 6 Ω max.
- sample-hold controle:
  - sample-mode: TTL 'H'-niveau
  - hold-mode: TTL 'L'-niveau
- dynamische karakteristieken:
  - acquisitie-tijd: 4 µs max.
  - 3 dB bandbreedte: 1 MHz typisch
  - hold droop: 2,5 mV/ms max. (C = 10 nF)
  - feedthrough: 90 dB
- statische karakteristieken:
  - versterking: – 1,000 +/-0,02 %
  - niet-lineariteit: +/ – 0,02 max.

Voor de voorbeeld-schakelingen wordt verwezen naar de LF 198.

µA398

4 µs, 0,1 %, 1 MHz

Functie- en pen-compatible met de µA 198, echter met afwijkende specificaties.

Technische gegevens

- fabrikant: Fairchild
- behuizing: DIL-8, TO-5
- aansluitgegevens: figuur 12/6.2-22
- intern blokschema: figuur 12/6.2-23
- voedingsspanning: +/ – 5 V min.
  +/ – 18 V max.
- eigen stroomverbruik: +/ – 5,5 mA max.
- ingangskarakteristieken:
  - ingangsspanning: +/-Ub max.
  - biasstroom: 100 nA max.
  - impedantie: 10^{10} Ω
- uitgangskarakteristieken:
  - uitgangsspanning: +/ – Ub V max.
  - uitgangsimpedantie: 6 Ω max.
- sample-hold controle:
  - sample-mode: TTL 'H'-niveau
  - hold-mode: TTL 'L'-niveau
- dynamische karakteristieken:
  - acquisitie-tijd: 4 µs max.
  - 3 dB bandbreedte: 1 MHz typisch
  - hold droop: 2,5 mV/ms max. (C = 10 nF)
  - feedthrough: 90 dB
- statische karakteristieken:
  - versterking: – 1,000 +/-0,02 %
  - niet-lineariteit: +/ – 0,01 max.

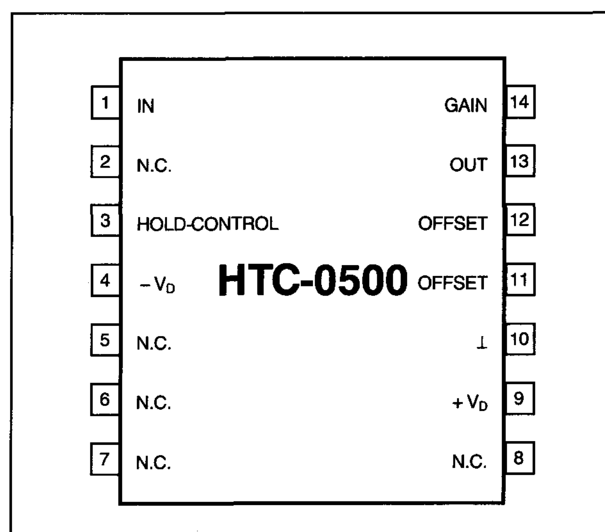
HTC-0500

700 ns, 0,01 %, 2 MHz

Speciale kenmerken van dit IC zijn een laag vermogensverbruik van maximaal 750 mW en de mogelijkheid de versterking van de schakeling eenvoudig in te stellen door het aansluiten van een potentiometer tussen twee pennen van het IC. De hold-condensator is intern aanwezig.

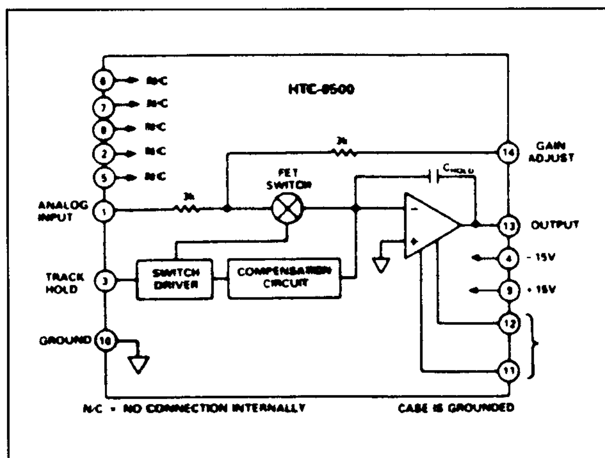
Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-14
- aansluitgegevens: figuur 12/6.2-47
- intern blokschema: figuur 12/6.2-48
- voedingsspanning: +/ – 15 V min.
- eigen stroomverbruik: +/ – 25 mA max.
- ingangskarakteristieken:
  - ingangsspanning: +/-12 V max.



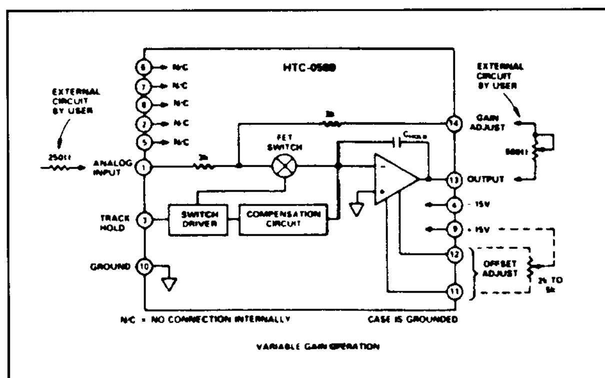
Figuur 12/6.2-47: Aansluitgegevens van de HTC-0500.

6.2 Type-beschrijving



Figuur 12/6.2-48: Intern blokschema van de HTC-0500.

- offsetspanning: +/ – 5 mV max.
- impedantie: 3 kΩ
- uitgangskarakteristieken:
  - uitgangsspanning: +/ – 12 V max.
  - uitgangsstroom: +/ – 15 mA max.
  - uitgangsimpedantie: 1 Ω max.
  - ruisspanning: 60 μV max.
- sample-hold controle:
  - sample-mode: TTL 'H'-niveau
  - hold-mode: TTL 'L'-niveau
  - besturingsstroom: 2 × fan-out
- dynamische karakteristieken:
  - acquisitie-tijd: 700 ns max.
  - 3 dB bandbreedte: 2 MHz typisch
  - slew rate: 55 V/μs typisch
  - aperture tijd: 30 ns typisch
  - hold droop: 0,5 μV/μs max.



Figuur 12/6.2-49: Afregeling van de offset en de versterkingsfactor bij de HTC-0500.

- feedthrough: 80 dB
- statische karakteristieken:
  - versterking: – 1,00 +/-0,1 %
  - niet-lineariteit: +/ – 0,01 max.

Voorbeeld-schakeling

- figuur 12/6.2-49:

Het regelen van de versterking van de trap door middel van een externe potentiometer over een gebied van – 8 tot + 17 % rond de eenheid en het compenseren van de offset.

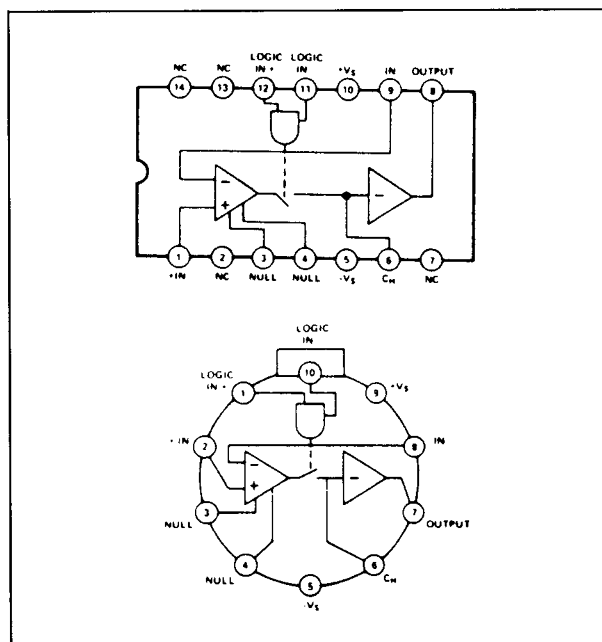
AD 582

6 μs, 0,01 %, 1,5 MHz

Low cost sample and hold met externe hold-condensator, ontwikkeld voor algemeen industrieel gebruik zonder al te hoge eisen.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-14, TO-100
- aansluitgegevens: figuur 12/6.2-50
- intern blokschema: figuur 12/6.2-50
- voedingsspanning: +/ – 9 V min.
  +/ – 18 V max.



Figuur 12/6.2-50: Aansluitgegevens en intern blokschema van de AD 582.

6.2 Type-beschrijving

- eigen stroomverbruik: +/-4,5 mA typisch.
- ingangskarakteristieken:
  - ingangsspanning: +/-Ub V max.
  - biasstroom: 3 μA max.
  - impedantie: 30 MΩ
  - capaciteit: 2 pF max.
  - offsetspanning: +/- 4 mV max.
- uitgangskarakteristieken:
  - uitgangsspanning: +/-10 V max.
  - uitgangsimpedantie: +/-25 mA max.
- sample-hold controle:
  - sample-mode: +0,8 V max.
  - hold-mode: +2,0 V min.
  - besturingsstroom: 1,5 μA max.
- dynamische karakteristieken:
  - acquisitie-tijd: 6 μs max.
  - 3 dB bandbreedte: 1,55 MHz typisch
  - slew rate: 3 V/μs typisch
  - aperture tijd: 200 ns typisch
- statische karakteristieken:
  - versterking: +1 standaard
  - niet-lineariteit: +/-0,01 max.

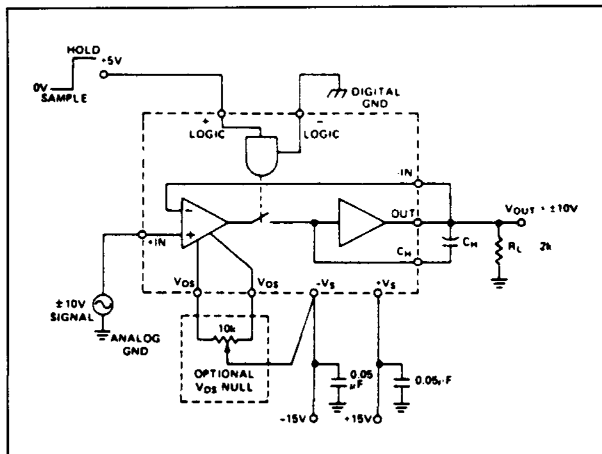
Voorbeeld-schakelingen

- figuur 12/6.2-51:

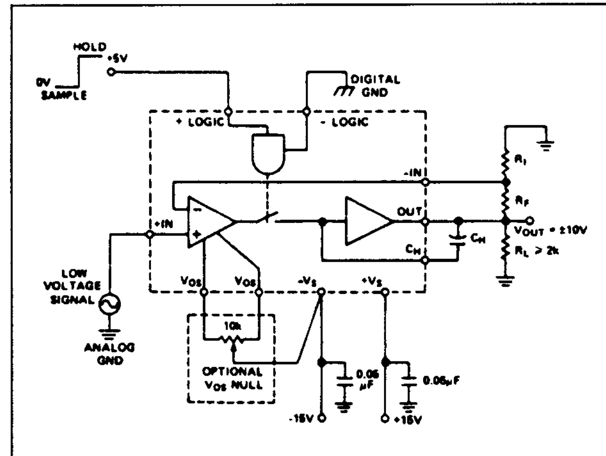
Sample and hold schakeling met een versterking van +1.

- figuur 12/6.2-52:

Schakeling waarbij de versterking kan worden ingesteld met behulp van de verhouding A = (1 + RF/RI).



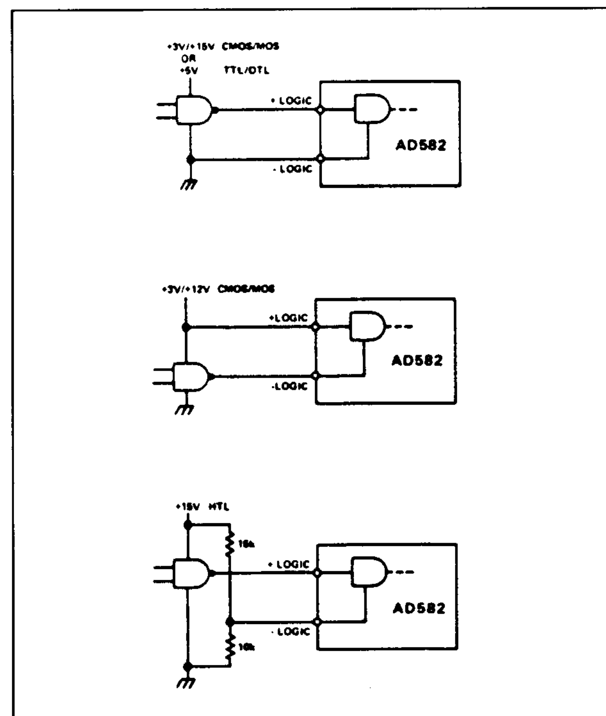
Figuur 12/6.2-51: Basisschakeling rond de AD 582.



Figuur 12/6.2-52: Het extern instellen van de versterkingsfactor bij de AD 582.

- figuur 12/6.2-53:

Het aanpassen van de hold-besturing aan verschillende standaard logische families.



Figuur 12/6.2-53: Het aanpassen van de hold-besturing aan verschillende logische niveaus.

6.2 Type-beschrijving

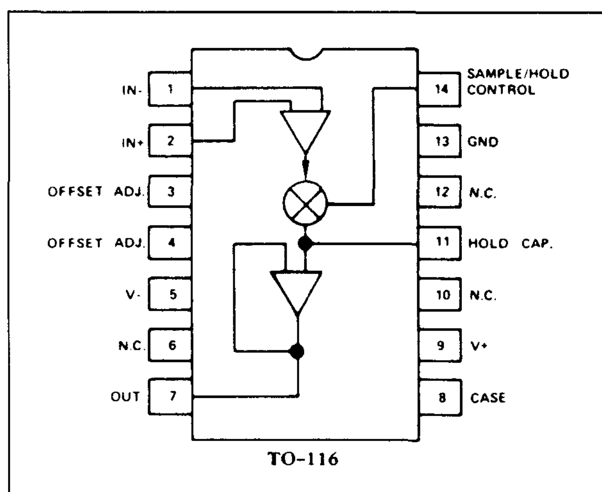
AD 583

4 μs, 0,1 %, 2 MHz

Schakeling bestaat uit een operationele versterker met differentiële ingangen, een analoge schakelaar en een buffer-versterker met zeer hoge ingangsimpedantie. Met gesloten schakelaar werkt het IC als een normale op-amp, met de schakelaar geopend wordt de sample and hold functie actief.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-14
- aansluitgegevens: figuur 12/6.2-54
- intern blokschema: figuur 12/6.2-54
- voedingsspanning: +/−20 V max.
- eigen stroomverbruik: +/−5,0 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/-15 V max.
  - biasstroom: 400 nA max.
  - impedantie: 5 MΩ
  - offsetspanning: +/−8 mV max.
  - versterking op-amp: 25.000 min.
- uitgangskarakteristieken:
  - uitgangsspanning: +/−10 V max.
  - uitgangsstroom: +/−10 mA max.
  - uitgangsimpedantie: 5 Ω max.
- sample-hold controle:
  - sample-mode: +0,8 V
  - hold-mode: +2,0 V min.



Figuur 12/6.2-54: Aansluitgegevens en intern blokschema van de AD 583.

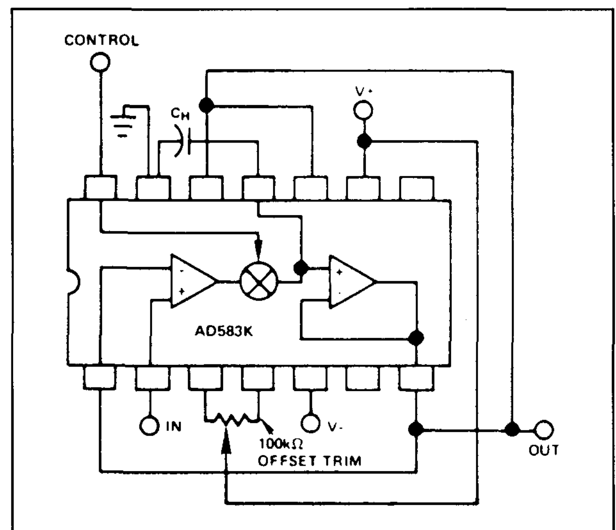
  - besturingsstroom: 0,8 mA max.
- dynamische karakteristieken:
  - acquisitie-tijd: 4 μs max.
  - 3 dB bandbreedte: 2 MHz typisch
  - slew rate.: 5 V/μs typisch
  - aperture tijd: 50 ns typisch
- statische karakteristieken:
  - versterking: bepaald door terugkoppeling
  - niet-ineariteit: +/−0,1 max.

Voorbeeld-schakelingen

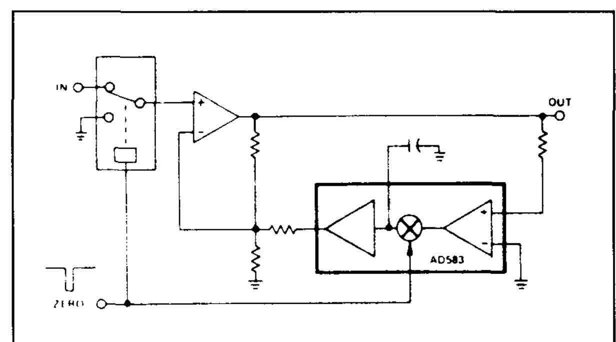
- figuur 12/6.2-55:

Basis-schakeling rond de AD 583.

- figuur 12/6.2-56:



Figuur 12/6.2-55: Basisschakeling rond de AD 583.



Figuur 12/6.2-56: Een zogenaamde 'auto-zero' schakeling voor het compenseren van de offset van een operationele versterker.

6.2 Type-beschrijving

Schakeling waarbij de AD 583 gebruikt wordt voor het automatisch compenseren van de offset van een operationele versterker. De ingang van de versterker wordt cyclisch naar massa geschakeld met de elektronische omschakelaar. De uitgangsspanning op dat moment wordt opgeslagen in de holdcondensator van de AF 583. Deze uitgangsspanning, een gevolg van de offset, wordt dan teruggekoppeld naar de inverterende ingang van de op-amp.

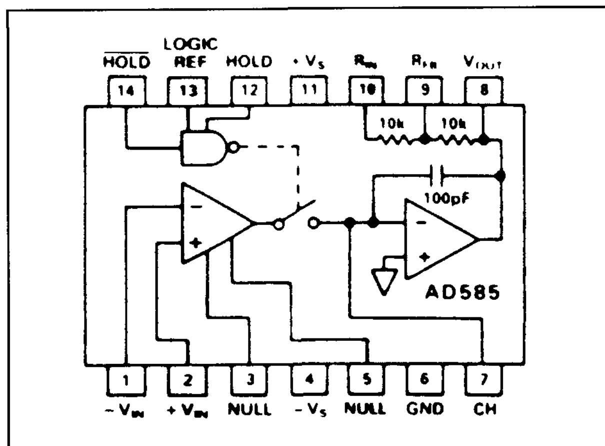
AD 585

3 μs, 0,01 %, 2 MHz

Schakeling bestaat uit een hoogwaardige operationele versterker met differentiële ingangen en offsetcompensatie, een analoge schakelaar en een bufferversterker met ingebouwde hold-condensator die werkt volgens het integratie-systeem. Met gesloten schakelaar werkt het IC als een normale op-amp, met de schakelaar geopend wordt de sample and hold functie actief. De hold-besturing heeft twee ingangen en een LOGIC REF pen, waarmee men kan instellen of de hold-functie negatief of positief logisch is.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-14
- aansluitgegevens: figuur 12/6.2-57



Figuur 12/6.2-57: Aansluitgegevens en intern blokschema van de AD 585.

- intern blokschema: figuur 12/6.2-57
- voedingsspanning: +/ − 18 V min, + 5 V max.
- eigen stroomverbruik: +/ − 10 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/-15 V max.
  - biasstroom: 2 nA max.
  - impedantie: 10^{12} Ω
  - capaciteit: 10 pF typisch
  - offsetspanning: +/ − 3 mV max.
  - versterking op-amp: 200.000 min.
- uitgangskarakteristieken:
  - uitgangsspanning: +/ − 10 V max.
  - uitgangsstroom: +/ − 50 mA max.
  - uitgangsimpedantie: 0,05 Ω max.
- sample-hold controle:
  - afhankelijke van de manier waarop de LOGIC REF met de HOLD of HOLD-niet wordt verbonden, zie bijvoorbeeld schakelingen.
  - besturingsstroom: 50 μA max.
- dynamische karakteristieken:
  - acquisitie-tijd: 3 μs max.
  - 3 dB bandbreedte: 2 MHz typisch
  - slew rate: 10 V/μs typisch
  - aperture tijd: 35 ns typisch
- statische karakteristieken:
  - versterking: bepaald door terugkoppeling
  - niet-lineariteit: +/ − 0,01 max.

Voorbeeld-schakelingen

- figuur 12/6.2-58:

Basis-schakeling rond de AD 585 met een gesloten lus versterking van + 1 en HOLD negatief actief.

- figuur 12/6.2-59:

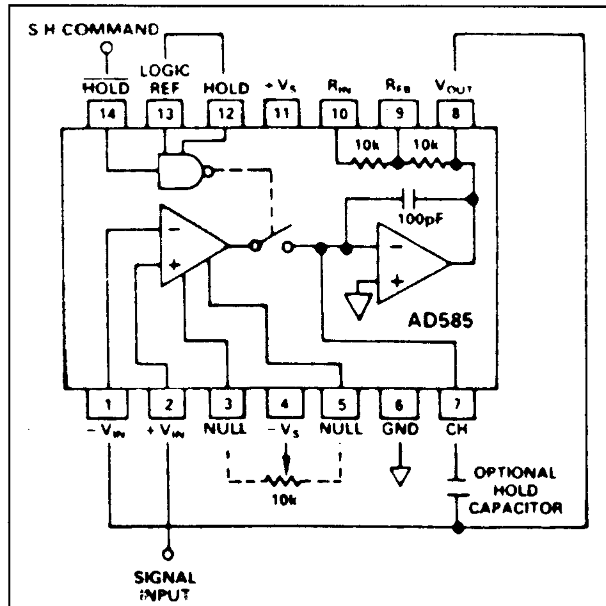
Basis-schakeling met een gesloten lus versterking van + 2 en HOLD positief actief.

SHA 1144

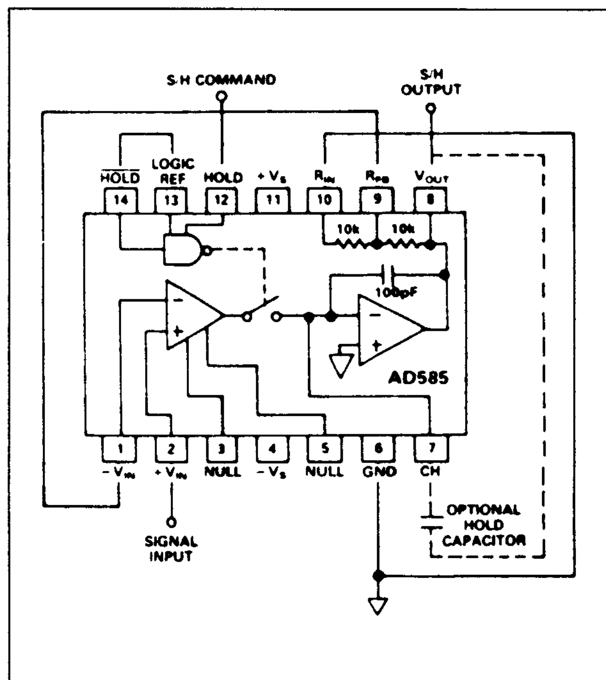
6 μs, 0,001 %, 1 MHz

Trage, maar zeer nauwkeurige schakeling in hybride-techniek met een nauwkeurigheid van niet minder dan 0,001 %. Ontworpen voor gebruik in combinatie met 14-bit analoog naar digitaal omzetters. Door de uitste-

6.2 Type-beschrijving



Figuur 12/6.2-58: Eerste basisschema rond de AD 585.

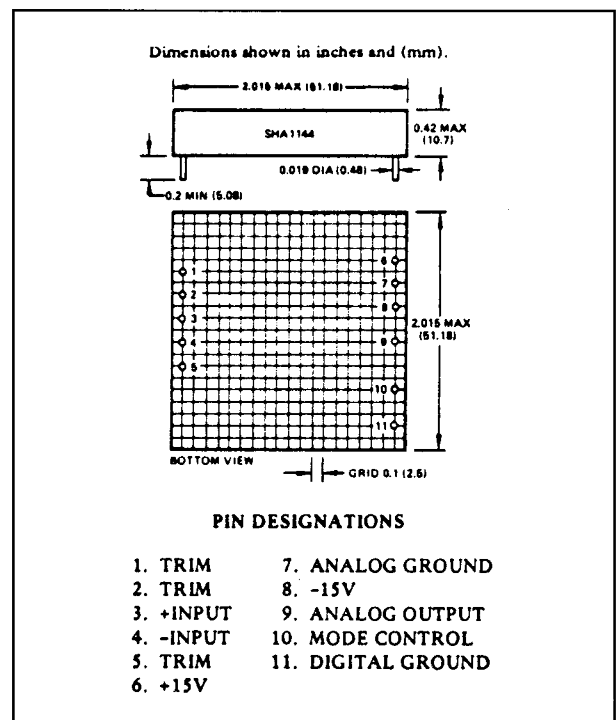


Figuur 12/6.2-59: Tweede basisschema rond de AD 585.

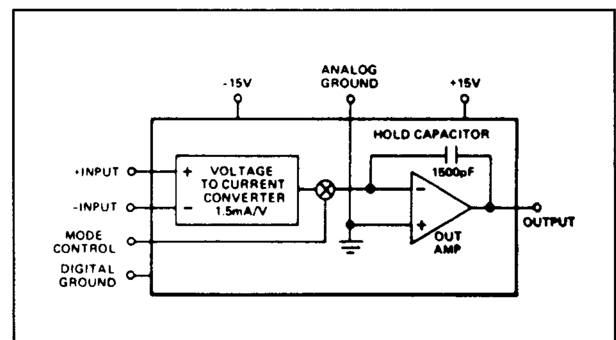
kende droop van slechts 1 μV/μs kan de schakeling een spanning 600 μs bewaren met een spanningsverlies van slechts 0,003 %.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: speciaal, zie figuur 12/6.2-60
- aansluitgegevens: figuur 12/6.2-60
- intern blokschema: figuur 12/6.2-61
- voedingsspanning: +/ – 15 V
- eigen stroomverbruik: + 60, – 45 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/-10 V max.
  - biasstroom: 0,5 nA max.



Figuur 12/6.2-60: Behuizing van de SHA 1144.

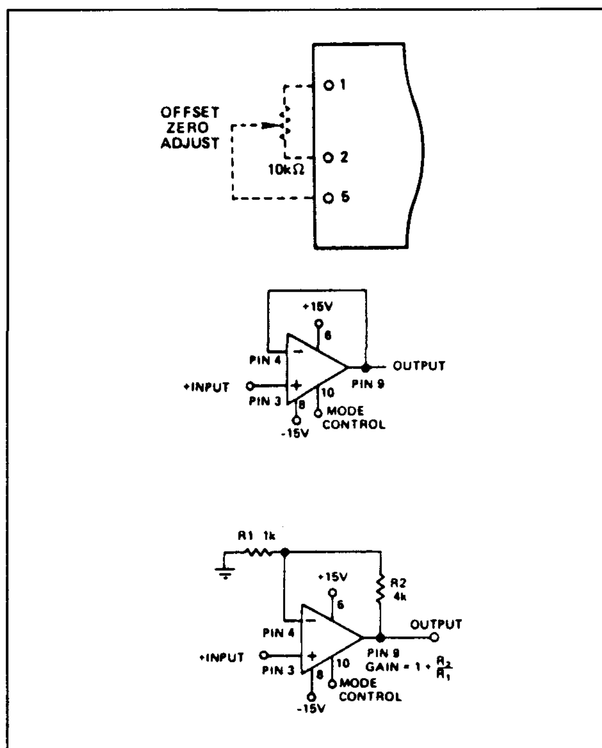


Figuur 12/6.2-61: Intern blokschema van de SHA 1144.

6.2 Type-beschrijving

  - impedantie: 10^{11} Ω
  - capaciteit: 10 pF max.
- uitgangskarakteristieken:
  - uitgangsspanning: +/ – 10 V max.
  - uitgangsstroom: +/ – 20 mA max.
  - uitgangsimpedantie: 1 Ω max.
  - ruisspanning: 175 μV max.
- sample-hold controle:
  - sample-mode: TTL 'H'-niveau
  - hold-mode: TTL 'L'-niveau
  - besturingsstroom: 20 μA max.
- dynamische karakteristieken:
  - acquisitie-tijd: 6 μs max.
  - 3 dB bandbreedte: 1 MHz typisch
  - slew rate: 3 V/μs typisch
  - aperture tijd: 50 ns typisch
  - hold droop: 1 μV/μs max.
- statische karakteristieken:
  - versterking: + 1,000 +/-0,005 %
  - niet-ineariteit: +/ – 0,001 max.

Voorbeeld-schakeling
- figuur 12/6.2-62:



Figuur 12/6.2-62: Offset-compensatie en basisschema's van en rond de SHA 1144.

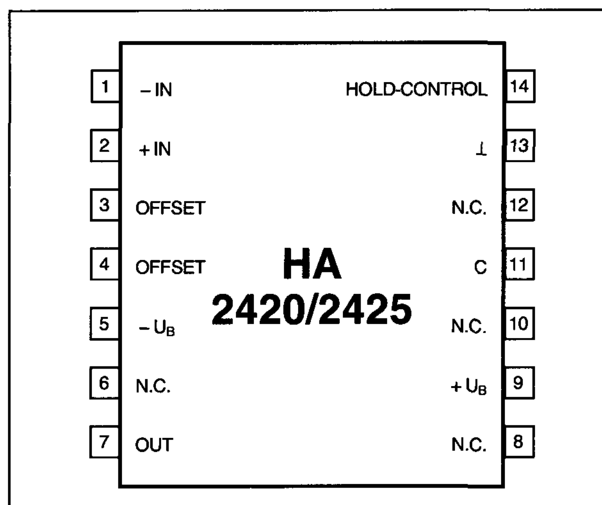
Het compenseren van de offset, een voorbeeld van een toepassing met een versterking van + 1 en een schakeling waarbij men de versterking extern kan instellen door het introduceren van een terugkoppeling.

HA-2420

5 μs, 0,01 %, 2,5 MHz

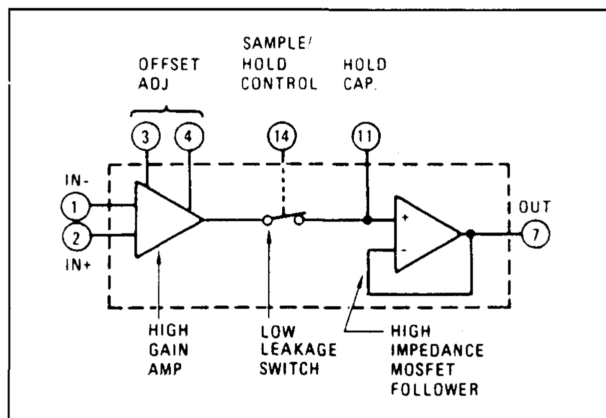
Met een differentiële operationele versterker uitgeruste sample and hold, gevolgd door een enkelpolige elektronische schakelaar en een bufferversterker. Hold-condensator extern, aansluitingen aanwezig voor offset-compensatie.

Technische gegevens
- fabrikant: Harris Semiconductor
- behuizing: DIL-14
- aansluitgegevens: figuur 12/6.2-63
- intern blokschema: figuur 12/6.2-64
- voedingsspanning: +/ – 20 V max.
- eigen stroomverbruik: + 3,5, – 2,5 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/-12 V max.
  - biasstroom: 200 nA max.
  - impedantie: 10 MΩ
  - offsetspanning: +/ – 4 mV max.
  - versterking op-amp: 50.000 typisch

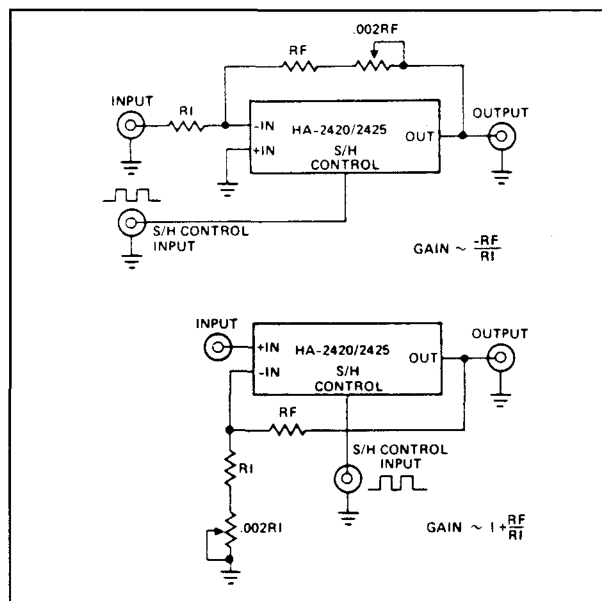


Figuur 12/6.2-63: Aansluitgegevens van de HA 2420 en HA 2425.

6.2 Type-beschrijving



Figuur 12/6.2-64: Intern blokschema van de HA 2420/25.



Figuur 12/6.2-65: Basisschema's rond de HA 2420/25.

- uitgangskarakteristieken:
  - uitgangsspanning: +/– 10 V max.
  - uitgangsstroom: +/– 15 mA max.
  - uitgangsimpedantie: 0,15 Ω max.
- sample-hold controle:
  - sample-mode: TTL 'L'-niveau
  - hold-mode: TTL 'H'-niveau
  - besturingsstroom: 0,8 μA max.
- dynamische karakteristieken:
  - acquisitie-tijd: 5 μs max.
  - 3 dB bandbreedte: 2,5 MHz typisch
  - slew rate: 7 V/μs typisch
  - aperture tijd: 30 ns typisch
  - feedthrough: 76 dB
- statische karakteristieken:
  - versterking: bepaald door terugkoppeling
  - niet-lineariteit: +/– 0,01 max.

Voorbeeld-schakeling
- figuur 12/6.2-65:

Vergelijking van de schakeling rondom de HA 2420 in inverterende mode (boven) en niet-inverterende mode (onder).

HA-2425

5 μs, 0,01 %, 2,5 MHz

Pen- en functie-compatible met de HA 2420, enige verschilpunten zijn het beperkte temperatuurbereik van 0 tot + 75 °C (HA 2420: – 55 tot + 125 °C) en de hogere offset van +/– 6 mV maximaal van de ingangsversterker.

Technische gegevens
- fabrikant: Harris Semiconductor
- behuizing: DIL-14
- aansluitgegevens: figuur 12/6.2-63
- intern blokschema: figuur 12/6.2-64
- ingangsoffset: +/-6 mV max.

Voor de overige gegevens en de voorbeeldschakelingen wordt verwezen naar de HA 2420.

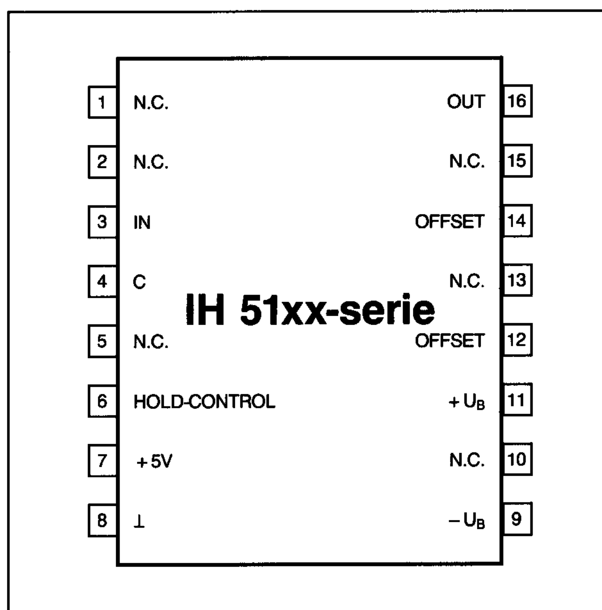
IH 5110

6 μs, 0,1 %

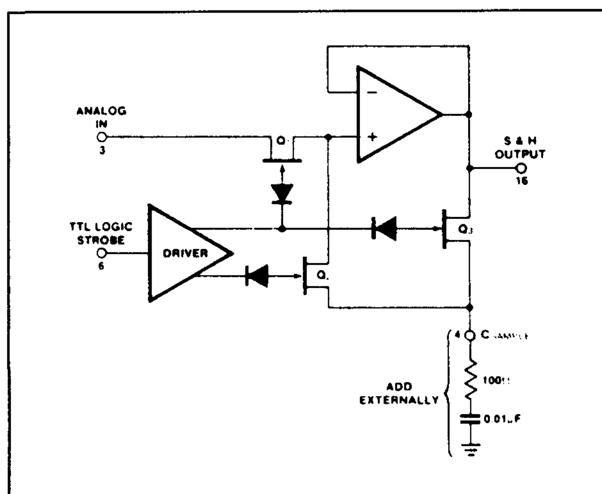
Eenvoudige sample and hold schakeling van Intersil, waarbij slechts één bufferversterker aanwezig is voor sample and hold modes. Dit wordt gerealiseerd door drie elektronische schakelaars, die de hold-condensator in sample mode aan de uitgang van de buffer leggen en in hold mode aan de ingang van de buffer. In sample mode werkt de schakeling dus als spanninsvolgers met een versterking van exact + 1.

6.2 Type-beschrijving

Technische gegevens
- fabrikant: Intersil
- behuizing: DIL-16
- aansluitgegevens: figuur 12/6.2-66
- intern blokschema: figuur 12/6.2-67
- voedingsspanning: +/−16, +5 V max.
- eigen stroomverbruik: +/-6, +10 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/-7,5 V max.
  - impedantie: 100 MΩ
  - offsetspanning: +/−40 mV max.
- uitgangskarakteristieken:
  - uitgangsspanning: +/−7,5 V max.
- sample-hold controle:
  - sample-mode: TTL 'H'-niveau
  - hold-mode: TTL 'L'-niveau
- dynamische karakteristieken:
  - acquisitie-tijd: 6 μs max.
  - aperture tijd: 120 ns typisch
  - hold droop: 1 mV/s max.
- statische karakteristieken:
  - versterking: +1, +/-0,01 %
  - niet-lineariteit: +/−0,1 max.



Figuur 12/6.2-66: Aansluitgegevens van de IH 51xx reeks.



Figuur 12/6.2-67: Intern blokschema van de IH 51xx reeks van Intersil.

Voorbeeld-schakeling
- figuur 12/6.2-68:

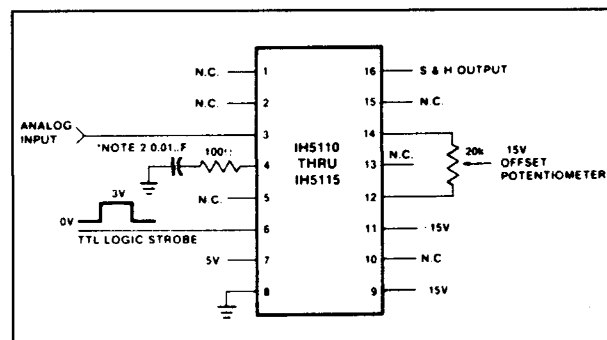
Basis-schema van de IH 51xx-serie met externe offsetcompensatie.

IH 5111

6 μs, 0,1 %

Pen- en functie-compatible met de IH 5110, de schakeling wijkt op slechts enkele detailpunten af van de specificaties van de IH 5110.

Technische gegevens
- fabrikant: Intersil
- behuizing: DIL-16
- aansluitgegevens: figuur 12/6.2-66
- intern blokschema: figuur 12/6.2-67
- ingangsspanning: +/−10 V max.



Figuur 12/6.2-68: Basisschema rond een IC uit de IH 51xx reeks.

6.2 Type-beschrijving

Voor de overige gegevens en voorbeeldschakelingen wordt verwezen naar de IH 5110.

IH 5112

6 μs, 0,1 %

Pen- en functie-compatible met de IH 5110, de schakeling wijkt op slechts enkele detailpunten af van de specificaties van de IH 5110.

Technische gegevens
- fabrikant: Intersil
- behuizing: DIL-16
- aansluitgegevens: figuur 12/6.2-66
- intern blokschema: figuur 12/6.2-67
- ingangsoffset: +/-10 mV max.

Voor de overige gegevens en voorbeeldschakelingen wordt verwezen naar de IH 5110.

IH 5113

6 μs, 0,1 %

Pen- en functie-compatible met de IH 5110, de schakeling wijkt op slechts enkele detailpunten af van de specificaties van de Ih 5110.

Technische gegevens
- fabrikant: Intersil
- behuizing: DIL-16
- aansluitgegevens: figuur 12/6.2-66
- intern blokschema: figuur 12/6.2-67
- ingangsspanning: +/ – 10 V max.
- ingangsoffset: +/ – 10 mV max.

Voor de overige gegevens en voorbeeldschakelingen wordt verwezen naar de IH 5110.

IH 5114

6 μs, 0,1 %

Pen- en functie-compatible met de IH 5110, de schakeling wijkt op slechts enkele detailpunten af van de specificaties van de IH 5110.

Technische gegevens
- fabrikant: Intersil
- behuizing: DIL-16
- aansluitgegevens: figuur 12/6.2-66
- intern blokschema: figuur 12/6.2-67
- ingangsoffset: +/ – 5 mV max.

Voor de overige gegevens en voorbeeldschakelingen wordt verwezen naar de IH 5110.

IH 5115

6 μs, 0,1 %

Pen- en functie-compatible met de IH 5110, de schakeling wijkt op slechts enkele detailpunten af van de specificatie van de IH 5110.

Technische gegevens
- fabrikant: Intersil
- behuizing: DIL-16
- aansluitgegevens: figuur 12/6.2-66
- intern blokschema: figuur 12/6.2-67
- ingangsspanning: +/ – 10 V max.
- ingangsoffset: +/ – 5 mV max.

Voor de overige gegevens en voorbeeldschakelingen wordt verwezen naar de IH 5110.

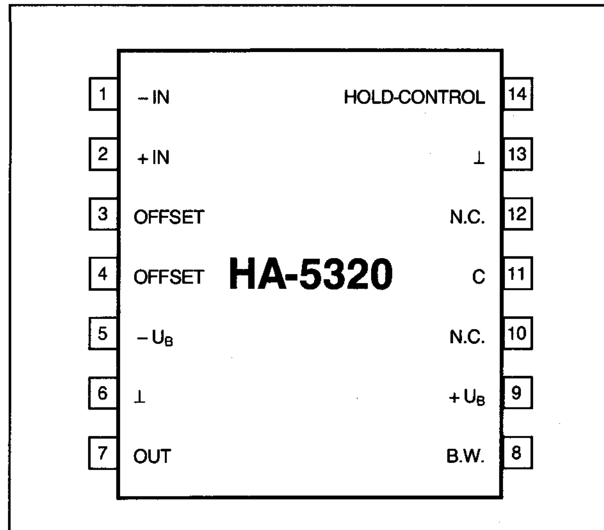
HA-5320

1,2 μs, 0,01 %, 2,0 MHz

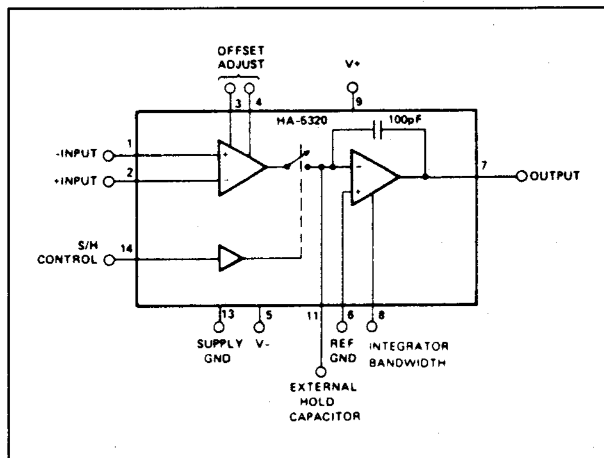
De ingangstrap van deze schakeling bestaat uit een OTA, die in staat is een grote laadstroom te leveren aan de (interne) holdcondensator. De uitgangsbuffer werkt volgens het integratie-principe. De waarde van de interne condensator kan door een extern onderdeel vergroot worden.

Technische gegevens
- fabrikant: Harris Semiconductor
- behuizing: DIL-14
- aansluitgegevens: figuur 12/6.2-69

6.2 Type-beschrijving



Figuur 12/6.2-69: Aansluitgegevens van de HA-5320.



Figuur 12/6.2-70: Intern blokschema van de HA-5320.

- intern blokschema: figuur 12/6.2-70
- voedingsspanning: +/ – 20 V max.
- eigen stroomverbruik: +/ – 11 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/-10 V max.
  - biasstroom: 300 nA max.
  - impedantie: 5 MΩ
  - capaciteit: 3 pF max.
  - offsetspanning: +/ – 1,5 mV max.
  - versterking op-amp: 200.000 typisch
- uitgangskarakteristieken:
  - uitgangsspanning: +/ – 10 V max.
  - uitgangsstroom: +/ – 10 mA max.
  - uitgangsimpedantie: 1 Ω max.
  - ruisspanning: 200 µV max.
- sample-hold controle:
  - sample-mode: + 0,8 V max.
  - hold-mode: + 2,0 V min.
  - besturingsstroom: 4 µA max.
- dynamische karakteristieken:
  - acquisitie-tijd: 1,2 µs max.
  - 3 dB bandbreedte: 2 MHz typisch
  - slew rate: 45 V/µs typisch
  - aperture tijd: 25 ns typisch
  - hold droop: 100 µV/µs max.
- statische karakteristieken:
  - versterking: afhankelijk van terugkoppeling
  - niet-lineariteit: +/ – 0,01 max.

Voorbeeld-schakeling
- figuur 12/6.2-71:

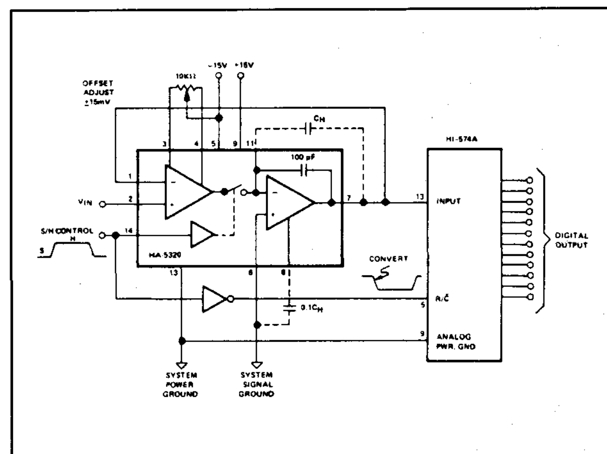
Basis-schema rond de HA-5320 in een analoog naar digitaal omzetter, met een versterkingsfactor van + 1.

HA-5330

400 ns, 0,01 %

Snelle uitvoering van de HA-5330, die wél functie- maar niet pen-compatible is.

Technische gegevens
- fabrikant: Harris Semiconductor
- behuizing: DIL-14



Figuur 12/6.2-71: Een HA-5320 gebruikt in een analoog naar digitaal omzetter.

6.2 Type-beschrijving

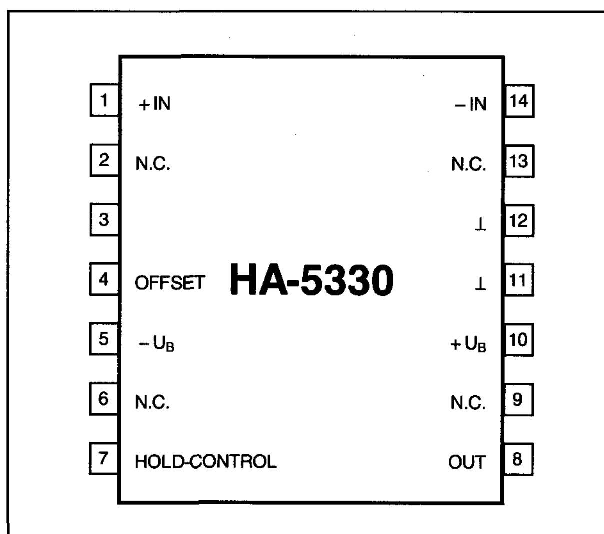
- aansluitgegevens: figuur 1 +/6.2-72
- intern blokschema: figuur 1 +/6.2-73
- acquisitie-tijd: 400 ns max.
- aperture tijd: 25 ns typisch
- hold droop: 10 μV/μs max.
- niet-lineariteit: +/ – 0,01 max.

Nadere gegevens ontbreken.

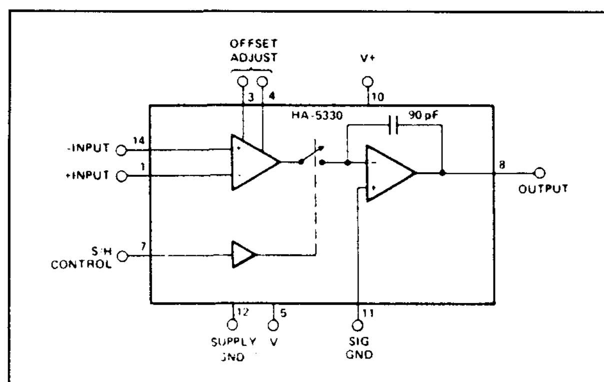
NE 5537

4 μs, 0,01 %

Recht-toe-recht-aan schakeling, samengesteld uit een ingangsversterker, een enkelvoudige elektronische aan/uit schakelaar, een aansluiting voor een externe holdcondensator en een uitgangsbuffer.



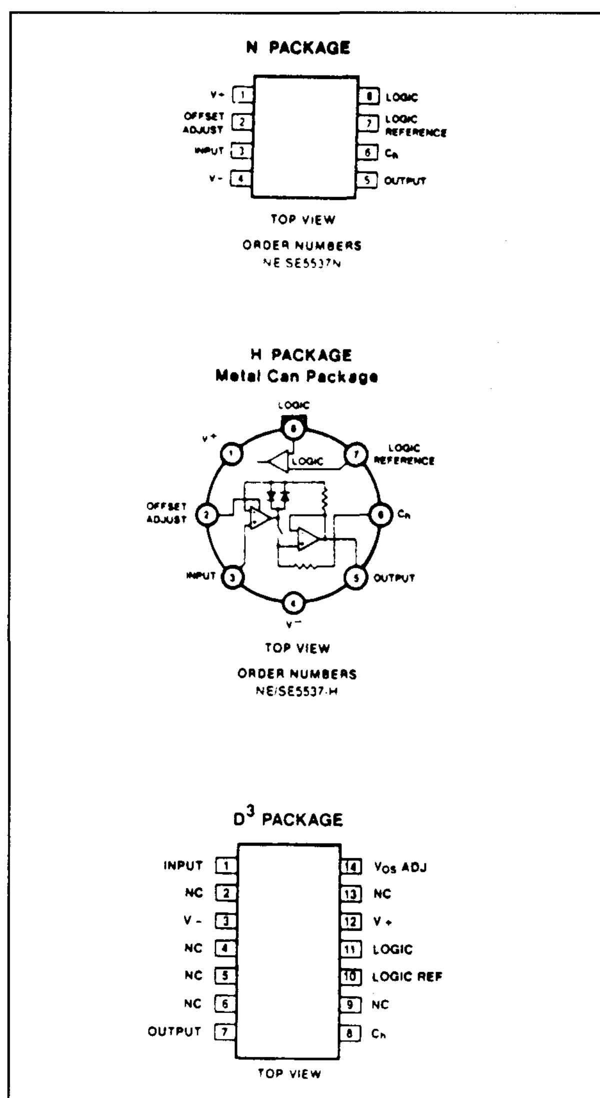
Figuur 12/6.2-72: Aansluitgegevens van de HA-5330.



Figuur 12/6.2-73: Intern blokschema van de HA-5330.

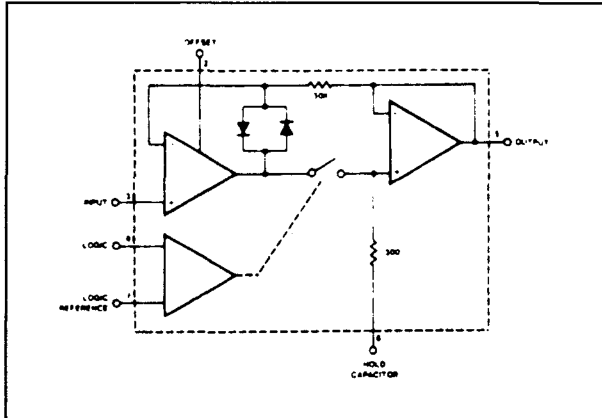
Technische gegevens

- fabrikant: Signetics
- behuizing: DIL-8, DIL-14, TO-100
- aansluitgegevens: figuur 1 +/6.2-74
- intern blokschema: figuur 1 +/6.2-75
- voedingsspanning: +/ – 18 V
- eigen stroomverbruik: +/-7,5 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/-Ub max.
  - biasstroom: 100 nA max.
  - impedantie: 10^{10} Ω
  - offsetspanning: +/ – 10 mV max.



Figuur 12/6.2-74: Behuizingen en aansluitgegevens van de NE/SE 5537.

6.2 Type-beschrijving



Figuur 12/6.2-75: Intern blokschema van de NE/SE 5537.

- uitgangskarakteristieken:
  - uitgangsimpedantie: 6 Ω max.
  - ruisspanning: 175 μV max.
- sample-hold controle:
  - sample-mode: + 1,4 V min
  - hold-mode: + 0,8 V max.
- dynamische karakteristieken:
  - acquisitie-tijd: 4 μs max.
  - feedthrough: 90 dB
- statische karakteristieken:
  - versterking: -1,000 +/-0,1 %
  - niet-lineariteit: +/ – 0,01 max.

SE 5537

4 μs, 0,007 %

Functie- en pen-compatible met de NE 5537, echter met afwijkende specificaties

Technische gegevens

- fabrikant: Signetics
- behuizing: DIL-8, DIL-14, TO-100
- aansluitgegevens: figuur 12/6.2-74
- intern blokschema: figuur 12/6.2-75
- voedingsspanning: +/ – 18 V
- eigen stroomverbruik: +/ – 6,5 mA typisch
- ingangskarakteristieken:
  - ingangsspanning: +/-Ub max.
  - biasstroom: 75 nA max.
  - impedantie: 10^{10} Ω
  - offsetspanning: +/ – 5 mV max.
- uitgangskarakteristieken:
  - uitgangsimpedantie: 4 Ω max.
- sample-hold controle:
  - sample-mode: + 1,4 V min.
  - hold-mode: + 0,8 V max.
- dynamische karakteristieken:
  - acquisitie-tijd: 4 μs max.
  - feedthrough: 96 dB
- statische karakteristieken:
  - versterking: – 1,000 +/-0,1 %
  - niet-lineariteit: +/ – 0,007 max.

12/7

Digitaal naar analoog omzetters

Inhoud

NE 5410	10 bit	250 ns	I uitgang
HI-5610	10 bit	85 ns	I-uitgang
AD 7520	10 bit	500 ns	I-uitgang
MP 7520	10 bit	500 ns	I-uitgang
AD 7521	10 bit	500 ns	I-uitgang
MP 7522	10 bit	500 ns	I-uitgang
AD 7527	10 bit	950 ns	I-uitgang
AD 7530	10 bit	500 ns	I-uitgang
MP 7530	10 bit	500 ns	I-uitgang
AD 7533	10 bit	600 ns	I-uitgang
MP 7533	10 bit	500 ns	I-uitgang
MP 7533	10 bit	500 ns	I-uitgang
TLC 7533	10 bit	150 ns	I-uitgang
MP 7633	10 bit	500 ns	I-uitgang
SP 9770	10 bit	12 ns	I-uitgang

12/7.5 Type-beschrijving DAC's, resolutie 12 bit

12/7.6 Type-beschrijving DAC's, resolutie groter dan 12 bit

12/7.7 Type-beschrijving niet-lineaire DAC's

(aanvulling 23)

AD 7111	logaritmisch	8 bit	88,5 dB
AD 7110	logaritmisch	6 bit	88,5 dB
AD 7115	logaritmisch	2,5 digit BCD	19,5 dB
AD 7118	logaritmisch	6 bit	88,5 dB

12/7.8 Type-beschrijving tweevoudige DAC's

(aanvulling 25)

PCM 60 P	2 x 16 bit		U-uitgang
ZN 508	2 x 8 bit	800 ns	U-uitgang
ZN 527	2 x 8 bit	800 ns	U-uitgang
ZN 528	2 x 8 bit	800 ns	U-uitgang
DAC 725	2 x 16 bit	4 µs	U-uitgang
AD 7237	2 x 12 bit	5 µs	U-uitgang
AD 7247	2 x 12 bit	5 µs	U-uitgang
AD 7528	2 x 8 bit	200 ns	I-uitgang
MP 7528	2 x 8 bit	200 ns	I-uitgang
TLC 7528	2 x 8 bit	200 ns	I-uitgang
AD 7537	2 x 12 bit	1,5 µs	I-uitgang
AD 7547	2 x 12 bit	1,5 µs	I-uitgang
AD 7549	2 x 12 bit	1,5 µs	I-uitgang
AD 7628	2 x 8 bit	400 ns	I-uitgang
DAC-8212	2 x 12 bit	1 µs	I-uitgang
DAC-8221	2 x 12 bit	1 µs	I-uitgang

DAC-8222	2 x 12 bit	1 µs	I-uitgang
DAC-8228	2 x 8 bit	1 µs	U-uitgang
DAC-8248	2 x 12 bit	1 µs	I-uitgang

12/7.9 Type-beschrijving meer dan tweevoudige DAC's

(aanvulling 29 + 30)

AD 390	4 x 12 bit	8 µs	U-uitgang
AD 392	4 x 12 bit	4 µs	U-uitgang
AD 394	4 x 12 bit	10 µs	U-uitgang
AD 395	4 x 12 bit	10 µs	U-uitgang
AD 396	4 x 14 bit	10 µs	U-uitgang
AD 664	4 x 12 bit	8 µs	U-uitgang
AD 7225	4 x 8 bit	5 µs	U-uitgang
AD 7226	4 x 8 bit	5 µs	U-uitgang
PM-7226	4 x 8 bit	5 µs	U-uitgang
AD 7228	8 x 8 bit	2 µs	U-uitgang
MP 7628	4 x 8 bit		I-uitgang
DAC-8408	4 x 8 bit	250 ns	I-uitgang
DAC-8426	4 x 8 bit	5 µs	U-uitgang

12/7.10 Type-beschrijving DAC's met seriële ingangen

(aanvulling 24)

PCM 56 P	16 bit	1,5 µs	U-uitgang
PCM 58 P	18 bit	200 ns	I-uitgang
TDA 1540	14 bit	1,0 µs	I-uitgang
AD 1856	16 bit	1,5 µs	U-uitgang
AD 1860	18 bit	1,5 µs	U-uitgang
AD 7543	12 bit	2,0 µs	I-uitgang
MP 7543	12 bit	2,0 µs	I-uitgang
AD 7840	14 bit	4,0 µs	U-uitgang

12/7.1

Achtergrond-informatie

Principes

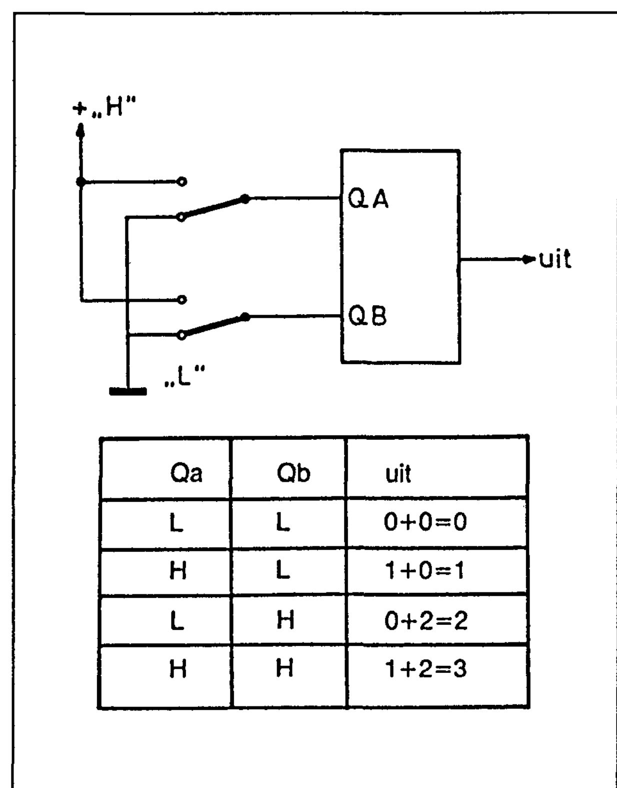
Basiswerking van DAC's

Digitaal naar analoog omzetters, kortweg DAC's genoemd, hebben tot taak een digitale binaire code om te zetten in een analoge spanning. De grootte van de analoge spanning is afhankelijk van het "gewicht" van de digitale code.
Dat "gewicht" van een digitale code is een belangrijk begrip en het is noodzakelijk daar even bij stil te staan.

In figuur 12/7.1-1 is een digitaal naar analoog omzetter getekend met twee digitale ingangen Q_a en Q_b.
Beide signalen kunnen uit de aard der zaak alleen "L" of "H" zijn.

Bij het omzetten van de vier mogelijke binaire combinaties op de ingang moet een afspraak gemaakt worden met welke analoge spanning op de uitgang iedere combinatie overeen komt.
Zo'n afspaak zou er als volgt kunnen uitzien:

- Q_A = "L", Q_B = "L"
  Analoge uitgangsspanning is gelijk aan 0 V.
- Q_A = "H", Q_B = "L"
  Analoge uitgangsspanning is gelijk aan 1 V.
- Q_A = "L", Q_B = "H"
  Analoge uitgangsspanning is gelijk aan 2 V.
- Q_A = "H", Q_B = "H"
  Analoge uitgangsspanning is gelijk aan 3 V.



Qa	Qb	uit
L	L	0+0=0
H	L	1+0=1
L	H	0+2=2
H	H	1+2=3

Figuur 12/7.1-1: Verklaring van het begrip "gewicht" van een digitale code.

Men kan dan stellen dat het "gewicht" van bit Q_A gelijk is aan 1 V en het "gewicht" van bit Q_B gelijk is aan 2 V. Het "gewicht" van de afzonderlijke bits speelt alleen een rol bij het bepalen van het "gewicht" van de volledige digitale code als het desbetreffende bit "H" is.
Een bit dat "L" is heeft altijd een gewicht van 0 V.

7.1 Achtergrond-informatie

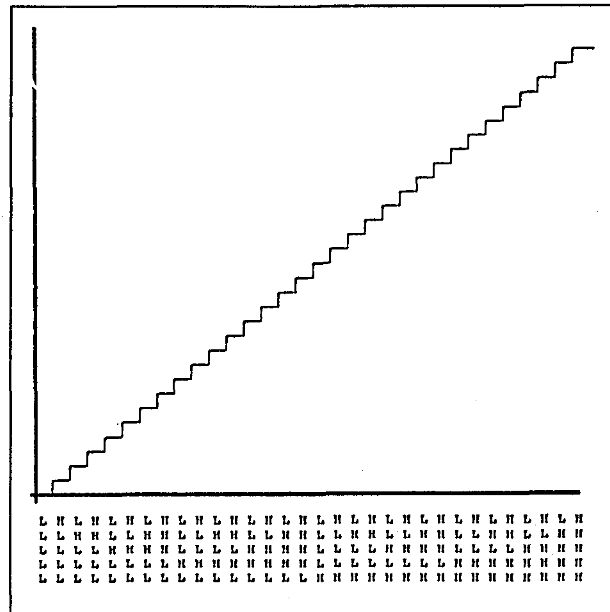
In de meeste gevallen worden de gewichtswaarden aan de opeenvolgende bits toegekend volgens de bekende "macht van 2"-reeks.
Het eerste bit krijgt het gewicht $2^0 = 1$. Het daaropvolgende bit krijgt het gewicht $2^1 = 2$. Het derde bit heeft het gewicht $2^2 = 4$.
In het algemeen kan men stellen dat bij dit soort lineair werkende digitaal naar analoog omzetters het n-de bit een gewicht heeft van 2n.

Afgesproken wordt dat het bit met het laagste gewicht het "minst significante bit" (LSB) wordt genoemd en het bit met het hoogste gewicht het "meest significante bit" (MSB).

Eigenschap van lineair werkende DAC's

DAC's waarbij de gewichten volgens de beschreven 2^n-reeks aan de bits worden toegekend worden lineair werkende DAC's genoemd omdat de analoge uitgangsspanning een bepaald specifiek verloop heeft als men de digitale code aan de ingangen van "L-L-L-....-L-L" tot en met "H-H-H-....-H-H" in de normale binaire codevolgorde laat stijgen. Aan de uitgang ontstaat dan namelijk een trapvormige spanning, die een lineaire zaagtand benadert.
Dit is in figuur 12/7.1-2 getekend voor een systeem dat werkt met vijf bits.

Opgemerkt moet worden dat, hoewel de overgrote meerderheid van de leverbare DAC's werkt volgens dit lineaire systeem, er toch ook schakelingen bestaan die van deze regel afwijken.
Zo levert Analog Devices bijvoorbeeld een aantal schakelingen waar het verband tussen de gewichten van de digitale codes en de analoge uitgangsspanning logaritmisch is.
Dat zijn echter zeer speciale schakelingen en vandaar dat bij het verklaren van de werking van de verschillende DAC-technieken alleen over lineair werkende schakelingen zal geschreven worden.



Figuur 12/7.1-2: De specifieke vorm van de analoge uitgangsspanning van een lineair werkende DAC.

Werkingsprincipes van lineaire DAC's

Er bestaan zes verschillende werkingsprincipes waarmee het digitale naar analoge proces in lineaire DAC's wordt uitgevoerd:
- de DAC met gewogen weerstanden;
- de DAC met een spanningsgestuurd R-2R netwerk;
- de DAC met een stroomgestuurd R-2R netwerk;
- de DAC met geschakelde stroombronnen;
- de DAC met dynamic element matching;
- de DAC met geïntegreerde variabele pulssturing.

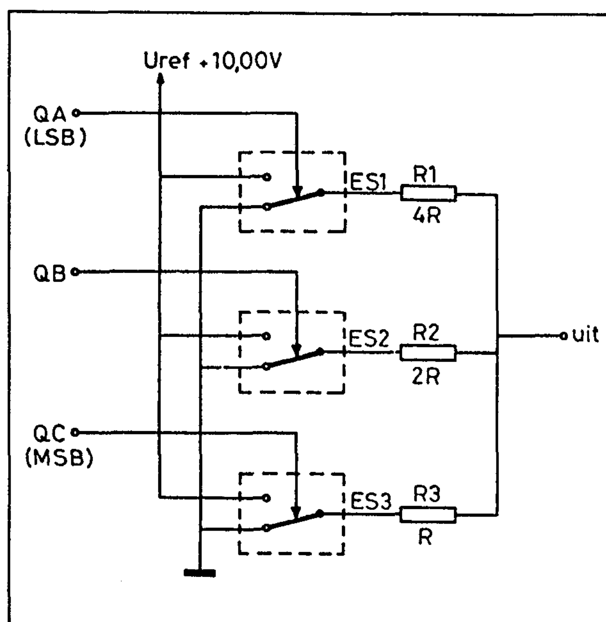
Deze zes principes zullen in de volgende paragrafen worden verklaard.

DAC met gewogen weerstanden

Principe

Bij de DAC met gewogen weerstanden wordt, zie figuur 12/7.1-3, ieder bit gebruikt

voor het besturen van een elektronische omschakelaar. Deze schakelaars schakelen het moedercontact ofwel aan de massa ofwel aan een nauwkeurige referentiespanning. De moedercontacten van de schakelaars zijn ieder verbonden met een weerstand, alle vrije aansluitingen van deze weerstanden zijn aan elkaar gekoppeld en vormen de uitgang van de schakeling.
De weerstandswaarden zijn niet willekeurig gekozen, maar zijn gewogen. Tussen het gewicht van de bits en het gewicht van de weerstanden bestaat een omgekeerd verband. Het bit met het laagste gewicht bestuurt de elektronische schakelaar van de weerstand met het hoogste gewicht en vice versa. De onderlinge gewichten van de weerstanden voldoen aan dezelfde 2^n-wet als het gewicht van de bits. Als de weerstand met het laagste gewicht dus een waarde van R heeft, dan zal de weerstand met het hoogste gewicht een waarde van $R.2^n$ hebben.
In het getekende voorbeeld hebben de drie weerstanden dus een waarde van R, 2R en 4R.



Figuur 12/7.1-3: Het principe van de DAC met gewogen weerstanden, toegepast op een systeem met drie bits.

Grootte van de analoge uitgangsspanning

Men kan nu aantonen dat als de drie ingangsbits hun normale codevolgorde van "L-L-L" tot en met "H-H-H" doorlopen de analoge spanning op de uitgang voldoet aan de eerder gestelde eigenschap van lineair werkende DAC's. Er ontstaat een trapvormige spanning die een lineaire zaagtand benadert.
De elektronische schakelaars schakelen de linker aansluitingen van de weerstanden ofwel naar 0 ofwel naar +10 V, de rechter aansluitingen zijn gemeenschappelijk.
Het komt er dus op neer dat voor iedere codecombinatie een bepaald serie/parallel netwerk van de weerstanden ontstaat. Van ieder netwerk is op een zeer eenvoudige manier de vervangende waarde te berekenen.
Voor het getekende voorbeeld kan men berekenen dat de analoge uitgangsspanning voor de verschillende codecombinaties gelijk wordt aan:
0 V;
1,428 V;
2,857 V;
4,285 V;
5,714 V;
7,142 V;
8,571 V;
10 V.

Alle stappen van de stapvormige uitgangsspanning liggen dus precies 1,428 V uit elkaar!
Waarmee bewezen is dat de schakeling inderdaad voldoet aan de basiseigenschap van een lineair werkende digitaal naar analoog omzetter.

Uitschakelen van de belastingsinvloed

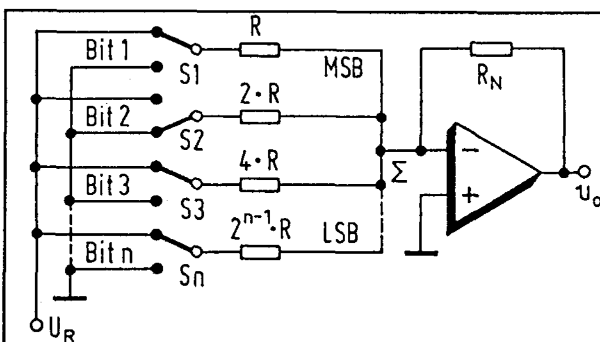
Bij de besproken schakeling wordt geen rekening gehouden met de invloed van de belasting op de uitgang van de DAC. Deze weerstand zal de spanningsdeler van de DAC belasten, waardoor de nauwkeurigheid van de omzetting in het gedrang komt.

7.1 Achtergrond-informatie

Vandaar dat in de praktijk gebruik wordt gemaakt van de schakeling van figuur 12/7.1-4. Deze schakeling werkt volgens hetzelfde principe. De weerstanden R, 2R, 4R, ... gaan nu echter naar de inverterende ingang van een operationele versterker. De niet inverterende ingang van deze schakeling ligt aan de massa.
De schakeling vormt een mengschakeling met virtueel nulpunt. Omdat de niet inverterende ingang van de op-amp aan de massa ligt zal ook de spanning op de inverterende ingang streven naar 0 V.

De gewogen weerstanden leveren nu stromen aan dit punt. Omdat de weerstanden gewogen zijn zullen de stromen dat ook zijn. Als het MSB "H" wordt zal weerstand R een stroom van U_R gedeeld door R leveren. Het lagere bit levert een stroom U_R gedeeld door 2R. Deze stroom bedraagt dus de helft van de stroom van het MSB.

Al de stromen die door de bits die "H" zijn worden geleverd, kunnen alleen via de terugkoppelingsweerstand R_N afvloeien. De somstroom wekt over de weerstand een spanningsval op waarvan de grootte uiteraard recht evenredig is met de waarde van de somstroom. Op deze manier ontstaat aan de uitgang van de schakeling een analoge spanning die evenredig is met het gewicht van de digitale code aan de ingang van de schakeling.



Figuur 12/7.1-4: Stroombronschakeling van een DAC met gewogen weerstanden.

De operationele versterker zorgt ervoor dat de belasting van de trap geen invloed heeft op de grootte van de uitgangsspanning.

Nadelen van de DAC met gewogen weerstanden

Men zal in de praktijk nauwelijks digitaal naar analoog omvormers aantreffen die werken volgens het principe van de gewogen weerstanden. Dat principe heeft een aantal nadelen.

Op de eerste plaats moet men gebruik maken van weerstanden met een zeer hoge waarde als het aantal bits van de omzetter stijgt.
Om de invloed van de interne weerstand van de elektronische schakelaars te minimaliseren moet men met een basisweerstand bij het MSB van minstens 30 kΩ werken. Bij een 8 bit DAC heeft men bij het LSB al een weerstand van bijna 4 MΩ nodig!

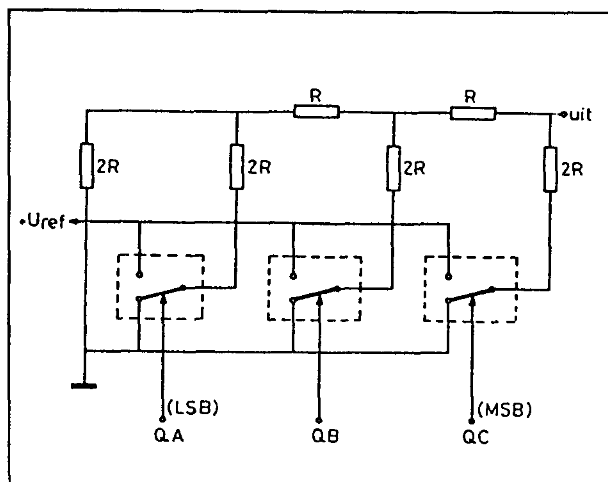
Op de tweede plaats hangt de nauwkeurigheid van de omzetting af van de tolerantie op de weerstanden.
In feite zou men zelfs bij de 8 bit brede schakeling al geen 1 % weerstanden kunnen toepassen! Nu is het een feit dat bij alle principes nauwkeurige weerstanden vereist zijn.
Zoals uit de volgende subhoofdstukken zal blijken heeft men bij de andere principes echter te maken met identieke weerstanden. Het is technologisch tamelijk eenvoudig om een aantal identieke weerstanden met identieke weerstandstolerantie op een chip te integreren.

Op de derde plaats heeft de besproken schakeling een zeer grote uitgangsimpedantie, dit vanwege de hoge weerstandswaarden die bij de omzetting een rol spelen. Deze hoge weerstanden vormen, samen met de onvermijdelijke bedradingscapaciteiten, laagdoorlaatfiltertjes die de werking van de schakeling bij het verwerken van snelle codeopvolgingen zeer nadelig beïnvloeden.

DAC met spanningsgestuurd R-2R netwerk

Principe

Het principe van dit soort schakelingen is getekend in figuur 12/7.1-5.



Figuur 12/7.1-5: Het principe van de DAC met spanningsgestuurd R-2R netwerk.

De ingangsbits sturen ook nu elektronische omschakelaars, die weerstanden ofwel met de massa ofwel met een referentiespanning doorverbinden. Het weerstandsnetwerk is echter zeer specifiek gevormd. Met noemt deze structuur een "laddernetwerk".
Op de eerste plaats worden er slechts twee weerstandswaarden gebruikt, R en 2R. Problemen met uit de hand lopende weerstandswaarden doen zich hier dus niet voor!
Op de tweede plaats is de impedantieverhouding veel evenwichtiger. Iedere elektronische schakelaar "ziet" ongeveer dezelde impedantie ten opzichte van de massa. De inwendige weerstanden van de elektronische schakelaars hebben dan veel minder invloed op de nauwkeurigheid van de omzetting.

De werking van de schakeling

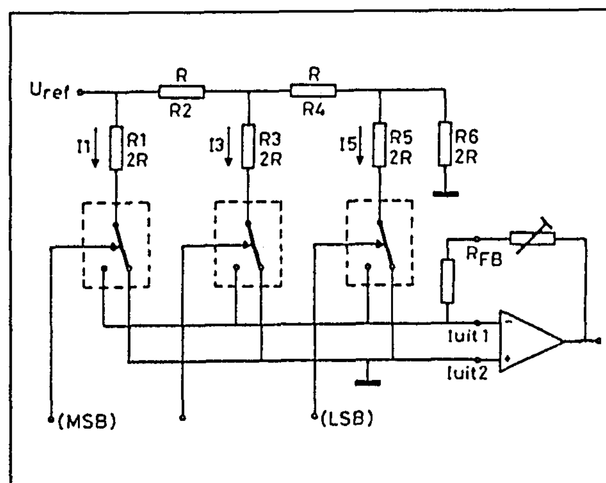
Uiteraard moet nog bewezen worden dat op de uitgang een trapvormige spanning ontstaat als de codecombinatie op de ingang alle stappen tussen "L-L-L" en "H-H-H" doorloopt. Wie er de moeite voor over heeft zou weer voor iedere ingangscombinatie het equivalente schema van de weerstanden kunnen opstellen. Voor iedere code zullen er een aantal weerstanden parallel geschakeld worden tussen de massa en de uitgang en/of tussen de referentiespanning en de uitgang. Men zou dan vaststellen dat inderdaad aan de algemene voorwaarde van een lineair werkende DAC wordt voldaan.

DAC met stroomgestuurd R-2R netwerk

Principiële werking

Het principe van de stroomgestuurde DAC met R-2R weerstanden is getekend in figuur 12/7.1-6.

De schakeling wordt gekenmerkt door twee uitgangen.
Een uitgang I_{uit1} vangt de stromen op die geleverd worden door de schakelaars die door hoge bits worden gestuurd. Een tweede uitgang I_{uit2} verzamelt de stromen die worden geleverd door de schakelaars die door lage bits worden gestuurd.



Figuur 12/7.1-6: Het principe van de stroomgestuurde R-2R DAC.

Tot slot is er nog een uitgang R_{FB}, die gebruikt kan worden voor het omzetten van de uitgangsstromen in een uitgangsspanning. Daarvoor is een operationele versterker nodig, die soms wel en soms niet in de geïntegreerde schakeling van de DAC aanwezig is. De niet inverterende ingang is verbonden met de massa, de inverterende ingang met de uitgang I_{uit1}.

Alle stromen die via de 2R-weerstanden geleverd worden vloeien ofwel af naar de massa, ofwel naar de inverterende ingang van de versterker.
De somstroom gaat weer via de weerstand R_{FB} naar de uitgang van de op-amp. Over deze weerstand ontstaat een spanningsval waarvan de grootte wordt gegeven door de som van de stromen die door de weerstand vloeit.

Werking van de schakeling
Men moet bewijzen dat de grootte van de I_{uit1} stromen een gewogen waarde hebben.

Omdat zowel de inverterende als de niet inverterende ingang van de operationele versterker op nul staat, kan men de weerstanden R1, R3 en R5 naar massa tekenen. Door R1 vloeit een stroom van 5 mA. De spanning over de weerstand is immers gelijk aan de waarde van de referentiespanning (+10 V), de weerstand heeft een waarde van 2 kΩ. Wil men de waarde van de overige stromen kunnen berekenen, dan moet men eerst weten hoe groot de spanningsval is over weerstand R2. De parallel geschakelde weerstanden R5 en R6 kunnen vervangen worden door een weerstand van 1 kΩ. Nadien kan R4 en de in serie geschakelde R5/R6 weerstand weer vervangen worden door één weerstand van 2 kΩ. Vervolgens kan de parallelschakeling van R3 met R4+R5/R6 vervangen worden door één weerstand van 1 kΩ. Deze vervangingsweerstand staat in serie met R2 geschakeld tussen de referentiespanning en de massa. De totale weerstand van deze kring is 2 kΩ, zodat er een stroom van 5 mA doorheen stroomt. Over R2 valt bijgevolg 5 V.
Daaruit volgt dat het knooppunt van R2, R3 en R4 op een spanning staat van +5 V. Door R3 vloeit dus een stroom van 2,5 mA. Omdat R2 5 mA levert en R3 slechts 2,5 mA opneemt, moet de ontbrekende 2,5 mA door R4 afvloeien. Over deze weerstand valt dus een spanning van 2,5 V. Men kan dus besluiten dat er over de weerstanden R5 en R6 ook 2,5 V staat. Men kan tot slot berekenen dat door de weerstand R5 een stroom van 1,25 mA vloeit.

Als men al deze gegevens op een rijtje zet kan men besluiten dat de stromen die door R1, R3 en R5 vloeien zich inderdaad gewogen gedragen! I1 is immers gelijk aan 5 mA, I3 gelijk aan 2,5 mA en I5 gelijk aan 1,25 mA. De stromen verhouden zich als 1 tot 2 tot 4, een typische gewogen verhouding die voldoet aan de 2^n-wet!

De stromem I1, I3 en I5 vloeien alleen maar naar de inverterende ingang van de operationele versterker als de schakelaars gestuurd worden door bits die "H" zijn. In het andere geval vloeien de stromen rechtstreeks af naar de massa. De som van de gewogen stromen vloeit door de weerstand R_{FB} en wordt daarin uiteraard omgezet in een gewogen spanning.

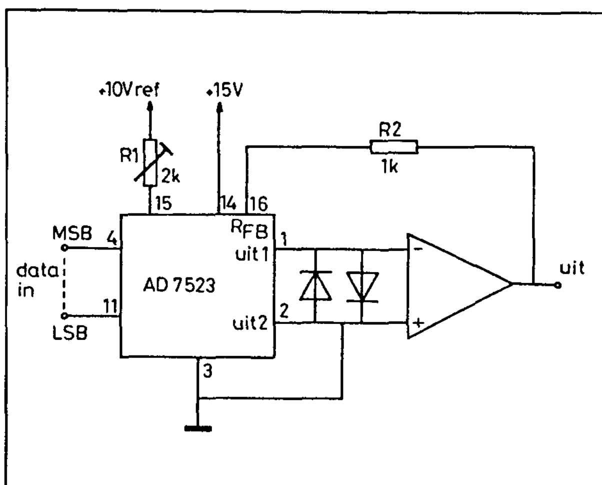
Voordelen van de stroomgestuurde R-2R schakeling
Het principe van het stroongestuurde R-2R netwerk heeft zoveel voordelen, dat de meeste geïntegreerde DAC's volgens dit systeem werken.

Op de eerste plaats hoeft men maar twee weerstandswaarden in het IC te integreren, hetgeen zeer eenvoudig mogelijk is met behoud van een kleine tolerantie.
Op de tweede plaats kunnen de weerstanden een vrij lage waarde hebben, hetgeen het integratie-proces nog gemakkelijker maakt.

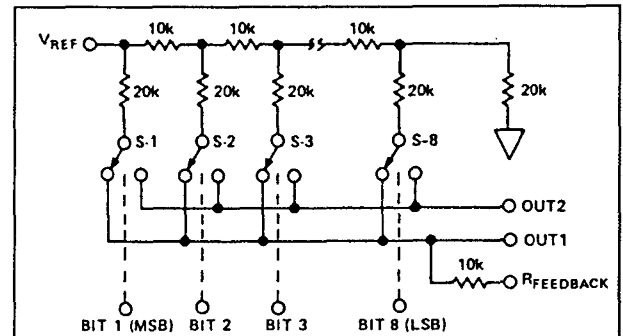
Op de derde plaats is de uitgangsspanning van de schakeling belastingsonafhankelijk. De actieve stroom naar spanning omzetter met behulp van de operationele versterker heeft zelf al een zeer lage uitgangsimpedantie, maar zal iedere afwijking van de ideale uitgangsspanning onmiddellijk dank zij zijn zeer hoge versterking compenseren.

Een praktische schakeling

In figuur 12/7.1-7 is een praktische schakeling getekend van een DAC die volgens het beschreven principe werkt. De schakeling maakt gebruik van een DAC van het type AD 7523 en een willekeurige operationele versterker.
De schakeling kan geijkt worden door de weerstand R1, in serie geschakeld tussen de referentiespanning en de referentieingang van het IC, te verdraaien.
Men maakt dan alle bits "H" en stelt de weerstand is tot de analoge uitgangsspanning gelijk is aan de maximale waarde die men wil hebben.
De interne schakeling van de AD 7523 is getekend in figuur 12/7.1-8. Daaruit blijkt duidelijk dat dit IC niets meer maar ook niets minder bevat dan het principiële schema van figuur 12/7.1-6!



Figuur 12/7.1-7: Praktische schakeling van een 8 bit brede DAC die werkt volgens het stroomgestuurde R-2R principe.



Figuur 12/7.1-8: De interne schakeling van de AD7523.

DAC met geschakelde stroombronnen

Principiële werking

Het interne schema en de noodzakelijke externe schakelingen van een DAC met geschakelde stroombronnen is getekend in figuur 12/7.1-9.

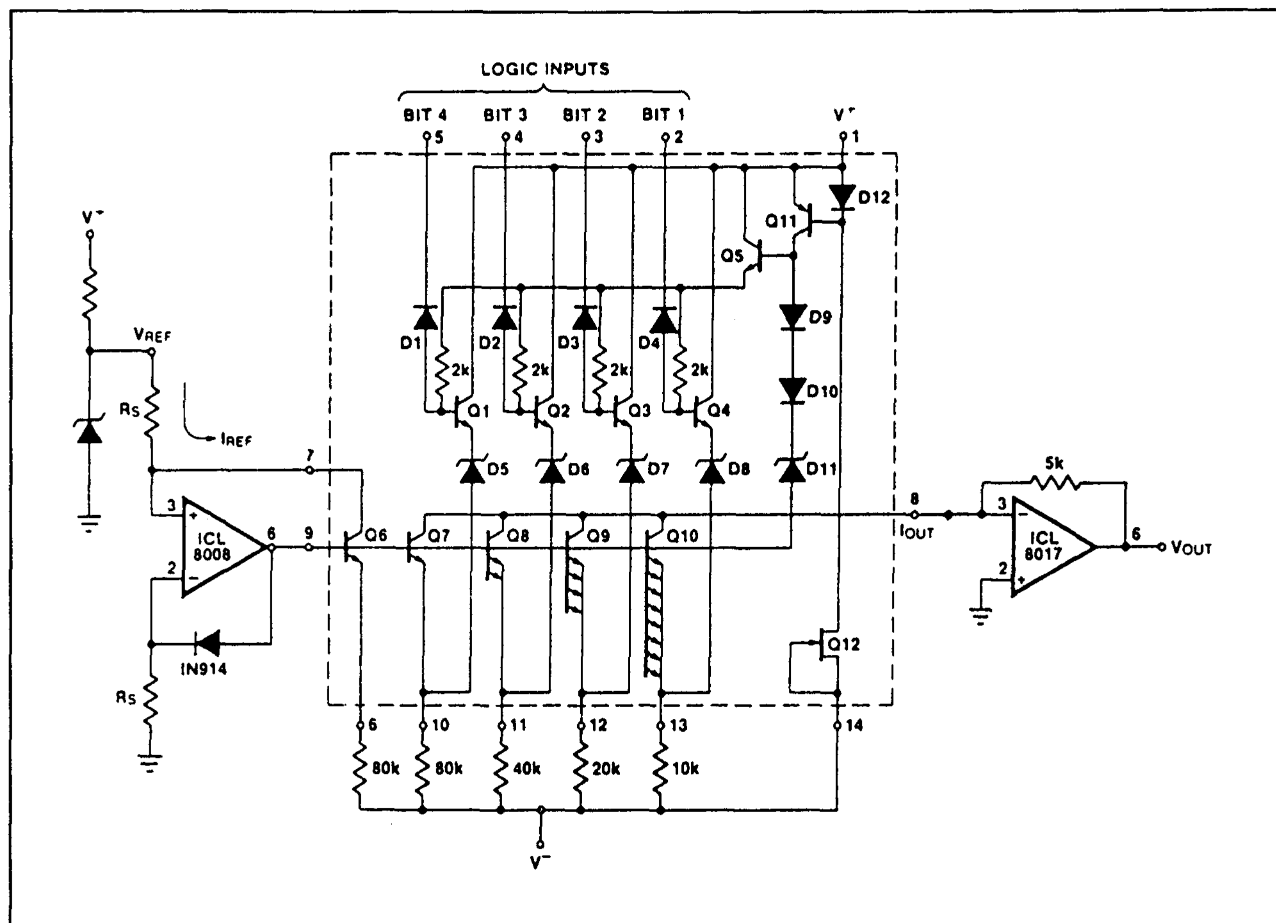
De schakeling in het IC zélf bestaat uit drie delen:

- een zeer nauwkeurige stroombron met als actief element transistor Q6;
- vier stroomversterkers rond de transistoren Q7 tot en met Q10 die de referentiestroom van Q6 versterken tot 1x, 2x, 4x en 8x de basiswaarde;
- vier logische schakelaars die de stromen van de vier stroomversterkers op bevel van de ingangscode BIT 1 tot en met BIT4 naar de stroomuitgang I_{UIT} schakelen.

Het genereren van de vier gewogen stromen

De interne transistor Q6 wordt opgenomen in een externe zeer nauwkeurige stroombron.
In het schema is deze bron samengesteld uit een operationele versterker en een zenerdiode. Deze schakeling stuurt een zeer nauwkeurige stroom I_{REF} van 125 µA naar de collector van Q6.

7.1 Achtergrond-informatie



Figuur 12/7.1-9: Intern schema van een geschakelde stroombron omzetter met de noodzakelijke externe in- en uitgangsschakelingen.

De basis van Q6 is rechtstreeks verbonden met de basissen van de vier stroomversterkers Q7 tot en met Q10. Deze lijn noemt men de "common base line". De vijf transistoren hebben, als gevolg van het integratieproces, volledig identieke eigenschappen. Tussen de respectievelijke emitters en de negatieve voeding staan vier weerstanden die een gewogen waarde hebben (verhouding is gelijk aan 1/2/4/8). Bovendien is de grootste van deze weerstanden gelijk aan de emitterweerstand van Q6.

Omdat alle transistoren op dezelfde basisspanning staan en bovendien identieke basis-emitter spanningen hebben (gelijke eigenschappen!) kan het niet anders dat over alle weerstanden gelijke spanningen staan.

Het gevolg is dat door de transistoren stromen vloeien die gelijk zijn aan respectievelijk 1x, 2x, 4x en 8xI_{REF}.
Deze stroomverhouding is volledig afhankelijk van nauwkeurigheid van de externe weerstanden!

De collectoren van Q7 tot en met Q10 zijn verbonden met de uitgangslijn I_{OUT}. Door deze lijn zal dus de totale somstroom vloeien van alle geleidende transistoren. Het al dan niet geleiden van deze transistoren wordt gecontroleerd door de vier schakeltrappen Q1 tot en met Q4.
Deze transistoren zetten de logische TTL-niveaus op de logische ingangen om in signalen die de zenerdioden D5 tot en met D8 al dan niet in geleiding sturen. Als een diode

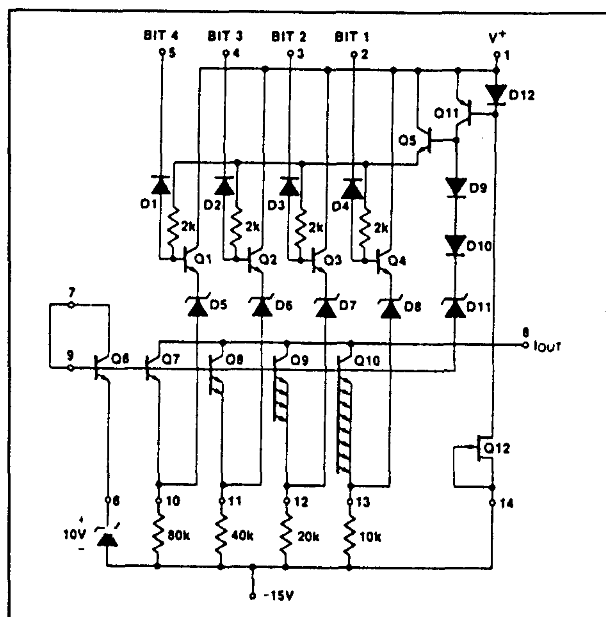
gaat geleiden komt er een grote positieve spanning te staan op de emitter van de respectievelijke transistor. De emitter wordt dan positiever dan de basis, de transistor wordt gesperd, de collectorstroom wordt gelijk aan nul.

Bij het doorlopen van de digitale code van "L-L-L-L" naar "H-H-H-H" wordt de uitgangsstroom I_{UIT} in 16 trappen ingesteld tussen 0 en 15.I_{REF}. Deze stroom kan met de operationele versterker omgezet worden in een gewogen uitgangsspanning.

Genereren van de referentiestroom

In het voorbeeld van figuur 12/7.1-10 wordt een alternatieve methode gegeven voor het opwekken van de referentiestroom I_{REF}.

De interne transistor Q6 wordt als diode geschakeld en in serie met een zenerdiode opgenomen. Ook nu wordt er een constante spanning tussen de basissen en de emitters van alle stroomversterkers opgewekt. Een zenerdiode van 10 V heeft een referentiestroom van ongeveer 250 µA tot gevolg.



Figuur 12/7.1-10: Het opwekken van de referentiestroom met behulp van een zenerdiode.

DAC met dynamic element matching

Inleiding

In feite zijn de besproken systemen te beschouwen als een samenstelling van een aantal stroombronnen, die stromen leveren met een onderlinge verhouding van I tot 2xI tot 4xI tot 8xI enzoverder.
Als het aantal bits toeneemt zal ook de verhouding tussen de laagste en de hoogste stroom erg toenemen.
Bij een 8 bits systeem bestaat er reeds een stroomverhouding tussen de kleinste en de grootste stroom van 1 op 256!
Als het aantal te verwerken bits stijgt, krijgt men problemen met de tolerentie op de weerstanden.
Deze afwijkingen bepalen immers in zeer grote mate de onderlinge verhouding van de stromen.
Fouten op de weerstandswaarden komen tot uiting in fouten in de stroomverdeling!

Dat gegeven heeft Philips op het idee gebracht niet even veel verschillende stroombronnen in de DAC in te bouwen als er bits te verwerken zijn, maar slechts één.
De stroom van deze bron wordt door speciale schakelingen steeds opnieuw heel precies door twee gedeeld, zodat uiteindelijk toch de juiste stroomverhoudingen ontstaan.
Dit principe wordt door de ontwerpers "dynamic element matching" (DEM) genoemd.

Principe van de systeem

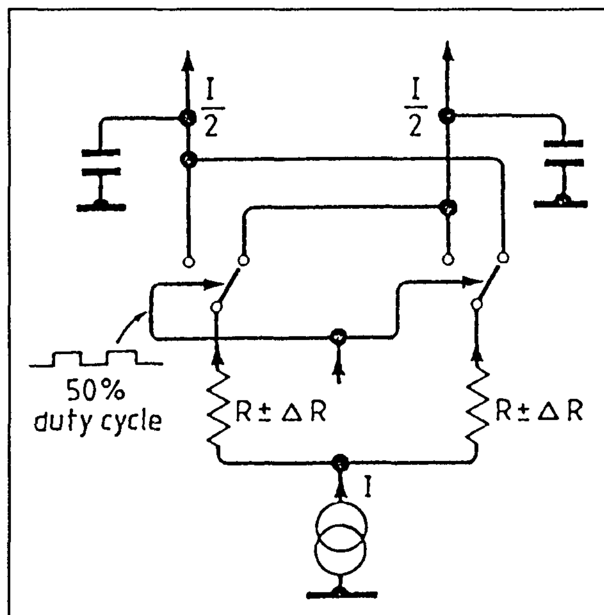
Het principe van deze techniek is geschetst in figuur 12/7.1-11.

Een stroombron I levert een stroom aan twee identieke weerstanden R.
Natuurlijk zijn deze weerstanden niet echt identiek, omdat deze onderdelen ieder geteisterd worden door een bepaalde tolerantie +/-ΔR.
De stroom I van de stroombron zal dus omgekeerd evenredig met de reële waarde van

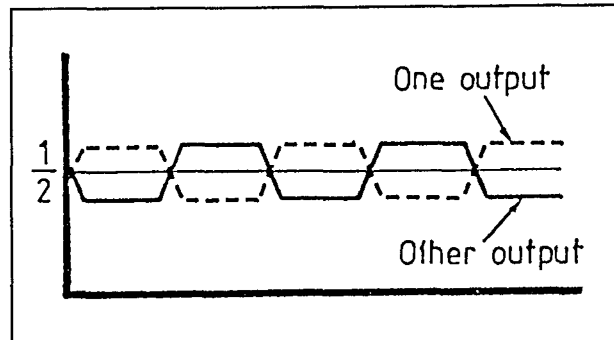
7.1 Achtergrond-informatie

de weerstanden over beide ketens verdeeld worden.
De twee niet gelijke stromen die door de weerstanden vloeien worden door middel van twee elektronische schakelaars snel heen en weer geschakeld tussen de twee uitgangen van de schakeling. Dat heen en weer schakelen moet met een duty-cycle van precies 50 % gebeuren.
Technisch is dat geen probleem omdat men de schakelaars kan sturen uit de uitgangen van een geclockte type-JK flip-flop. Deze levert een mooie symmetrische uitgangspuls.

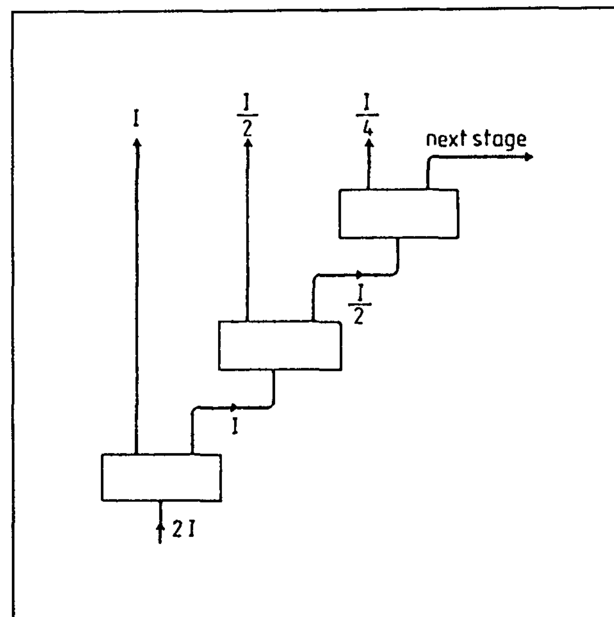
Het zal nu duidelijk zijn dat de gemiddelde stromen die naar de uitgangen stromen precies aan elkaar gelijk zijn.
De linker stroom bestaan immers voor 50 % uit de stroom die door de linker weerstand geleverd wordt en voor 50 % uit de stroom die door de rechter weerstand geleverd wordt.
Voor de rechter uitgang geldt precies hetzelfde. Een en ander is grafisch toegelicht in figuur 12/7.1-12.



Figuur 12/7.1-11: Het principe van het door Philips ontwikkelde "dynamic element matching" systeem.



Figuur 12/7.1-12: Het verloop van de stromen die door de twee uitgangen vloeien.



Figuur 12/7.1-13: Het cascaderen van DEM-schakelingen voor het genereren van stromen in een 1/2/4/8/16... verhouding.

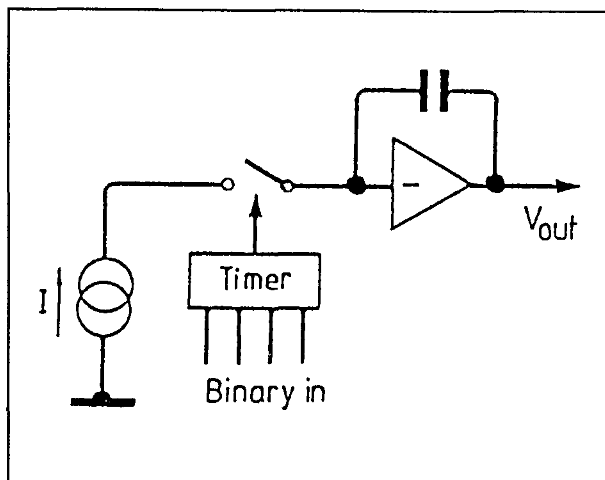
Het volstaat de twee stromen door middel van volledig onkritische condensatoren de middelen om twee gelijkstromen te verkrijgen die binnen de nauwste grenzen aan elkaar gelijk zijn.
Het probleem is verlegd naar het openen en sluiten van elektronische schakelaars met een duty-cycle van precies 50 %.
Een digitaal probleem dat zonder moeilijkheden is op te lossen!

Meerdere bits
Met één DEM-schakeling kan men een stroom I omzetten in twee stromen I/2. Door diverse identieke schakelingen te cascaderen volgens figuur 12/7.1-13 kan men uit de ene basisstroombron I stromen genereren van I/2, I/4, I/8, enzoverder.

Praktische schakeling
In de praktische DEM-schakelingen wordt het principe verder uitgewerkt.
Een stroom 4xI wordt nu door een ingewikkelder schakelaarsysteem omgezet in drie stromen van respectievelijk 1xI, 1xI en 2xI.
Een van de stromen 1xI wordt dan weer gebruikt als basis voor het volgende element uit de gecascadeerde keten, zodat stromen van 1/4xI, 1/4xI en 1/2xI ontstaan.

DAC met geïntegreerde variabele pulssturing

Principe
Ook Sony heeft een alternatief ontwikkeld voor het stroomgestuurde R-2R systeem. Er wordt, net zoals bij het Philips systeem, uitgegaan van één stroombron.



Figuur 12/7.1-14: Het basisprincipe van de DAC volgens het "integrator-procédé met pulssturing".

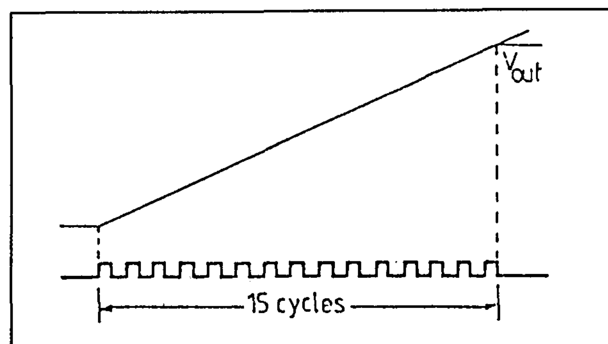
Het basisprincipe van de "integrator-DAC met variabele pulsturing", voor de eenvoud toegepast op een 4 bit systeem, is getekend in figuur 12/7.1-14.

De stroombron I is via een elektronische schakelaar aangesloten op een integrator. Als een integrator gestuurd wordt met een constante stroom, dan zal de uitgangsspanning van de schakeling een lineair stijgende gelijkspanning zijn waarvan de stijgtijd evenredig is met de grootte van de constante stroom.

De binaire code op de ingangen wordt door een timer omgezet in een eenmalige pulstrein.

Het aantal pulsjes in deze spanning is gelijk aan het binaire gewicht van de samenstelling van de digitale code.
Als de code "L-L-L-L" is, dan levert de timer geen pulsjes. Is de code gelijk aan "L-L-L-H", dan zal de timer een smal pulsje leveren dat de schakelaar even sluit.
Is de code gelijk aan "H-H-H-H" dan levert de timer, zie figuur 12/7.1-15, een pulstrein die is samengesteld uit 15 pulsjes.

De uitgangsspanning zal nu recht evenredig zijn met het aantal pulsjes in de pulstrein, daar zorgt de integrator wel voor.



Figuur 12/7.1-15: De waarde van de analoge uitgangsspanning wordt bepaald door het aantal pulsjes dat de timer aan de schakelaar levert.

Zorgen 15 pulsjes voor een uitgangsspanning van 150 mV, dan zal een pulstrein met slechts 7 pulsjes een analoge uitgangsspanning van 70 mV tot gevolg hebben.

Het analoge probleem van de nauwkeurigheid van de stroombron(nen) wordt ook nu handig omzeild en verlegd naar een digitaal probleem: zet de binaire code op de ingangen om in een pulstrein. Een probleem dat zonder enige onnauwkeurigheid opgelost kan worden!

Sample and hold noodzakelijk
Op de uitgang verschijnt gedurende de conversie een zaagtandvormige spanning.
Alleen de eindwaarde van deze zaagtand is echter van belang. Het zal duidelijk zijn dat het noodzakelijk is deze eindwaarde na het omzettingsproces te bewaren in een sample and hold schakeling. Nadat de volgende conversie voltooid is volstaat het de nieuwe topwaarde van de zaagtand weer in de S&H in te lezen.
Op de uitgang van de S&H ontstaat een trapvormige spanning, waarbij iedere trapspanning overeen komt met het analoge equivalent van de digitale codes op de ingangen van de DAC. Dit proces is grafisch toegelicht in figuur 12/7.1-16.

Nadat de integrator de eindwaarde van de zaagtand heeft gegenereerd wordt door middel van de "RESAMPLE"-puls deze topwaarde via de RESAMPLE-schakelaar overgedragen naar de sample and hold schakeling.
Nadien wordt een RESET-puls gegeven, die een schakelaar over de integrator-condensator sluit.
De integrator gaat naar nul, de schakeling is klaar voor het verwerken van de volgende digitale ingangscode.

Voor- en nadelen van het systeem
Enig bezwaar van de schakeling is dat de frequentie van de pulsjes uit de pulstrein gelijk moet zijn aan het aantal codecombinaties dat de digitale ingangscode kan bevatten, vermenigvuldigd met het aantal codecombinaties dat per seconde aan de DAC wordt aangelegd.

Voordeel is echter dat de schakeling absoluut geen last heeft van glitches, dit vanwege de integrator en de noodzakelijke sample and hold.

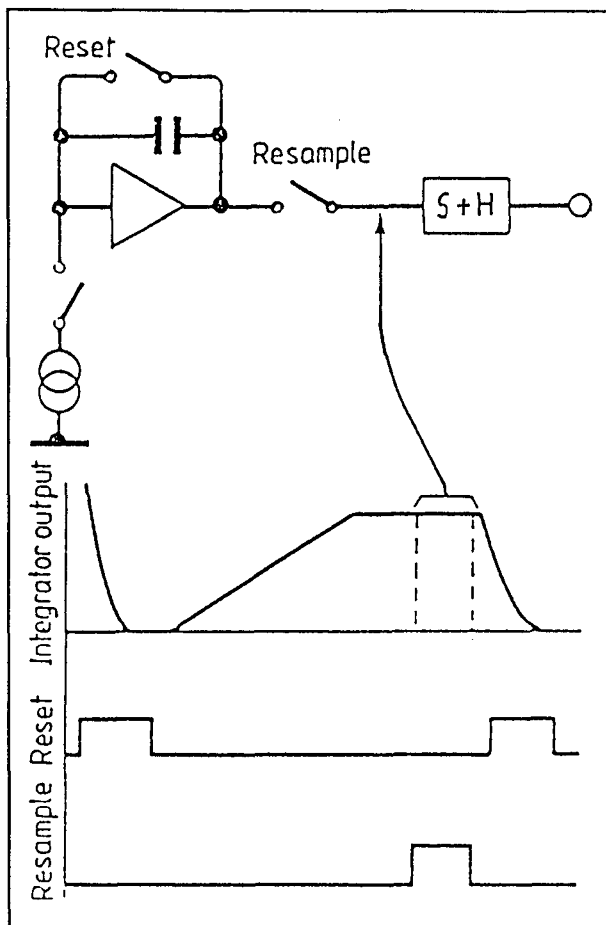
Deglitching-technieken

Inleiding
Een fundamenteel probleem bij alle schakelaargestuurde digitaal naar analoog omzetters is dat er gedurende de overgang van de ene naar de volgende ingangscode op de analoge uitgang van de schakeling korte, onvoorspelbare stoorpulsen ontstaan.
Deze pulsen worden "glitches" genoemd en deze storingen moeten in de meeste gevallen uit het analoge signaal verwijderd worden.

Ontstaan van glitches
Glitches ontstaan doordat niet alle elektronische stroomschakelaars in de DAC even snel van de ene naar de andere toestand schakelen.
Bij het aanpassen van de analoge uitgangsspanning aan een nieuwe digitale code op de ingangen zal in het gunstigste geval slechts één schakelaar van stand verwisselen. Het kan echter ook zijn dat alle schakelaars omschakelen.
Het gevolg is dat de glitches niet allemaal even groot en breed zijn. Een onregelmatig stoorsignaal heeft een zeer brede bandbreedte, is dus rijk aan harmonischen. Bij audio-toepassingen zullen de glitches zorgen voor een typisch ruisgeluid dat met de bekende filtertechnieken nauwelijks is te onderdrukken.

In figuur 12/7.1-17 is de situatie geschetst die bij een 8 bit brede DAC ontstaat als de ingangscode omschakelt van "L-H-H-H-H-H-H-H-" naar "H-L-L-L-L-L-L-L".

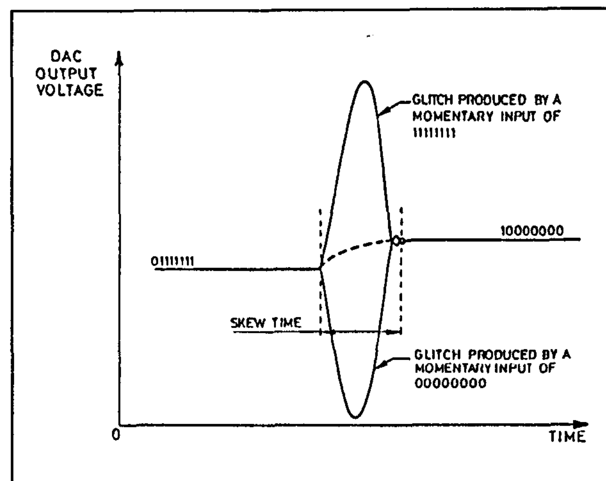
7.1 Achtergrond-Informatie



Figuur 12/7.1-16: De volledige digitaal naar analoog omzetting volgens het Sony-procédé.

Op dat moment doet zich, althans wat glitches betreft, de slechtst mogelijke situatie voor omdat alle stroombronschakelaars in de DAC moeten omschakelen.

Nu werken niet al deze schakelaars even snel. Het kan dus gebeuren dat eerst de schakelaar van het MSB omschakelt, waardoor het lijkt alsof de digitale code even gelijk wordt aan "H-H-H-H-H-H-H-H". De analoge uitgang zal naar de hoge spanning willen streven die overeen komt met deze code. De uitgangsspanning van de DAC gaat dus plotseling stijgen. Alvorens echter de eindwaarde van deze foutieve code is bereikt zullen ook de andere stroombronschakelaars omgeschakeld zijn.



Figuur 12/7.1-17: Het ontstaan van glitches bij de overgang van de ene ingangscode naar de volgende.

De analoge uitgang gaat dan terug dalen naar de waarde die overeen komt met de nieuwe ingangscode.
Op de uitgang ontstaat dus een zeer smalle positieve piek, een positieve glitch.

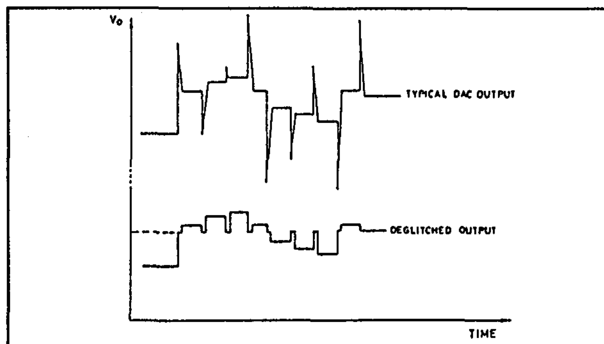
Als echter de MSB-schakelaar als laatste omschakelt ontstaat een tussensituatie waarbij het lijkt alsof de ingangscode gelijk is aan "L-L-L-L-L-L-L-L". Op dezelfde manier kan men aantonen dat er nu een negatieve glitch ontstaat.

Het analoge uitgangssignaal van een DAC ziet er uit zoals (overdreven) voorgesteld in de bovenste grafiek van figuur 12/7.1-18. Grootte en polariteit van de glitches zijn volledig afhankelijk van de codewisselingen maar ook van fabrikagetoleranties van de chip.
Twee wat typenummer betreft volledig identieke IC's kunnen heel verschillende glitchverschijnselen vertonen!

Deglitcher-technieken
Tussen de analoge uitgang van de DAC en de rest van de schakeling moet een speciale schakeling worden opgenomen, die tot taak heeft de glitches te verwijderen. Dat lukt nooit helemaal, het beste wat te verwachten is is

het resultaat dat in de onderste grafiek van figuur 12/7.1-18 is geschetst.

Er bestaan in principe twee benaderingen om de glitches te minimaliseren:
- filteren met laagdoorlaatfilters die achter de DAC worden opgenomen;
- speciale deglitcher-IC's toepassen.



Figuur 12/7.1-18: Uitgangsspanning van een DAC zonder en met deglitcher-schakeling aan de uitgang.

Filteren

Glitches zijn zeer smalle pulsen en dus per definitie zeer hoogfrequent. Door achter de DAC een scherp afsnijdend laagdoorlaatfilter op te nemen zal de bandbreedte van het uitgangssignaal beperkt worden, waardoor de hoogfrequente componenten waaruit de glitches ontstaan verzwakt worden.

Zeer scherp afsnijdende filters hebben echter een aantal nadelen.
- Op de eerste plaats veroorzaken zijn vertragingen hetgeen bij snel werkende DAC's ontoelaatbaar is.
- Op de tweede plaats veroorzaken zij faseverschuivingen waardoor vervormingen op het analoge uitgangssignaal kunnen ontstaan.
- Op de derde plaats hebben zij een zeer slechte respons op pulsen, waardoor overshoot op de uitgang ontstaat.

  Analoge laagdoorlaatfilters zijn dan ook alleen toepasbaar als er aan de schakelingen niet al te hoge eisen worden gesteld.

Speciale deglitcher-schakelingen

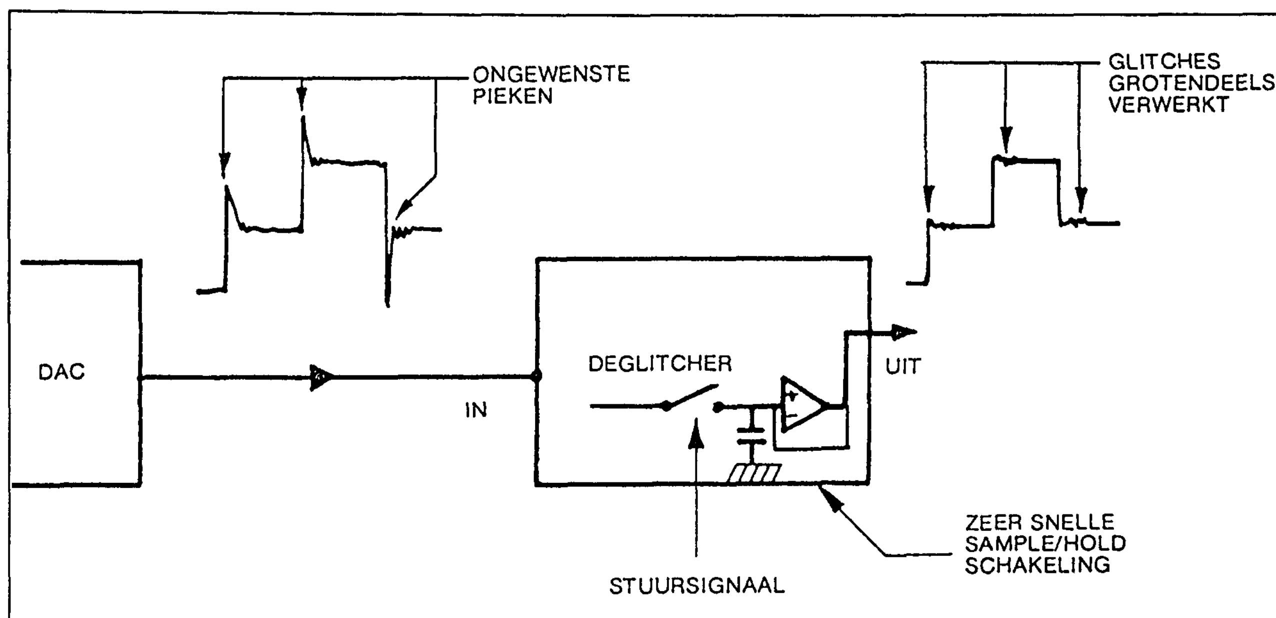
Het principe van deze schakelingen is getekend in figuur 12/7.1-19.
Het analoge uitgangssignaal van de DAC wordt aan een zeer snelle sample and hold aangeboden. Deze slaat het uitgangssignaal van de DAC op in een kleine condensator. De sample-schakelaar wordt echter geopend op het moment dat een nieuwe digitale code in de DAC wordt ingelezen. De glitches, die op dat moment op de uitgang van de DAC ontstaan, worden dus niet doorgegeven naar de condensator. Nadat de glitchtijd verstreken is wordt de schakelaar gesloten, de condensator wordt snel opgeladen tot de nieuwe waarde van de analoge uitgangsspanning.

Op deze manier zou men in theorie helemaal geen last mogen hebben van de glitches. De goede werking van de schakeling is echter volledig afhankelijk van de timing tussen de puls die nieuwe digitale gegevens in de DAC inleest en de puls die de elektronische schakelaar in de deglitcher bestuurt. Als dit stuursignaal te laat arriveert, bijvoorbeeld door systeemvertragingen, dan zal de schakelaar te laat openen en zal toch nog een deel van de glitches tot de condensator doordringen.Bovendien heeft een S&H in de HOLD-stand een bepaalde doorkoppeling van de ingang naar de uitgang. De capaciteit van de schakelaar zal een deel van de hoogfrequente glichtpulsen toch naar de HOLD-condensator doorkoppelen.

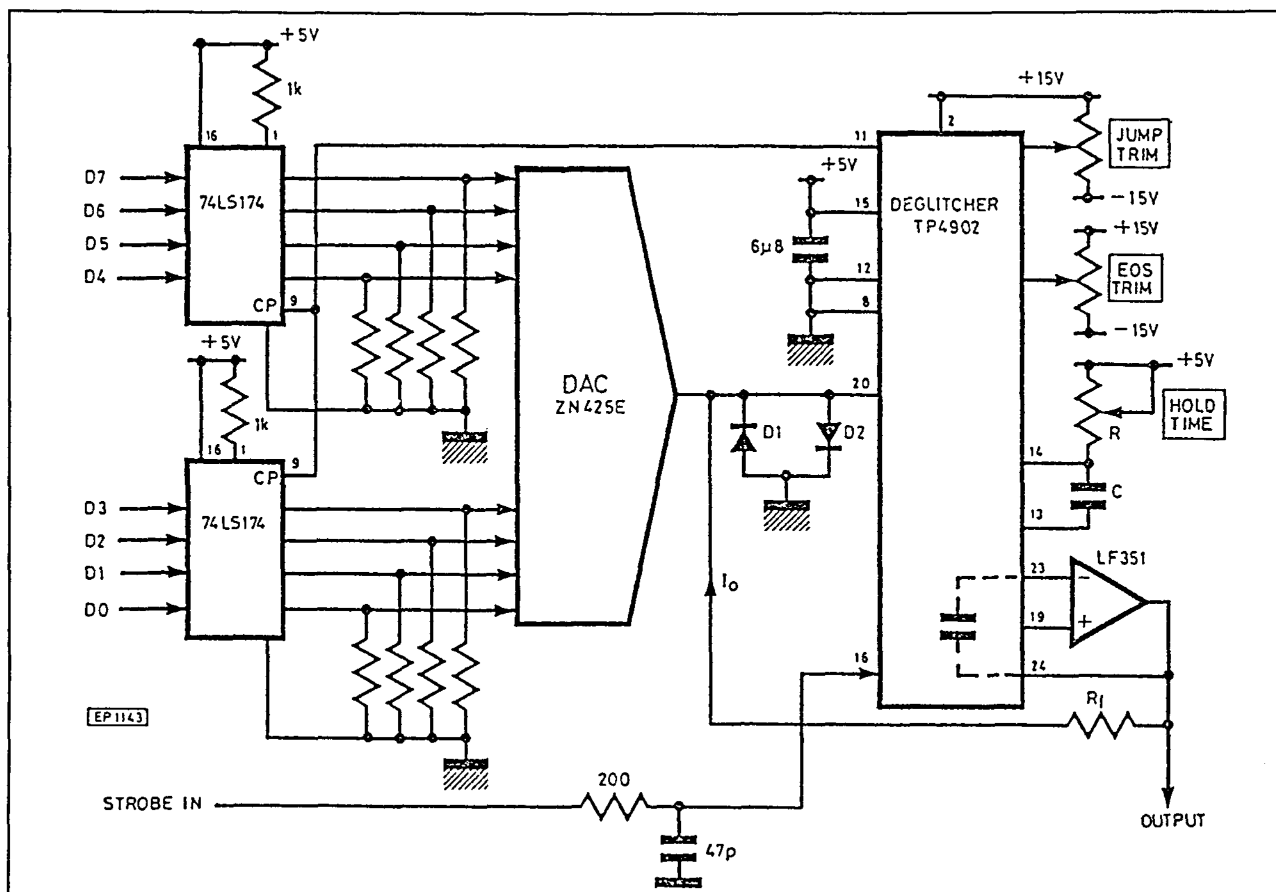
Een praktische schakeling

In figuur 12/7.1-20 wordt tot slot een praktische deglitcher schakeling getekend. Gebruik wordt gemaakt van een speciale deglitchermodule met typenummer TP 4902 van Teledyne. De schakeling is voorzien van een 8 bit brede DAC van het type ZN 425E. De operationele versterker van het type LF 351 sluit de holdcondensator in de deglitcher af. De EOS TRIM regelt de offset van de schakeling af, de JUMP TRIM bepaalt de spanning van het holdsignaal.

7.1 Achtergrond-informatie



Figuur 12/7.1-19: Het principe van een deglitcher.



Figuur 12/7.1-20: Een praktische deglitcherschakeling rond de TP 4902 van Teledyne.

7.1 Achtergrond-informatie

12/7.2

Type-beschrijving DAC's, resolutie kleiner dan 8 bit

DAC-01

6 bit, 3 μs, U-uitgang

De DAC-01 is een snelle 6 bit omzetter met geïntegreerde stroom naar spanning omzetter en ingebouwde spanningsreferentie. De nauwkeurigheid is 7 bit, met een handigheidje is de schakeling in te zetten als 7 bit omzetter.

Technische gegevens

- fabrikant: Micro Power Systems
- behuizing: DIL-14
- aansluitgegevens: figuur 12/7.2-1
- intern blokschema: figuur 12/7.2-2
- voedingsspanning: +/-18 V max.
- aantal bits: 6
- niet-lineariteit: +/-0,78%
- temp-coëf.: +/-160 ppm/°C
- settling-tijd: 3 μs max.
- uitgangsbereik:
  +/-5 V
  +/-10 V
  +10 V

Opmerkingen

De DAC-01 gebruikt standaard gecodeerde digitale codes voor unipolaire werking. Alle ingangen "H" geeft een uitgangsspanning van 0 V. Voor bipolaire werking moet men de pennen 11 en 12 doorverbinden. Alle ingangen "H" levert dan de maximale negatieve uitgangsspanning.

De digitale ingangen werken met standaard TTL-niveaus.

Voorbeeld-schakelingen

- figuur 12/7.2-3:

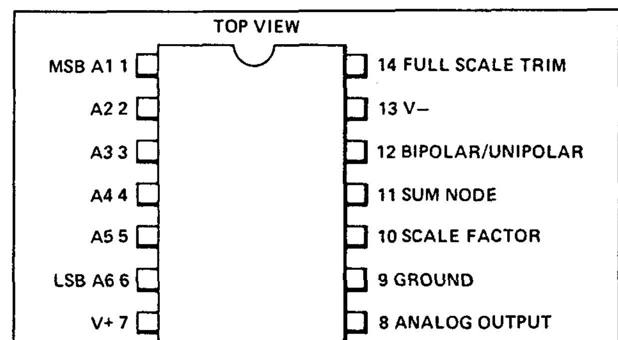
Het instellen van het volle schaal bereik bij de DAC-01.

- figuur 12/7.2-4:

Uitbreiden van de resolutie met een zevende extra bit.

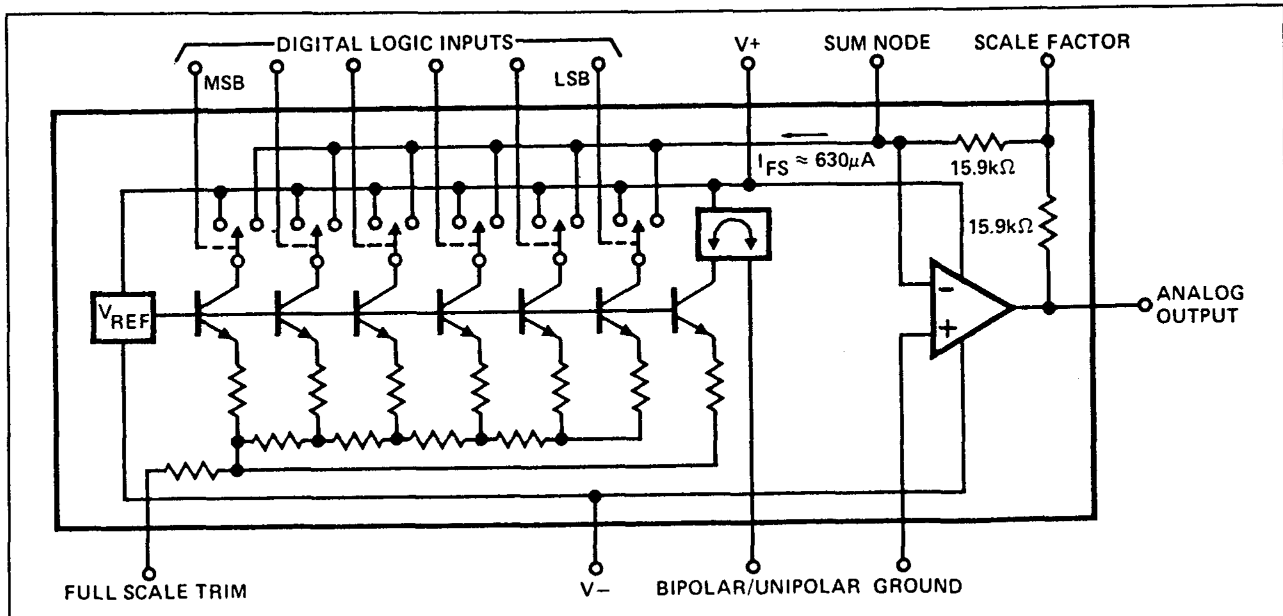
- figuur 12/7.2-5:

Het instellen van het nulpunt bij bipolaire werking.

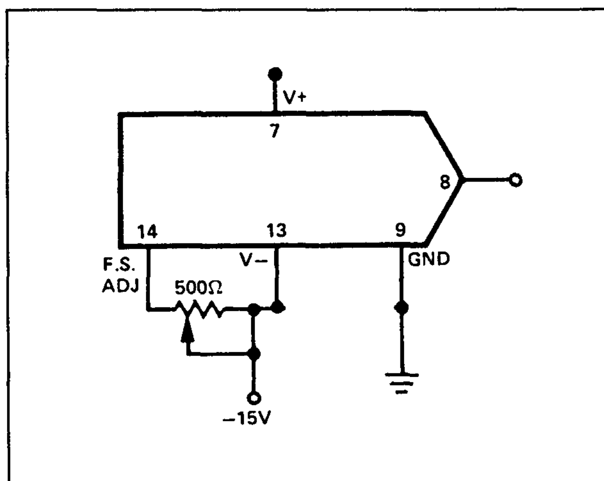


Figuur 12/7.2-1: Aansluitgegevens van de DAC-01.

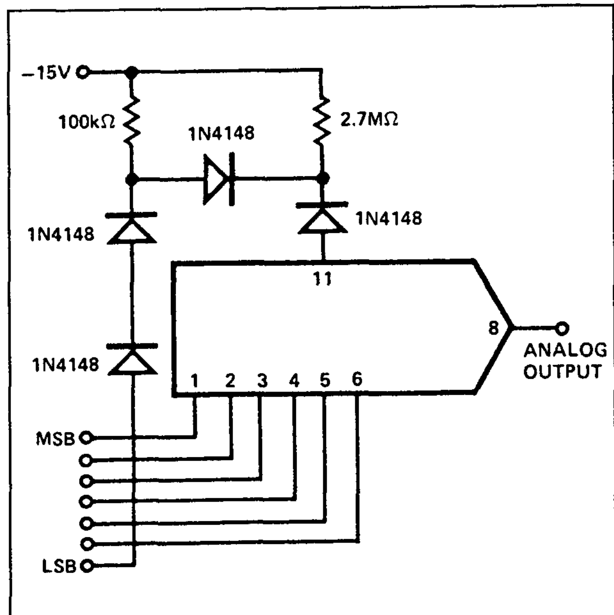
7.2 Type-beschrijving DAC's resolutie kleiner dan 8 bit



Figuur 12/7.2-2: Intern blokschema van de DAC-01.

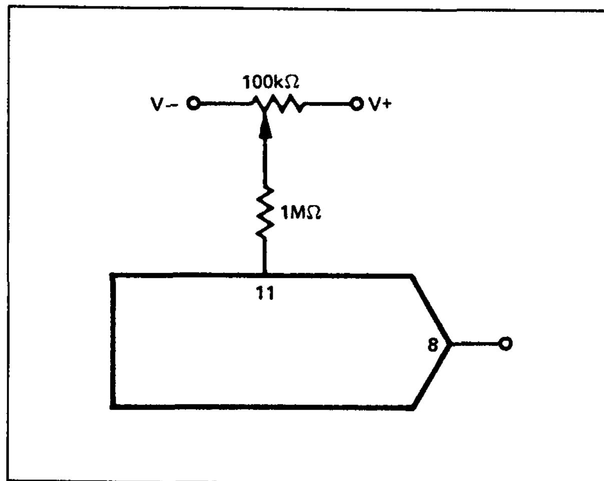


Figuur 12/7.2-3: Afregelen van het volle schaal bereik bij de DAC-01.

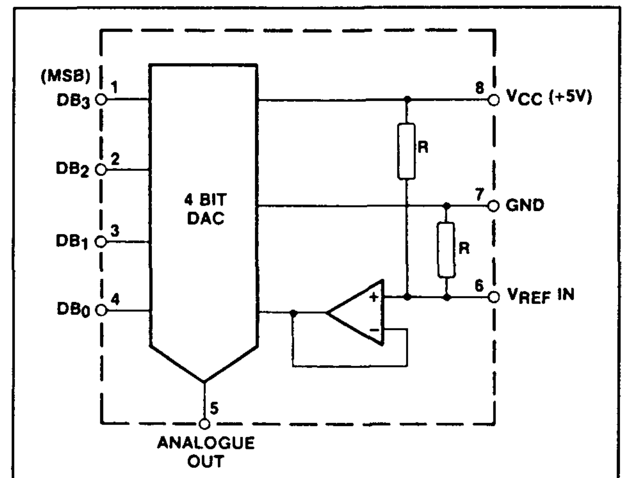


Figuur 12/7.2-4: Toevoegen van een zevende bit.

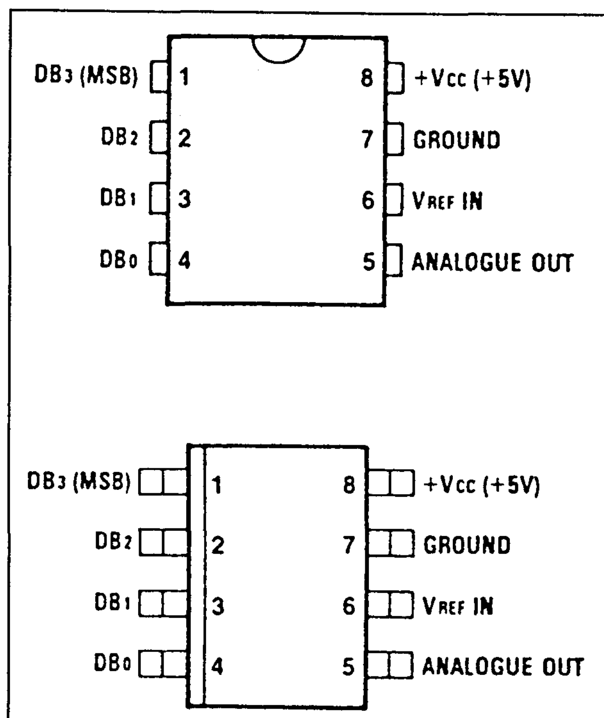
7.2 Type-beschrijving DAC's resolutie kleiner dan 8 bit



Figuur 12/7.2-5: Het afregelen van het nulpunt bij bipolaire werking.



Figuur 12/7.2-7: Intern blokschema van de ZN 434.



Figuur 12/7.2-6: Aansluitgegevens van de ZN 434.

ZN 434

4 bit, 300 ns, U-uitgang

De ZN 434 is een vrij trage 4 bit brede omzetter met geïntegreerde stroom naar spanning omzetter.

De referentiespanning wordt afgeleid uit de voedingsspanning en is gelijk aan de helft van deze waarde. De schakeling kan zonder een extra component toegepast worden.

Technische gegevens

- fabrikant: Plessey Semiconductors
- behuizing: DIL-8
- aansluitgegevens: figuur 12/7.2-6
- intern blokschema: figuur 12/7.2-7
- voedingsspanning: +5,5 V max.
- voedingsstroom: 15 mA max.
- aantal bits: 4
- niet-lineariteit: +/-0,25 LSB
- temp-coëf.: +/-30 ppm/°C
- settling-tijd: 300 ns
- uitgangsbereik:
  +2,456 V max. bij interne referentie
  +0,954 x V_{ref} bij externe referentie
- uitgangsimpedantie: 3,25 kΩ max.
- uitgangscapaciteit: 15 pF typisch

ZN 436

6 bit, 1 µs, U-uitgang

De ZN 436 is een 6 bit omzetter die alleen bestaat uit het R/2R laddernetwerk en de elektronische schakelaars. Er is geen referentie en stroom naar spanning omzetter aanwezig. Toch levert de schakeling zonder

7.2 Type-beschrijving DAC's resolutie kleiner dan 8 bit

externe schakeling een spanning op de uitgang. Deze staat dan echter wel ter beschikking over een impedantie van 10 kΩ!

Technische gegevens

- fabrikant: Plessey Semiconductors
- behuizing: DIL-14
- aansluitgegevens: figuur 12/7.2-8
- intern blokschema: figuur 12/7.2-9
- voedingsspanning: +7,0 V max.
- voedingsstroom: 9 mA max.
- aantal bits: 6
- niet-lineariteit: +/-0,5 LSB
- temp-coëf.: 3,0 ppm/°C
- settling-tijd: 1,0 µs
- externe referentie: 3,0 V
- uitgangsbereik:
  0 tot +2,520 V typisch
- uitgangsimpedantie: 10 kΩ typisch

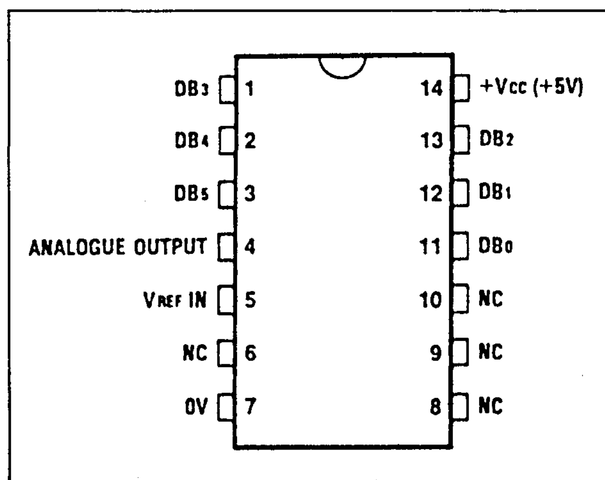
Voorbeeld-schakelingen

- figuur 12/7.2-10:

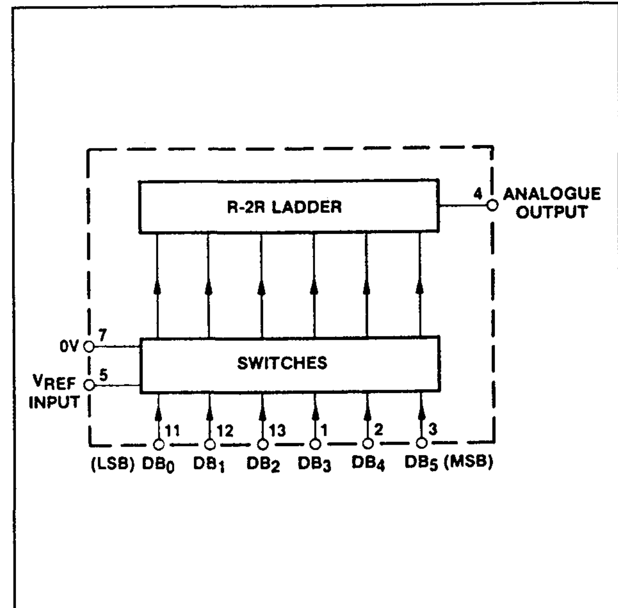
Een standaard operationele versterker kan gebruikt worden om de uitgangsstroom van de schakeling om te zetten in een uitgangsspanning, waardoor het bezwaar van de hoge uitgangsimpedantie wordt voorkomen.

- figuur 12/7.2-11:

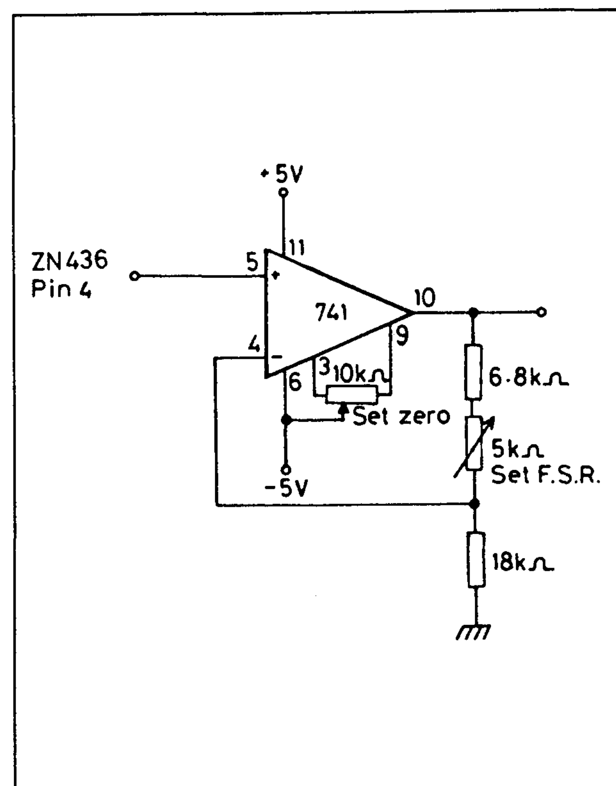
Standaard schakeling rond de ZN 436 met een 2,5 V referentiebron en een operationele versterker als uitgangsbuffer.



Figuur 12/7.2-8: Aansluitgegevens van de ZN 436.

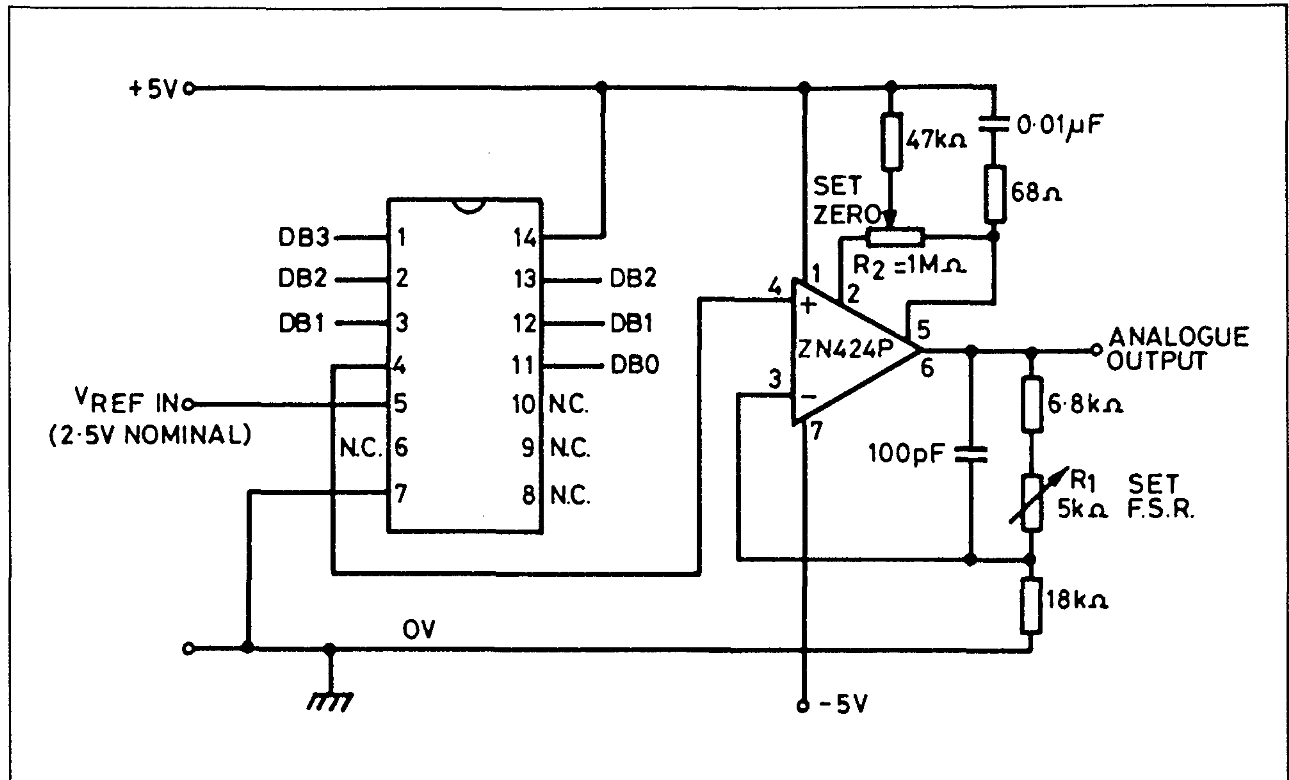


Figuur 12/7.2-9: Intern blokschema van de ZN 436.



Figuur 12/7.2-10: Externe schakeling voor het omzetten van de uitgangsstroom van de schakeling in een uitgangsspanning.

7.2 Type-beschrijving DAC's resolutie kleiner dan 8 bit

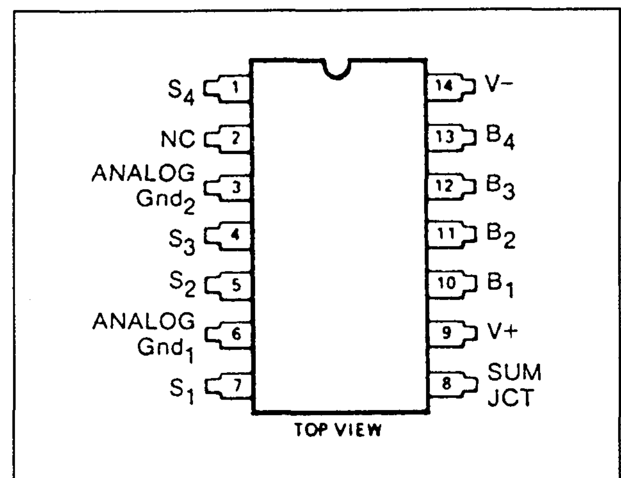


Figuur 12/7.2-11: Standaard schakeling rond de ZN 436.

DG 515

4 bit, speciaal

De DG 515 bevat niets anders dan vier elektronische schakelaars en de besturingsschakelingen voor deze schakelaars. Het laddernetwerk moet extern worden aangebracht. Dit biedt de ontwerper de mogelijkheid af te wijken van de standaard R/2R configuratie en bijvoorbeeld niet lineaire omzetters te ontwerpen.

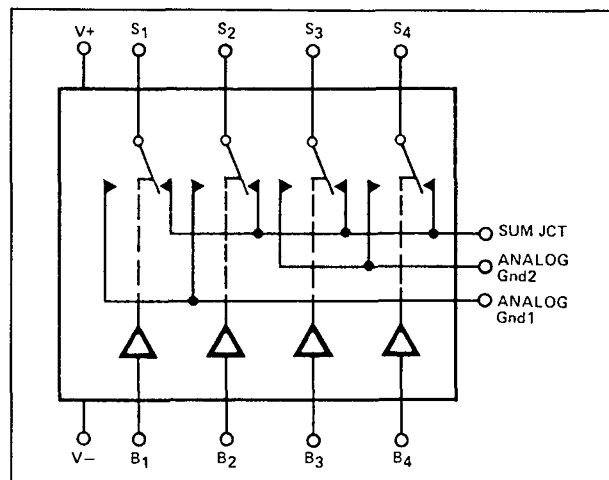


Figuur 12/7.2-12: Aansluitgegevens van de DG 515.

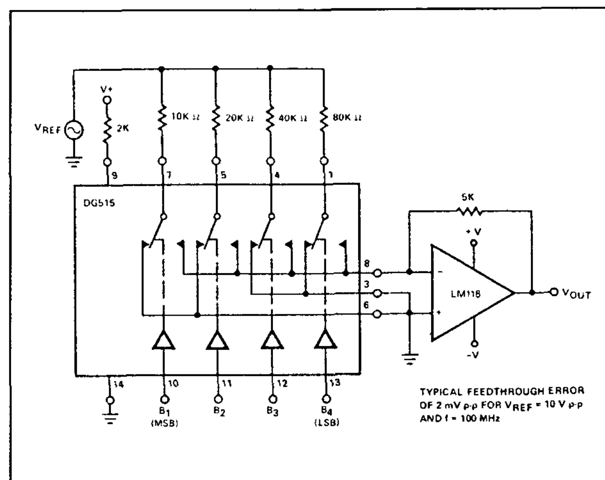
Technische gegevens

- fabrikant: Siliconix
- behuizing: DIL-14
- aansluitgegevens: figuur 12/7.2-12
- intern blokschema: figuur 12/7.2-13
- voedingsspanning: +/-8 V max.
- voedingsstroom: +/-150 μA max.
- aantal bits: 4
- uitgangsimpedantie:
  schakelaar 1: 11,2 Ω max.
  schakelaar 2: 22,5 Ω max.
  schakelaar 3: 45 Ω max.
  schakelaar 4: 72 Ω max.
- uitgangscapaciteit: 60 pF max.

7.2 Type-beschrijving DAC's resolutie kleiner dan 8 bit



Figuur 12/7.2-13: Intern blokschema van de DG 515.



Figuur 12/7.2-14: Eenvoudige DAC met gewogen weerstanden rond de DG 515.

Voorbeeld-schakelingen

– figuur 12/7.2-14:

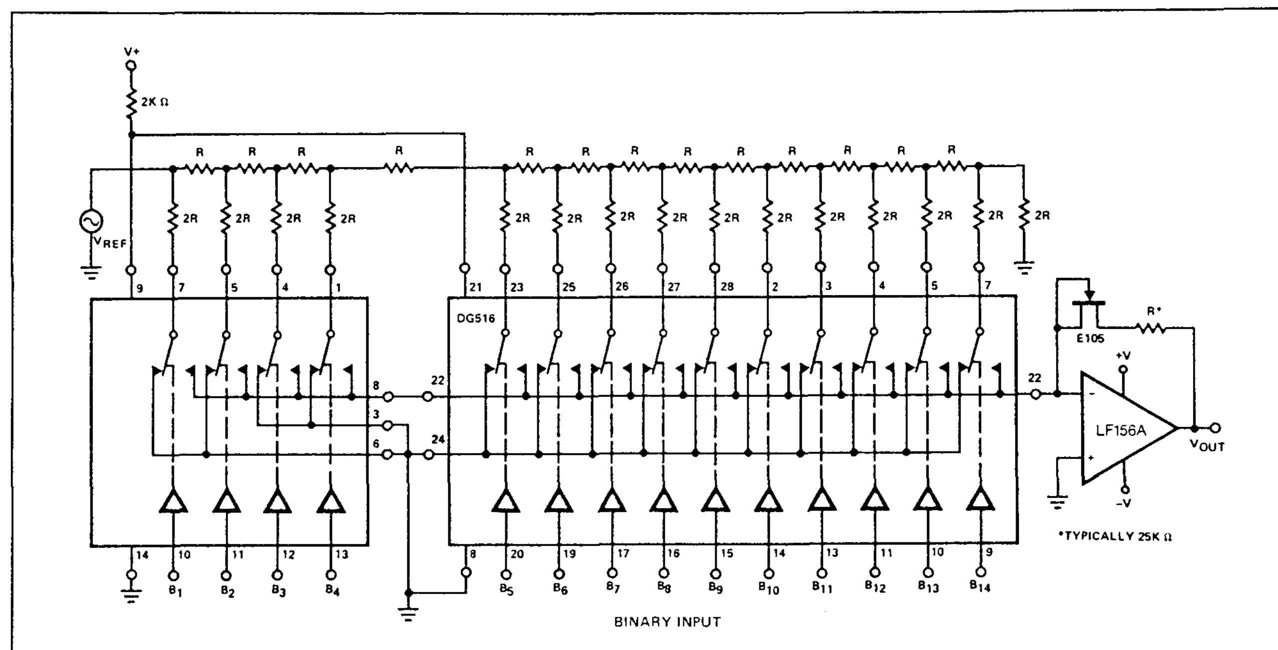
Eenvoudige DAC, waarbij niet gebruik wordt gemaakt van een R/2R netwerk, maar van vier gewogen weerstanden.

De uitgangsstroom wordt door middel van een operationele versterker omgezet in een uitgangsspanning.

Een weerstand van maximaal 2 kΩ moet in serie met de positieve voedingsaansluiting worden opgenomen om de vermogensdissipatie te beperken als er spikes op de digitale ingangen zitten.

– figuur 12/7.2-15:

Een 14 bit brede omzetter met R/2R netwerk ontstaat als men de DG 515 combineert met de DG 516.



Figuur 12/7.2-15: Veertien bit brede omzetter door de DG 515 te combineren met de DG 516.

7.2 Type-beschrijving DAC's resolutie kleiner dan 8 bit

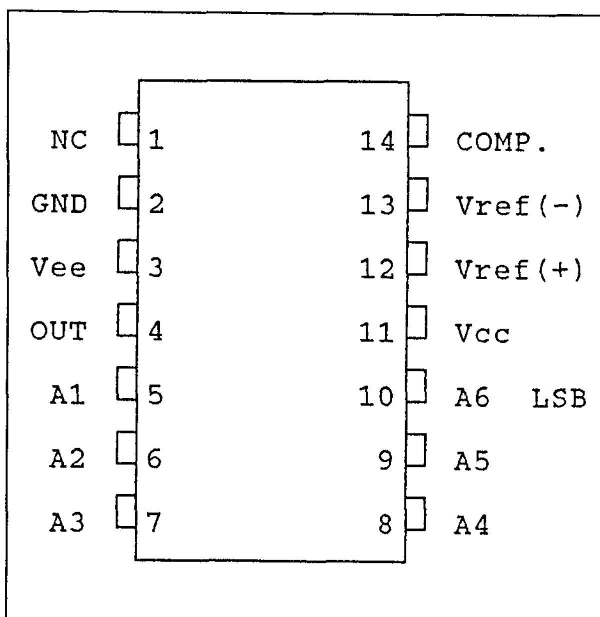
MC 1406

6 bit, 150 ns, I-uitgang

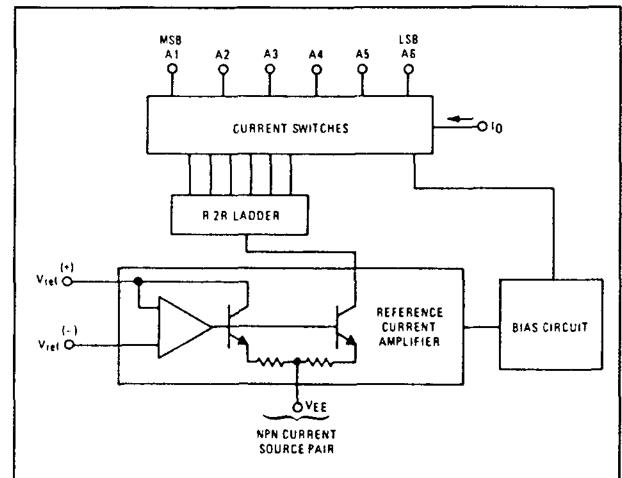
De MC 1406 bestaat uit een referentiestroomversterker, het R/2R netwerk en zes snelle elektronische schakelaars. De schakelaars sluiten als het besturende bit "L" is. Bij een referentiestroom van 2 mA levert de omzetter maximaal 1,969 mA aan de uitgang.

Technische gegevens

- fabrikant: Motorola
- behuizing: DIL-14
- aansluitgegevens: figuur 12/7.2-16
- intern blokschema: figuur 12/7.2-17
- voedingsspanning: +5,5/-16,5 max.
- voedingsstroom: +11/-11 mA max.
- aantal bits: 6
- niet-lineariteit: +/-1/2 LSB
- nauwkeurigheid: +/-0,78%
- temp-coëf.: 80 ppm/°C
- settling-tijd: 150 ns max.
- uitgangsbereik:
  0 tot 2,1 mA max.
- reststroom (alle bits "H"):
  10 µA max.



Figuur 12/7.2-16: Aansluitgegevens van de MC 1406.



Figuur 12/7.2-17: Intern blokschema van de MC 1406.

Voorbeeld-schakelingen

- figuur 12/7.2-18:

Standaard schakeling rond de MC 1406, waarbij de uitgangsstroom wordt omgezet in een uitgangsspanning door middel van een externe operationele versterker. De referentiestroom wordt door middel van een serieweerstand afgeleid uit een spanningsreferentie. Deze schakeling levert positieve uitgangsspanningen.

- figuur 12/7.2-19:

Alternatieve schakeling van de stroom naar spanning omzetter, waarbij de operationele versterker gecompenseerd wordt voor minimale slew-rate. Deze schakeling levert een settling time over het volledige bereik van 2,0 µs.

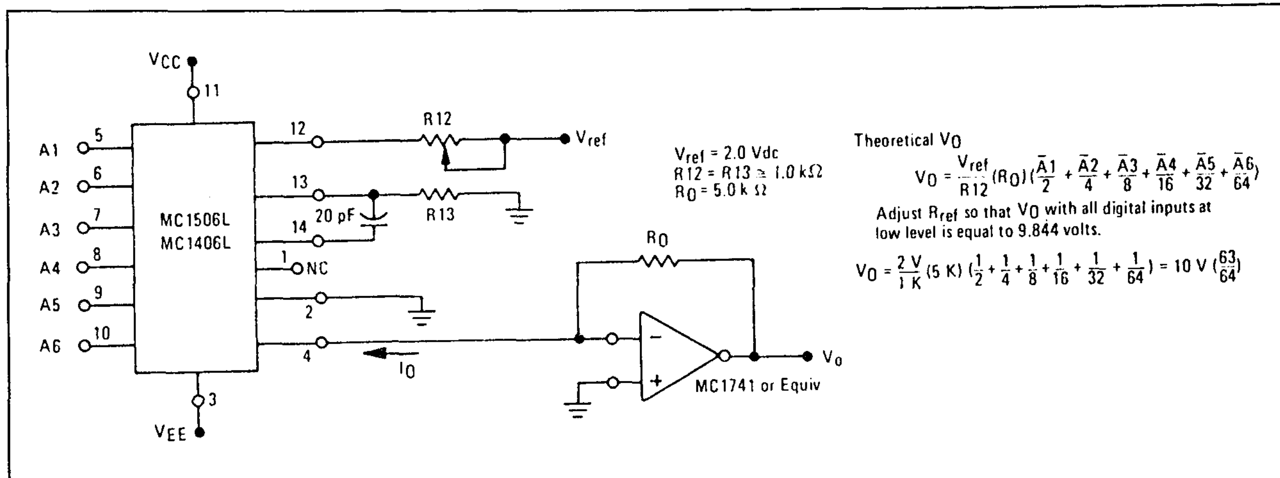
- figuur 12/7.2-20:

Voorbeeld-schakeling van een programmeerbare gestabiliseerde voeding. De uitgangsspanning kan door middel van duimwielschakelaars met ingebouwde BCD naar decimaal omzetter ingesteld worden tussen 0 en +6,3 V in stappen van 0,1 V.

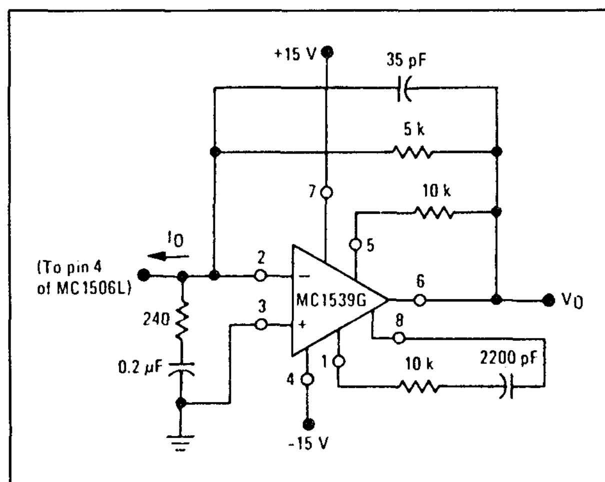
- figuur 12/7.2-21:

Met deze variant kan men bipolaire uitgangsspanningen genereren. Daarvoor wordt een positieve stroom in het sommeerpunt geïnjecteerd, waardoor de noodzakelijke offset ontstaat.

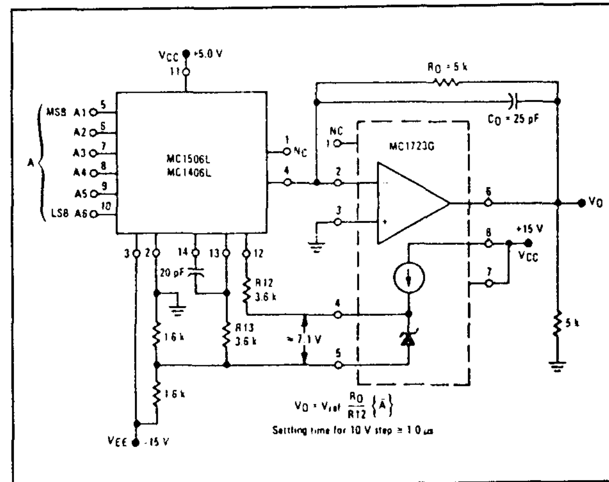
7.2 Type-beschrijving DAC's resolutie kleiner dan 8 bit



Figuur 12/7.2-18: Standaard schakeling rond de MC1406.



Figuur 12/7.2-19: Gecompenseerde stroom naar spanning omzetter, geoptimaliseerd voor minimale settling tijd.

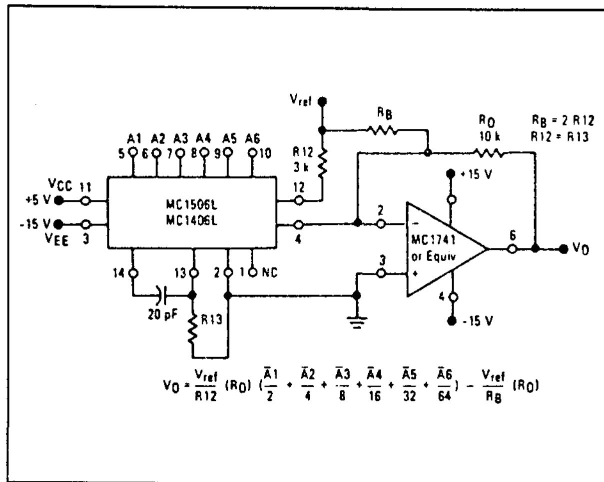


Figuur 12/7.2-20: Programmeerbare voeding met een bereik tussen de 0 en de 6,3 V.

– figuur 12/7.2-22:
Peak detector met automatische HOLD-functie. Deze schakeling detecteert echter alleen negatieve pieken. De waarde van deze piek wordt zowel digitaal aangeboden als onder de vorm van een gelijkspanning op de uitgang.
– figuur 12/7.2-23:
Versterker met digitaal programmeerbare versterkingsfactor. De schakeling heeft een bandbreedte van 1 MHz.
– figuur 12/7.2-24:
Gelijkspanningsgekoppelde digitale verzwakker.

De waarde van de uitgangsspanning is afhankelijk van de twee referentiespanningen en het gewicht A van de digitale code. De schakeling kan ook als digitale deler worden gebruikt.
Op deze manier kan men op een analoge manier vaststellen of een digitale code de waarde van een tweede digitale code benadert.
Deze schakeling werkt uiteraard niet zo nauwkeurig als een digitale comparator, maar geeft wel meer informatie, namelijk over de mate waarin de ene de andere code benadert.

7.2 Type-beschrijving DAC's resolutie kleiner dan 8 bit



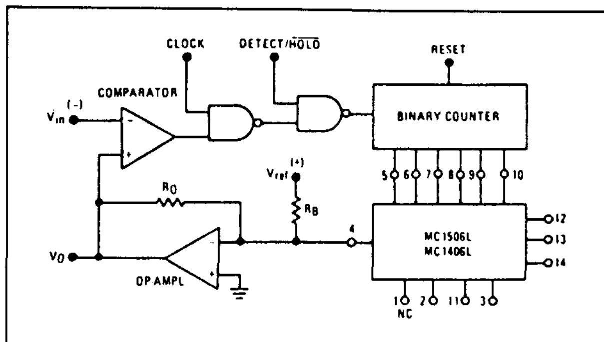
Figuur 12/7.2-21: Aanpassing van de schakeling voor bipolaire werking.

MC 1506

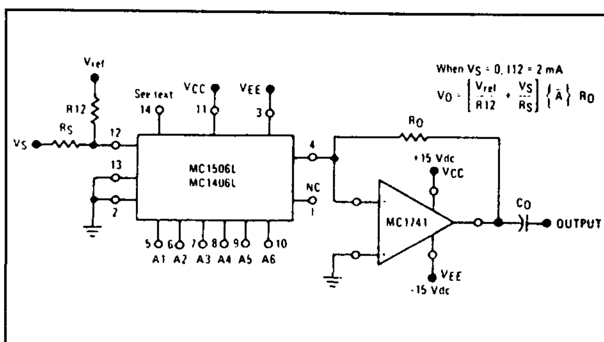
6 bit, 150 ns, I-uitgang

De MC 1506 bestaat uit een referentiestroomversterker, het R/2R netwerk en zes snelle elektronische schakelaars.
De schakelaars sluiten als het besturende bit "L" is.
Bij een referentiestroom van 2 mA levert de omzetter maximaal 1,969 mA aan de uitgang.

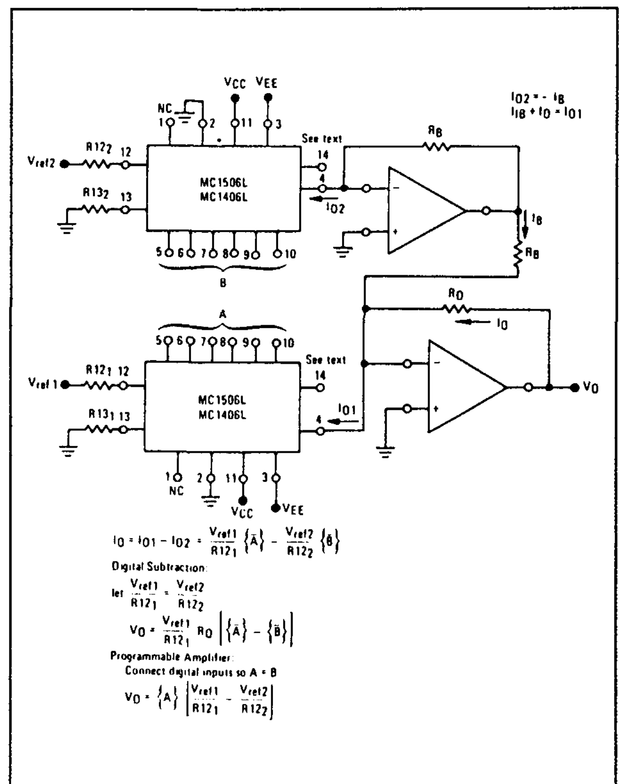
De MC 1506 is pen- en functie-compatible met de MC 1406. Het enige verschil is het groter temperatuurbereik, namelijk van -55 tot +125 °C. De MC 1406 wordt gespecificeerd voor temperaturen tussen 0 en +70 °C.



Figuur 12/7.2-22: Peak detector voor negatieve pieken.



Figuur 12/7.2-23: Digitaal programmeerbare versterker met een bandbreedte van 1 MHz.



Figuur 12/7.2-24: Digitale deelschakeling, waarmee men bijvoorbeeld kan controleren of het gewicht van een digitale code het gewicht van een tweede digitale code benadert.

7.2 Type-beschrijving DAC's resolutie kleiner dan 8 bit

Technische gegevens

- fabrikant: Motorola
- behuizing: DIL-14
- aansluitgegevens: figuur 12/7.2-16
- intern blokschema: figuur 12/7.2-17

Voor de overige gegevens en voorbeeld-schakelingen wordt verwezen naar de MC 1406.

MP 5520

6 bit, 3 μs, U-uitgang

De MP 5520 is een snelle 6 bit omzetter met geïntegreerde stroom naar spanning omzetter, ingebouwde spanningsreferentie en een nauwkeurigheid van 7 bit. Van dit IC worden zeven versies op de markt gebracht, die ieder afwijkende nauwkeurigheden en temperatuurscoëfficiënten hebben.

Technische gegevens

- fabrikant: Micro Power Systems
- behuizing: DIL-14
- aansluitgegevens: figuur 12/7.2-25
- intern blokschema: figuur 12/7.2-26
- voedingsspanning: +/-18 V max.
- aantal bits: 6
- niet-lineariteit: figuur 12/7.2-27
- temp-coëf.: figuur 12/7.2-27
- settling-tijd: 3 μs max.
- uitgangsbereik:
  +/-5 V
  +/-10 V
  +10 V

Opmerkingen

De MP 5520 gebruikt standaard gecodeerde digitale codes voor unipolaire werking.
Alle ingangen "H" geeft een uitgangsspanning van 0 V.
Voor bipolaire werking moet men de pennen 11 en 12 doorverbinden. Alle ingangen "H" levert dan de maximale negatieve uitgangsspanning.
De digitale ingangen werken met standaard TTL-niveaus.

Voorbeeld-schakelingen

- figuur 12/7.2-28:

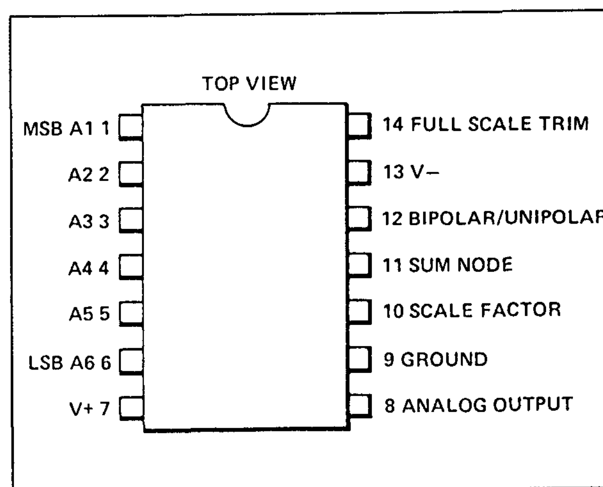
Het instellen van het volle schaal bereik bij de MP 5520.

- figuur 12/7.2-29:

Uitbreiden van de resolutie met een zevende extra bit.

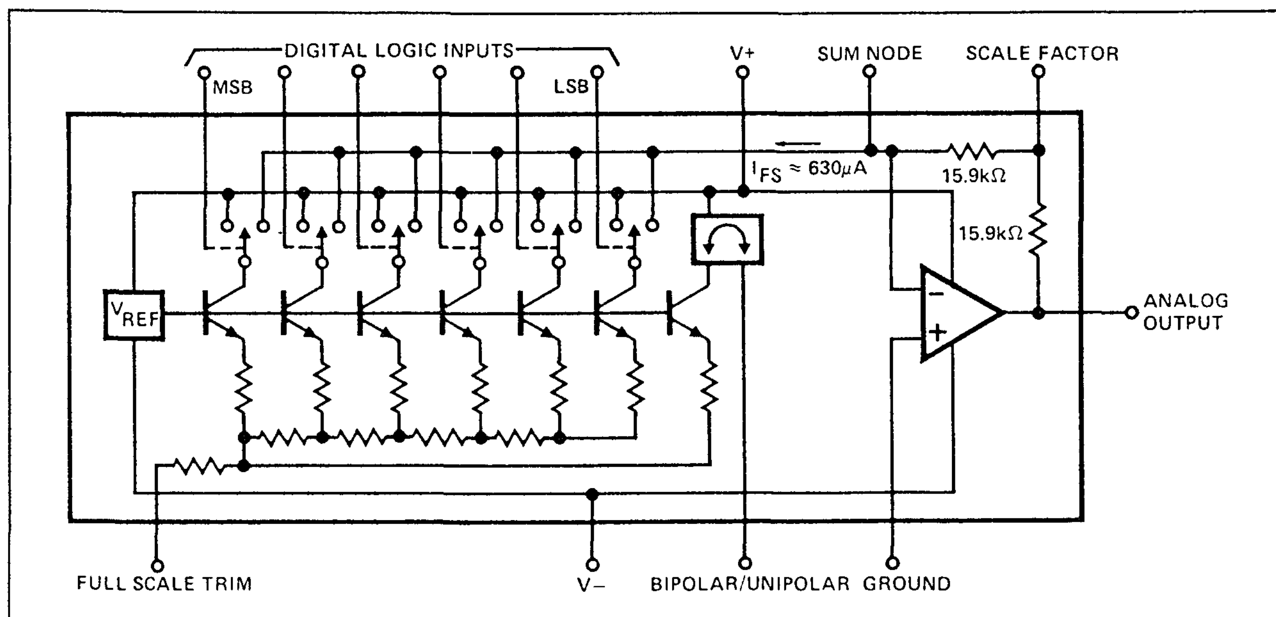
- figuur 12/7.2-30:

Het instellen van het nulpunt bij bipolaire werking.



Figuur 12/7.2-25: Aansluitgegevens van de MP 5520.

7.2 Type-beschrijving DAC's resolutie kleiner dan 8 bit

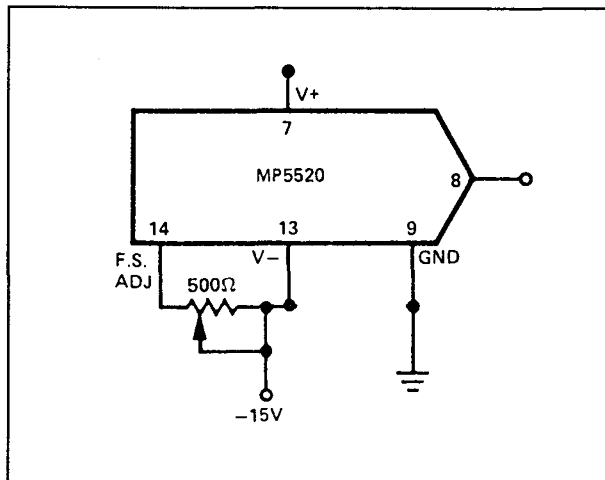


Figuur 12/7.2-26: Intern blokschema van de MP 5520.

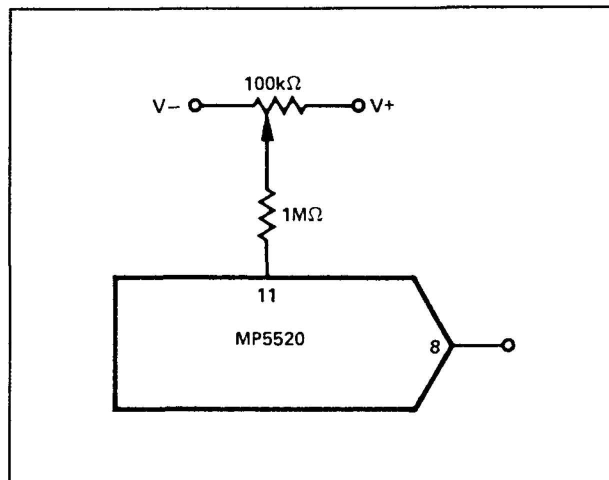
Parameter	MP5520ZD	MP5520AD	MP5520BD	MP5520FD	MP5520CD	MP5520HD	MP5520DD	Units
Output Options	Unipolar Bipolar	Unipolar Bipolar	Unipolar Bipolar	Unipolar	Unipolar Bipolar	Unipolar	Unipolar Bipolar	
Temperature Range	−55/+125	−55/+125	−55/+125	−55/+125	0/+70	0/+70	0/+70	°C
Nonlinearity 25°C – Max	±0.20	±0.40	±0.40	±0.40	±0.40	±0.40	±0.78	%FS
Nonlinearity Over Temp,Max	±0.30	±0.45	±0.45	±0.45	±0.45	±0.45	±0.78	%FS
Full Scale Tempco -- Max	±80	±80	±120	±80	±160	±160	±160	ppm/°C
Unipolar Zero Scale Output Voltage – Max (Note 1, 2)	25	25	25	40	25	40	50	mV

Figuur 12/7.2-27: Overzicht van de specificaties van de verschillende versies van de MP 5520.

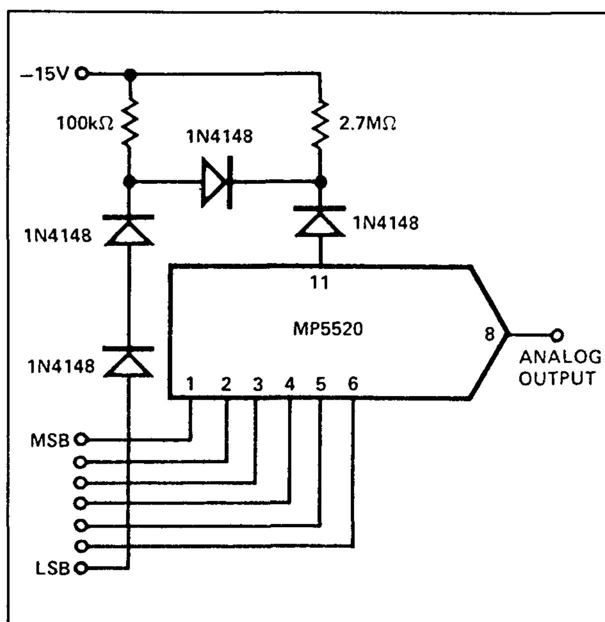
7.2 Type-beschrijving DAC's resolutie kleiner dan 8 bit



Figuur 12/7.2-28: Afregelen van het volle schaal bereik bij de MP 5520.



Figuur 12/7.2-30: Het afregelen van het nulpunt bij bipolaire werking.



Figuur 12/7.2-29: Toevoegen van een zevende bit.

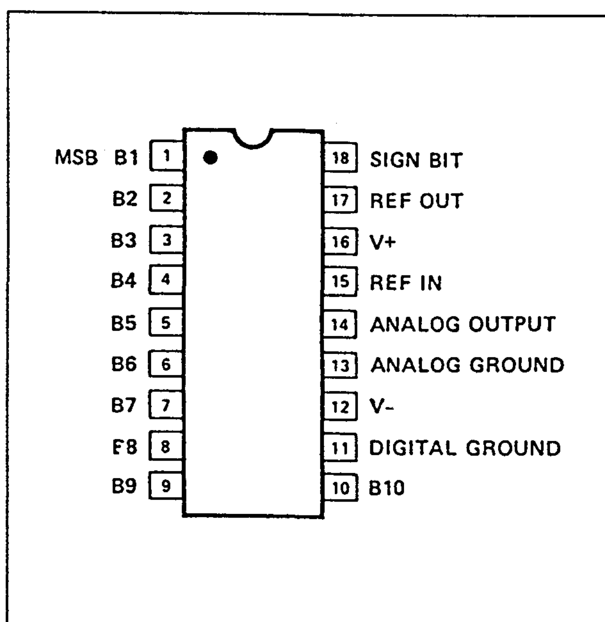
12/7.4

Type-beschrijving DAC's, resolutie 10 bit

DAC-02

10 bit, 2,0 µs, U-uitgang

De DAC-02 is een tamelijk trage 10 bit DAC met geïntegreerde operationele versterker aan de uitgang, een ingebouwde referentie en een extra SIGN-uitgang. De ingangen zijn TTL en CMOS compatible. De schakeling kan ingezet worden voor bipolair gebruik.



Figuur 12/7.4-1: Aansluitgegevens van de DAC-02.

Technische gegevens

- fabrikant: PMI
- behuizing: DIL-18
- aansluitgegevens: figuur 12/7.4-1
- intern blokschema: figuur 12/7.4-2
- codering van de SIGN-BIT uitgang: figuur 12/7.4-3
- voedingsspanning: +/-12 V min. +/-18 V max.
- voedingsstroom: +/-11,6 mA
- aantal bits: 10
- interne referentie: 6,7 V typisch
- niet-lineariteit: type AC: +/-0,1 % volle schaal type CC: +/-0,2 % volle schaal type DD: +/-0,4 % volle schaal
- temp-coëf.: 60 ppm/°C
- settling-time: 2 µs typisch
- uitgangsbereik: +10/-11,5 V min.

Voorbeeld-schakeling

- figuur 12/7.4-4:

Voorbeeld-schakeling met de DAC-02, waarbij het maximale analoge bereik aan de uitgang wordt afgeregeld door middel van een instelpotentiometer.

DAC-03

10 bit, 2,0 µs, U-uitgang

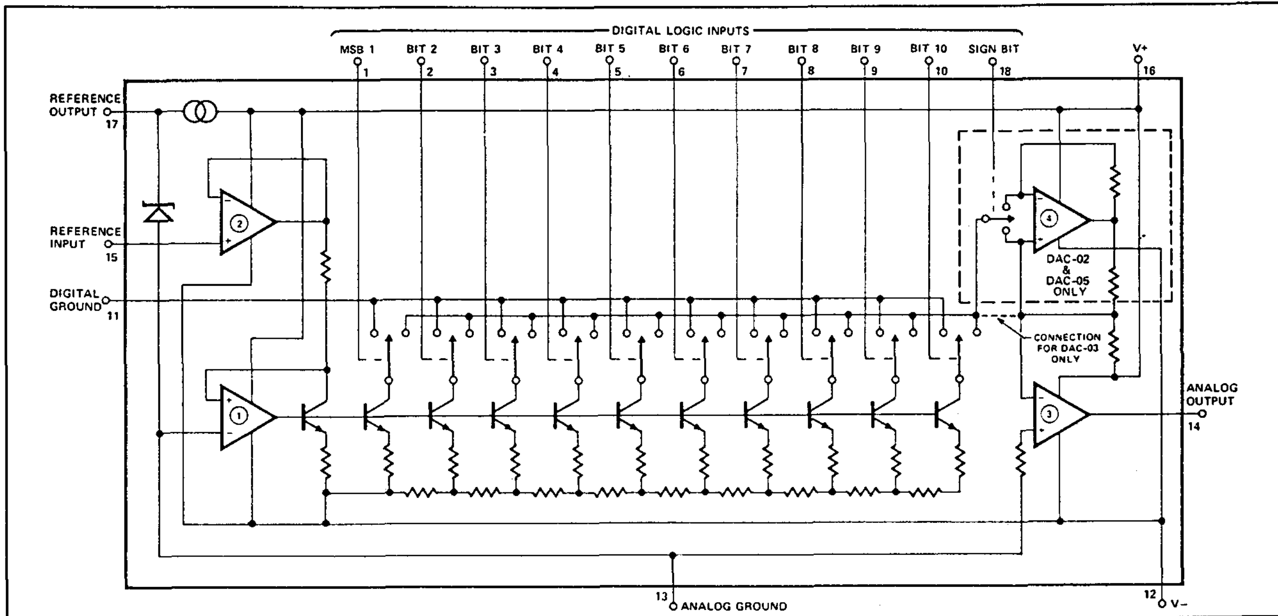
De DAC-03 is een tamelijk trage10 bit DAC met geïntegreerde operationele versterker aan de uitgang, een ingebouwde referentie en een extra SIGN-uitgang. De ingangen zijn TTL en CMOS compatible.

De schakeling is schakeltechnisch compatible aan de DAC-02, maar kan echter alleen met positieve unipolaire uitgang werken.

Technische gegevens

- fabrikant: PMI
- behuizing: DIL-18
- aansluitgegevens: figuur 12/7.4-1

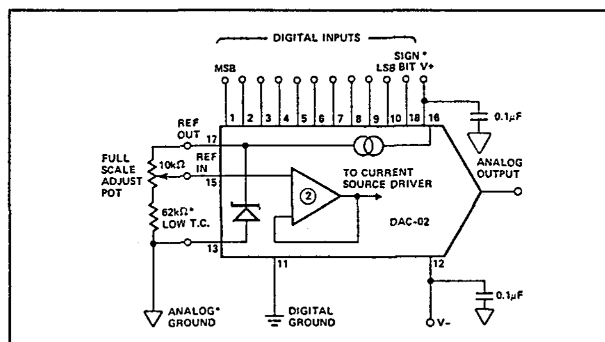
7.4 Type-beschrijving DAC's, resolutie 10 bit



Figuur 12/7.4-2: Intern blokschema van de DAC-02.

	SIGN-BIT	MSB									LSB
+ FULL SCALE	1	1	1	1	1	1	1	1	1	1	1
+ HALF-SCALE	1	1	0	0	0	0	0	0	0	0	0
ZERO-SCALE (+)	1	0	0	0	0	0	0	0	0	0	0
ZERO-SCALE (-)	0	0	0	0	0	0	0	0	0	0	0
- HALF-SCALE	0	1	0	0	0	0	0	0	0	0	0
- FULL-SCALE	0	1	1	1	1	1	1	1	1	1	1

Figuur 12/7.4-3: De codering op de SIGN-BIT uitgang voor verschillende codecombinaties op de digitale ingangen.



Figuur 12/7.4-4. Basis-schakeling met de DAC-02.

- intern blokschema: figuur 12/7.4-2
- codering van de SIGN-BIT uitgang: figuur 12/7.4-3
- voedingsspanning:
  +/-12 V min.
  +/-18 V max.
- voedingsstroom: +/-11,6 mA
- aantal bits: 10
- interne referentie: 6,7 V typisch
- niet-lineariteit:
  type AD: +/-0,1 % volle schaal
  type CD: +/-0,2 % volle schaal
- temp-coëf.: 60 ppm/°C
- settling-time: 2 µs typisch
- uitgangsbereik: +10 V min.

Voor de overige gegevens en de voorbeeldschakeling wordt verwezen naar de DAC-02.

DAC-05

10 bit, 2,0 µs, U-uitgang

De DAC-05 is een tamelijk trage 10 bit DAC met geïntegreerde operationele versterker aan de uitgang, een ingebouwde referentie en een extra SIGN-uitgang.
De ingangen zijn TTL en CMOS compatible.
De schakeling kan ingezet worden voor bipolair gebruik.

7.4 Type-beschrijving DAC's, resolutie 10 bit

De DAC-05 is schakeltechnisch identiek aan de DAC-02, maar wordt in slechts twee nauwkeurigheidsklassen geleverd. Bovendien zijn sommige specificaties iets slechter dan deze van de DAC-02.

Technische gegevens

- fabrikant: PMI
- behuizing: DIL-18
- aansluitgegevens: figuur 12/7.4-1
- intern blokschema: figuur 12/7.4-2
- codering van de SIGN-BIT uitgang: figuur 12/7.4-3
- voedingsspanning:
  +/-12 V min.
  +/-18 V max.
- voedingsstroom: +/-11,6 mA
- aantal bits: 10
- interne referentie: 6,7 V typisch
- niet-lineariteit:
  type A: +/-0,1 % volle schaal
  type E: +/-0,2 % volle schaal
- temp-coëf.: 60 ppm/°C
- settling-time: 2 µs typisch
- uitgangsbereik: +10/-11,5 V min.

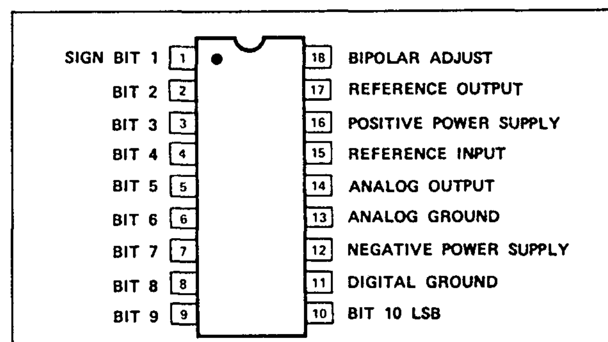
DAC-06

10 bit, 1,5 µs, U-uitgang

De DAC-06 is een tamelijk trage 10 bit DAC met geïntegreerde operationele versterker aan de uitgang, een ingebouwde referentie en een extra SIGN-uitgang. De ingangen zijn TTL en CMOS compatible. De schakeling kan bipolaire spanningen genereren.
De DAC-06 werkt volgens het one's of two's complement systeem.

Technische gegevens

- fabrikant: PMI
- behuizing: DIL-18
- aansluitgegevens: figuur 12/7.4-5
- intern blokschema: figuur 12/7.4-6
- codering voor one's en two's complement werking: figuur 12/7.4-7
- voedingsspanning:
  +/-12 V min.
  +/-18 V max.
- voedingsstroom: +/-10 mA
- aantal bits: 10
- interne referentie: 6,7 V typisch
- niet-lineariteit:
  type E: +/-0,2 % volle schaal
  type B: +/-0,3 % volle schaal
  type F: +/-0,3 % volle schaal
- temp-coëf.: 45 ppm/°C
- settling-time: 1,5 µs typisch
- uitgangsbereik: +/-10 V min.



Figuur 12/7.4-5: Aansluitgegevens van de DAC-06.

Voorbeeld-schakeling

- figuur 12/7.4-8:

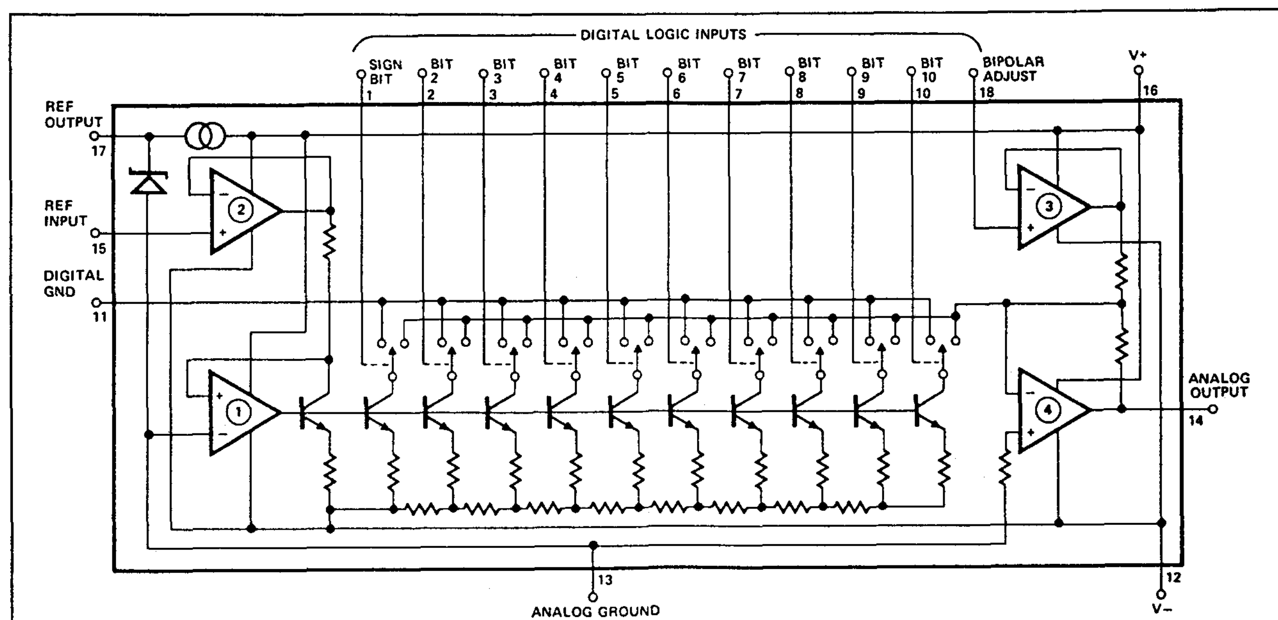
Voorbeeld-schakeling met de DAC-06, waarbij het maximale bereik aan de uitgang en de offsetspanning worden afgeregeld door middel van twee instelpotentiometers.
De afregelprocedure voor one's complement codering:

- zet op de digitale ingangen de code "1000000000";
- regel de analoge uitgangsspanning met de offset-potentiometer af op -5,0000 ;
- zet op de digitale ingangen de code "0111111111";
- regel de uitgangsspanning met de full scale potentiometer af op +5,0000 V.

De afregelprocedure voor two's complement codering:

- zet op de digitale ingangen de code "1000000000";
- regel de analoge uitgangsspanning met de offset-potentiometer af op -5,0000 ;
- zet op de digitale ingangen de code "0111111111";

7.4 Type-beschrijving DAC's, resolutie 10 bit



Figuur 12/7.4-6: Intern blokschema van de DAC-06.

TWO'S COMPLEMENT CODING TABLE

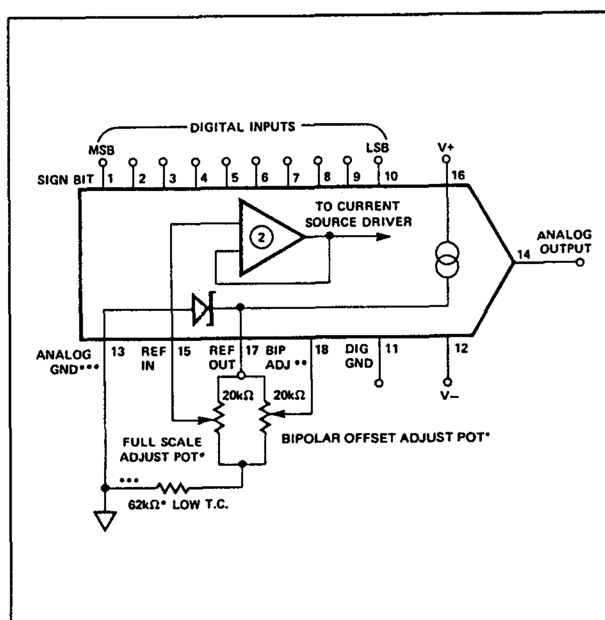
	INPUT MSB									LSB	IDEAL OUTPUT
V_{FS+} −1LSB	0	1	1	1	1	1	1	1	1	1	+4.990V
V_{FS+} −2LSB	0	1	1	1	1	1	1	1	1	0	+4.980V
+1LSB	0	0	0	0	0	0	0	0	0	1	+0.010V
Zero	0	0	0	0	0	0	0	0	0	0	0.000V
−1LSB	1	1	1	1	1	1	1	1	1	1	−0.010V
V_{FS-} +1LSB	1	0	0	0	0	0	0	0	0	1	−4.990V
V_{FS-}	1	0	0	0	0	0	0	0	0	0	−5.000V

ONE'S COMPLEMENT CODING TABLE

	INPUT MSB									LSB	IDEAL OUTPUT
V_{FS+} −1LSB	0	1	1	1	1	1	1	1	1	1	+5.000V
V_{FS+} −2LSB	0	1	1	1	1	1	1	1	1	0	+4.990V
+0	0	0	0	0	0	0	0	0	0	0	+0.005V
−0	1	1	1	1	1	1	1	1	1	1	−0.005V
V_{FS-} +2LSB	1	0	0	0	0	0	0	0	0	1	−4.990V
V_{FS-} +1LSB	1	0	0	0	0	0	0	0	0	0	−5.000V

Note that two zero states will straddle (±1/2 LSB) the true zero. Therefore the DAC will give symmetrical outputs for both positive and negative full-scale.

Figuur 12/7.4-7: De code-tabellen voor one's en two's complement werking.



Figuur 12/7.4-8: Voorbeeld-schakeling met de DAC-06 met externe afregeling van de offset en de schaal.

- regel de analoge uitgangsspanning met de full scale potentiometer af op +4,9900 V.

7.4 Type-beschrijving DAC's, resolutie 10 bit

DAC-10

10 bit, 135 ns, I-uitgang

De DAC-10 is een snelle 10 bit DAC die niets meer bevat dan de basisschakeling van iedere DAC: het R-2R netwerk met de elektronische schakelaars en twee stroom-uitgangen.

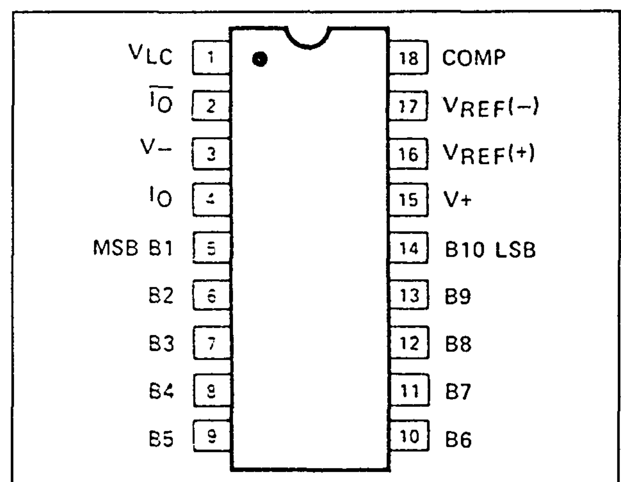
De typische settling-time van deze schakeling bedraagt slechts 85 ns, de maximale waarde van deze grootheid wordt gespecificeerd als 135 ns! Hierdoor is in alle gevallen een werk-bandbreedte van minstens 1 MHz gegarandeerd.

Technische gegevens

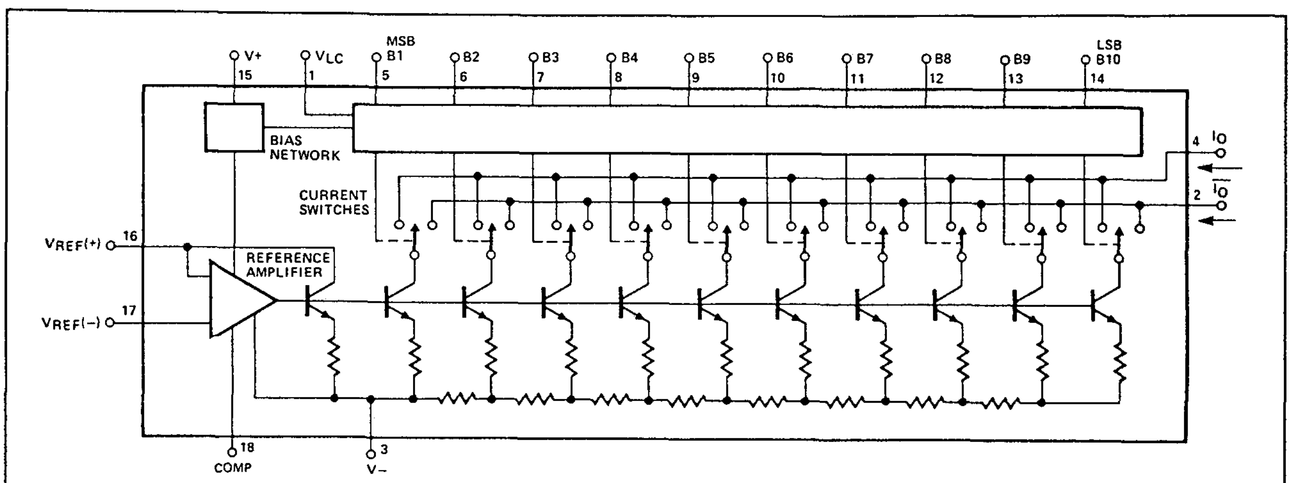
- fabrikant: PMI, Raytheon
- behuizing: DIL-18
- aansluitgegevens: figuur 12/7.4-9
- intern blokschema: figuur 12/7.4-10
- voedingsspanning:
  +5/-7,5 V min.
  +/-18 V max.
- voedingsstroom: +4/-15 mA
- aantal bits: 10
- niet-lineariteit:
  type B/F: +/-0,3 % volle schaal
  type C/G: +/-0,6 % volle schaal
- temp-coëf.: 25 ppm/°C
- settling-time: 135 ns max.
- uitgangsbereik: 4 mA max.
- uitgangscapaciteit: 18 pF typisch

Voorbeeld-schakelingen

- figuur 12/7.4-11:
Voorbeeld-schakeling met de DAC-10, waarbij de uitgangsstroom aan de uitgang op de gebruikelijke manier wordt omgezet in een uitgangsspanning door middel van een operationele versterker. Deze omzetter heeft een bereik van -5,00 V tot en met +4,99 V.
- figuur 12/7.4-12:
Analoog naar digitaal omzetter volgens het SAR-principe met de DAC-10 als DAC in de terugkoppeling. De schakeling heeft een bereik van 0 tot +10 V aan de analoge ingang.

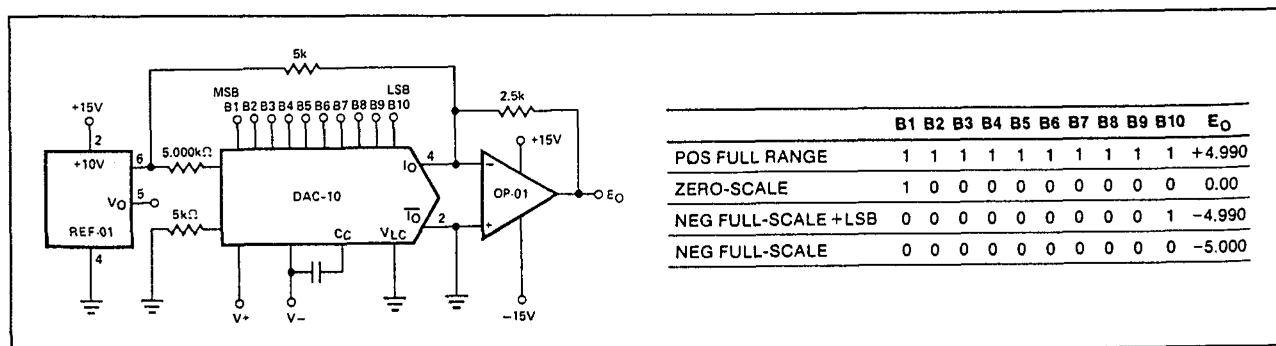


Figuur 12/7.4-9: Aansluitgegevens van de DAC-10.



Figuur 12/7.4-10: Intern blokschema van de DAC-10.

7.4 Type-beschrijving DAC's, resolutie 10 bit



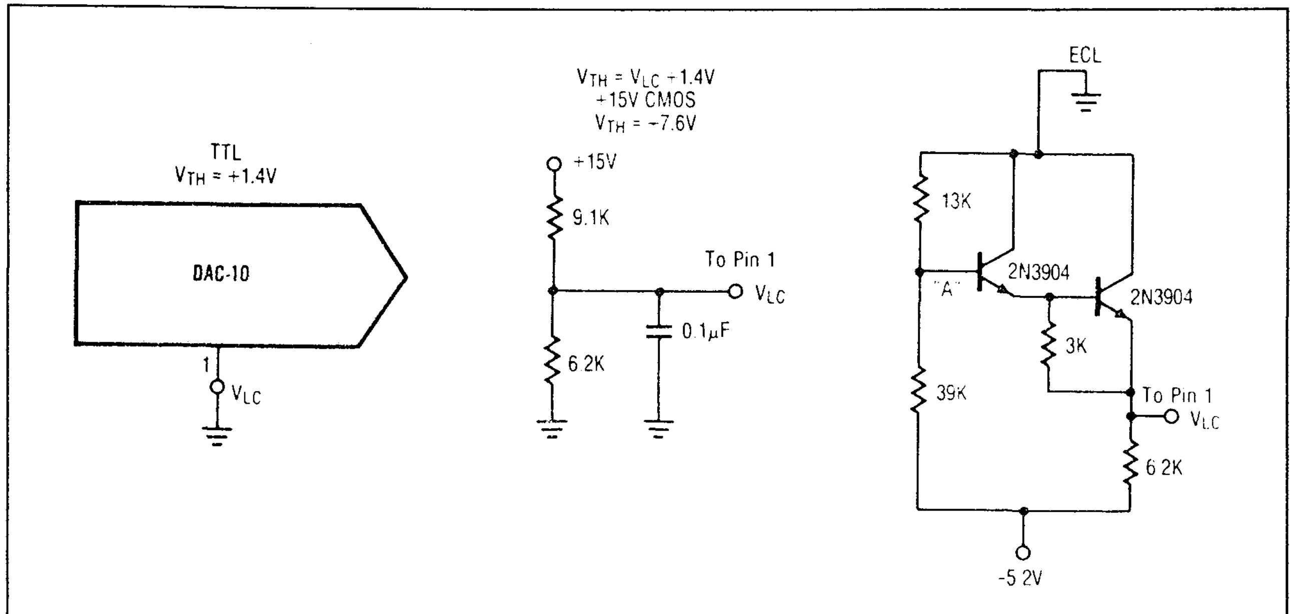
	B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	E_O
POS FULL RANGE	1	1	1	1	1	1	1	1	1	1	+4.990
ZERO-SCALE	1	0	0	0	0	0	0	0	0	0	0.00
NEG FULL-SCALE +LSB	0	0	0	0	0	0	0	0	0	1	−4.990
NEG FULL-SCALE	0	0	0	0	0	0	0	0	0	0	−5.000

Figuur 12/7.4-11: Standaard schakeling rond de DAC-10, waarbij de uitgangsstroom wordt omgezet in een uitgangsspanning.

Notes:
R1, R2, R3 Match to 0.025%
A_1 = RM4805, RM111 or equivalent
5.0V Ref = Ref-02 or equivalent
S1, S2 recommend HP5082

Figuur 12/7.4-12: De DAC-10 gebruikt als DAC in de terugkoppeling van een ADC volgens het SAR-principe.

7.4 Type-beschrijving DAC's, resolutie 10 bit



Figuur 12/7.4-13: Het aanpassen van de ingangen van de DAC-10 aan diverse logische families.

De SAR moet gestuurd worden met een clock van maximaal 2 MHz.
- figuur 12/7.4-13:

Aanpassen van de digitale ingangen van de DAC-10 aan verschillende logische niveau's. Van links naar rechts: TTL, CMOS gevoed uit +15 V en ECL gevoed uit -5,2 V.

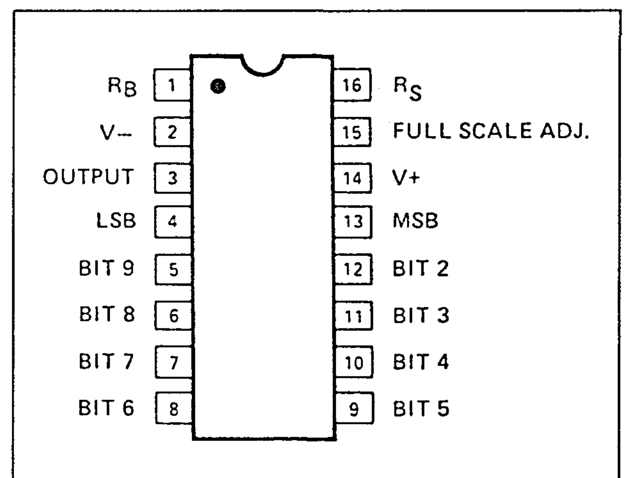
DAC-100

10 bit, 375 ns, I-uitgang

De DAC-100 is een snelle 10 bit DAC met geïntegreerde referentie en stroom-uitgangen.
De ingangen zijn TTL compatible. De schakeling kan ingezet worden voor bipolair gebruik.

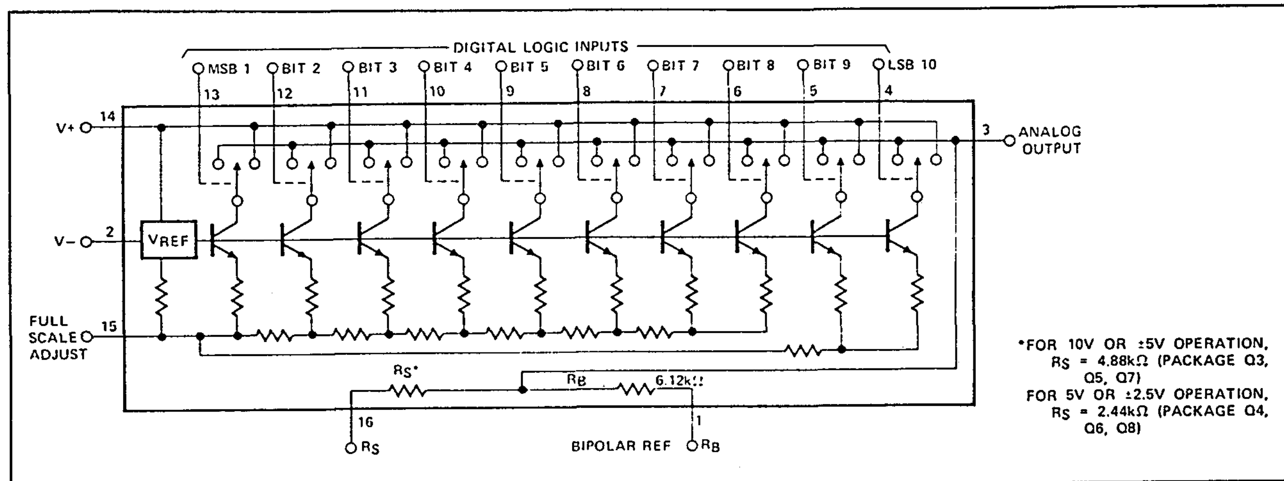
Technische gegevens

- fabrikant: PMI
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.4-14
- intern blokschema: figuur 12/7.4-15
- voedingsspanning:
  +/-6 V min.
  +/-18 V max.
- voedingsstroom: +/-8,33 mA
- aantal bits: 10
- niet-lineariteit: figuur 12/7.4-16
- temp-coëf.: figuur 12/7/4-16
- settling-time: 357 ns typisch
- uitgangsbereik: 2 mA max.
- uitgangsimpedantie: 500 kΩ
- uitgangscapaciteit: 13 pF



Figuur 12/7.4-14: Aansluitgegevens van de DAC-100.

7.4 Type-beschrijving DAC's, resolutie 10 bit



Figuur 12/7.4-15: Intern blokschema van de DAC-100.

N.L.* %FS MAX	TEMPCO* ppm/°C MAX	MILITARY TEMPERATURE $V_O = \pm5V/10V$	MILITARY TEMPERATURE $V_O = \pm2.5V/5V$	INDUSTRIAL TEMPERATURE $V_O = \pm5V/10V$	INDUSTRIAL TEMPERATURE $V_O = \pm2.5V/5V$	COMMERCIAL TEMPERATURE $V_O = \pm5V/10V$	COMMERCIAL TEMPERATURE $V_O = \pm2.5V/5V$
±0.05	±15	—	—	DAC100AAQ7	DAC100AAQ8	—	—
±0.05	±30	—	—	DAC100ABQ7	DAC100ABQ8	—	—
±0.05	±60	DAC100ACQ5/883	DAC100ACQ6/883	DAC100ACQ7	DAC100ACQ8	DAC100ACQ3	DAC100ACQ4
±0.10	±30	DAC100BBQ5/883	—	DAC100BBQ7	DAC100BBQ8	—	—
±0.10	±60	DAC100BCQ5/883	—	DAC100BCQ7	—	DAC100BCQ3	DAC100BCQ4
±0.10	±120	—	—	—	—	—	—
±0.20	±60	DAC100CCQ5/883	DAC100CCQ6/883	DAC100CCQ7	—	DAC100CCQ3	DAC100CCQ4
±0.20	±120	—	—	—	—	—	—
±0.30	±120	—	—	DAC100DDQ7	—	DAC100DDQ3	—

*Part number construction: The 1st letter following DAC-100 (A-D) refers to the nonlinearity specification; the 2nd letter (A-D) refers to the full-scale tempco; the letter Q refers to the package; and the end numeral indicates the output voltage and temperature.

†Burn-in is available on commercial and industrial temperature range parts in cerdip, plastic dip, and TO-can packages. For ordering information, see 1988 Data Book, Section 2.

Figuur 12/7.4-16: Nauwkeurigheid en temperatuurscoëfficiënt van de verschillende leverbare versies van de DAC-100.

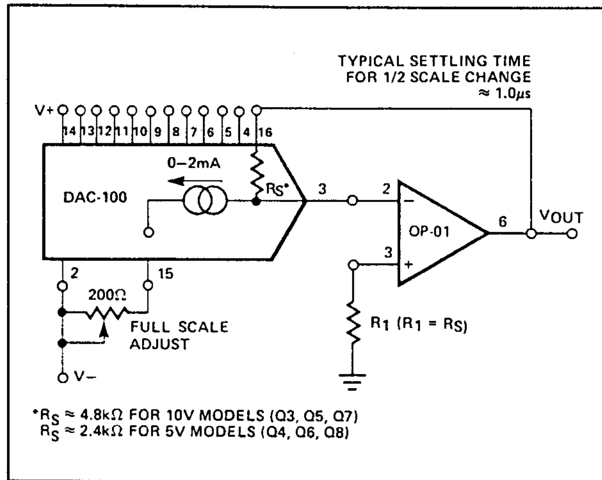
Voorbeeld-schakelingen

– figuur 12/7.4-17:
Voorbeeld-schakeling met de DAC-100 voor unipolaire werking aan de uitgang. Gebruik wordt gemaakt van de interne terugkoppelingsweerstand Rs bij de opbouw van de stroom naar spanning omzetter. Met behulp van de instelpotentiometer van 200 Ω kan de volle schaal op de gewenste waarde worden ingesteld met alle ingangen op "L".

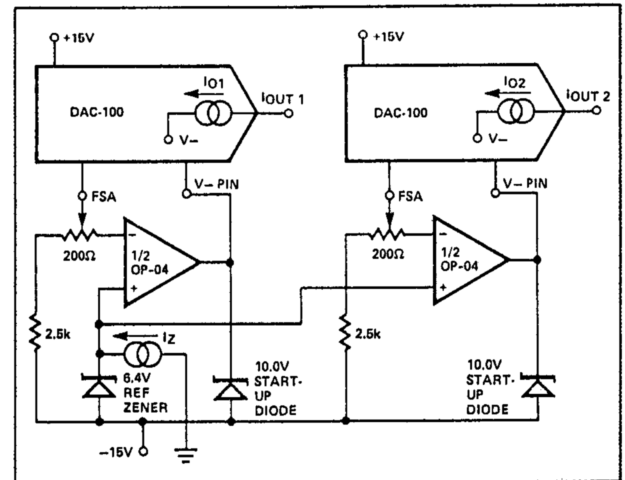
– figuur 12/7.4-18:
Basis-schakeling rond de DAC-100 bij gebruik met bipolaire uitgangsspanning. Er wordt een kunstmatige offset gecreëerd door de interne terugkoppelingsweerstand te verbinden met een referentiespanning van 6,4 V. Het door de offset gegenereerde kunstmatige nulpunt kan worden afgeregeld met behulp van de instelpotentiometer van 500 Ω.

– figuur 12/7.4-19:
Het gebruik van een nauwkeurige externe referentiespanning bij de DAC-100. Zoals uit de figuur blijkt kan men één gemeenschappelijke referentie-schakeling gebruiken voor het voeden van diverse DAC-100 IC's. Met behulp van de instelpotentiometers kan men de volle schaal uitgang instellen.

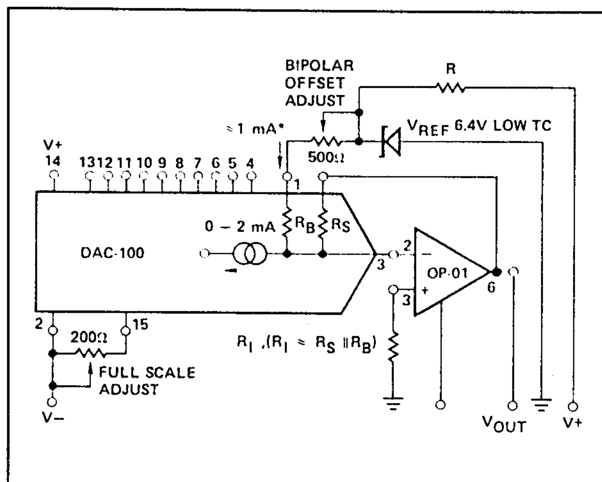
7.4 Type-beschrijving DAC's, resolutie 10 bit



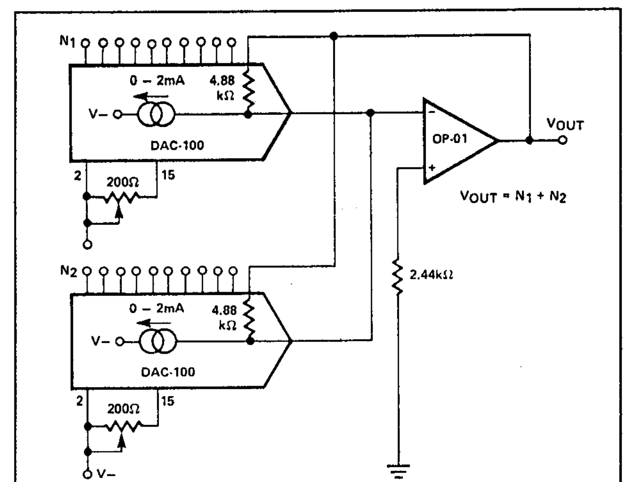
Figuur 12/7.4-17: Basis-schakeling rond de DAC-100 voor unipolaire werking.



Figuur 12/7.4-19: Het gebruik van een externe referentie bij de DAC-100.



Figuur 12/7.4-18: Basis-schakeling rond de DAC-100 voor bipolaire werking.



Figuur 12/7.4-20: Het analoog sommeren van twee binaire getallen.

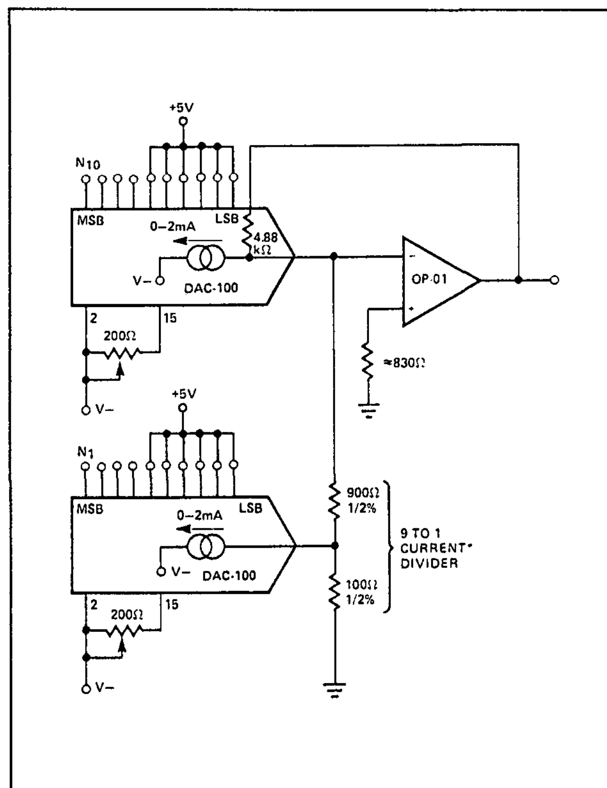
– figuur 12/7.4-20:
Een eenvoudige manier om de analoge som te berekenen van twee binaire getallen. De analoge uitgangsstromen van de twee DAC's worden gesommeerd en in één stroom naar spanning omzetter omgezet in een analoge uitgangsspanning.

– figuur 12/7.4-21:
Digitaal naar analoog omzetter met BCD-ingangen. Twee BCD-decaden worden, op dezelfde manier als in het vorige schema, omgezet in een gesommeerde analoge uitgangsspanning.

– figuur 12/7.4-22:
De DAC-100 wordt in dit voorbeeld gebruikt in de terugkoppeling van aan analoog naar digitaal omzetter volgens het SAR-principe. De SAR wordt geclocked met een signaal met een maximale frequentie van 3,5 MHz.

– figuur 12/7.4-23:
De DAC-100 wordt in dit voorbeeld gebruikt in een analoog naar digitaal omzetter volgens het tracking-principe. Als gebruik wordt gemaakt van een clock van 3,5 MHz kan men analoge signalen met een maximale frequentie van 4,5 kHz bemonsteren.

7.4 Type-beschrijving DAC's, resolutie 10 bit



Figuur 12/7.4-21: Het omzetten van twee BCD-gecodeerde decaden in een analoge uitgangsspanning.

DAC-210

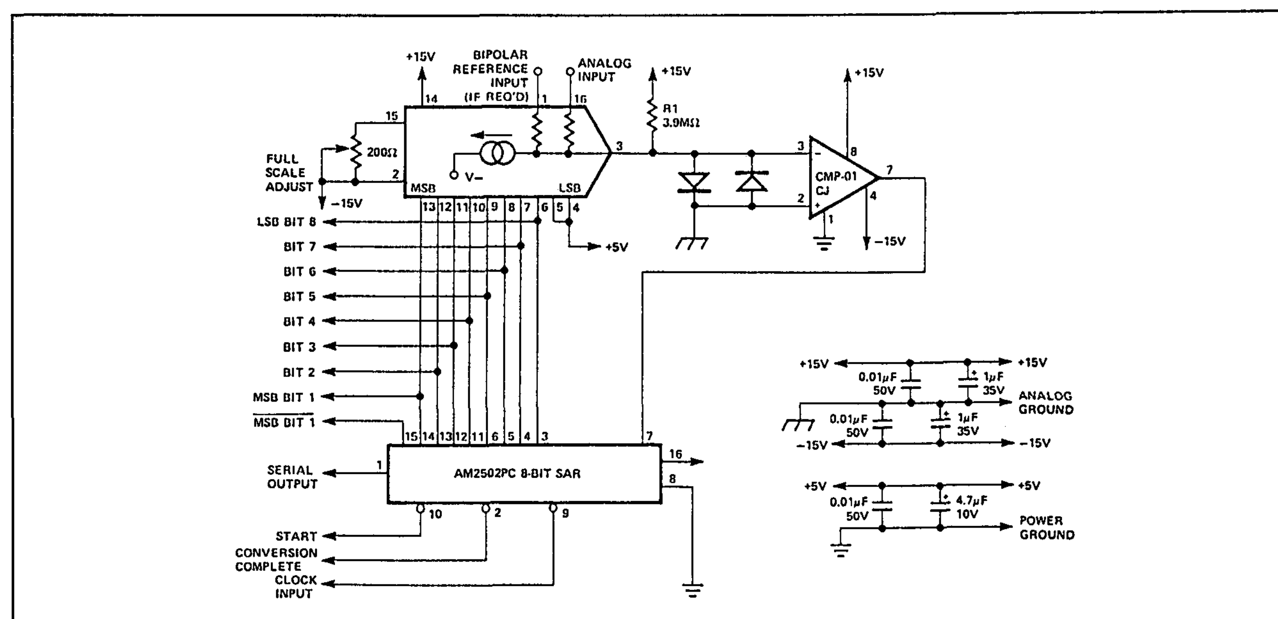
10 bit, 1,5 ms, U-uitgang

De DAC-210 is een middenklasse 10 bit DAC met geïntegreerde referentie en ingebouwde stroom naar spanning omzetter.

De schakeling levert tien binaire uitgangen en een SIGN-uitgang.
De ingangen zijn TTL compatible. De schakeling kan ingezet worden voor bipolair gebruik.

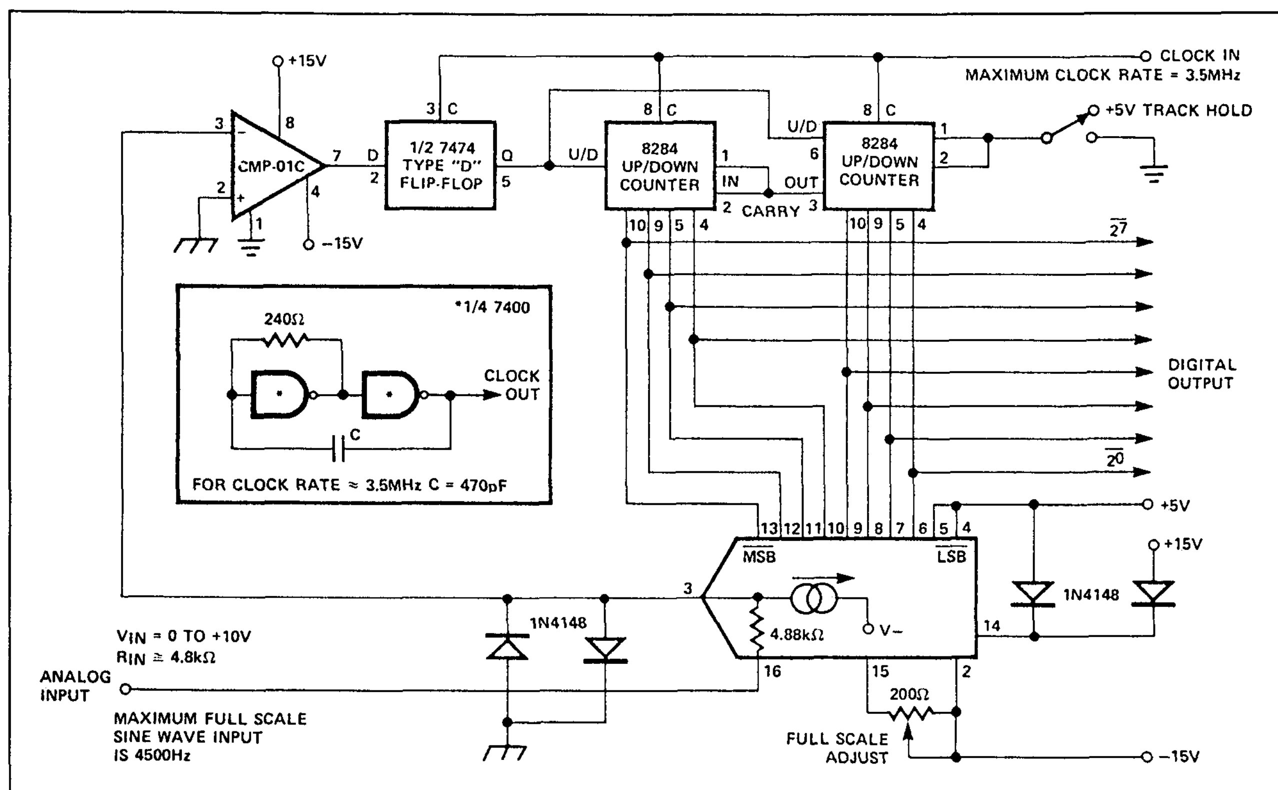
Technische gegevens

- fabrikant: PMI
- behuizing: DIL-18
- aansluitgegevens: figuur 12/7.4-24
- intern blokschema: figuur 12/7.4-25
- voedingsspanning: +/-18 V max.
- voedingsstroom: +9/-12 mA
- aantal bits: 10
- niet-lineariteit: +/-0,05 % volle schaal
- temp-coëf.: 40 ppm/°C
- settling-time: 1,5 ms typisch
- interne referentie: 7,6 V typisch
- uitgangsbereik: +/-11,5 V max.

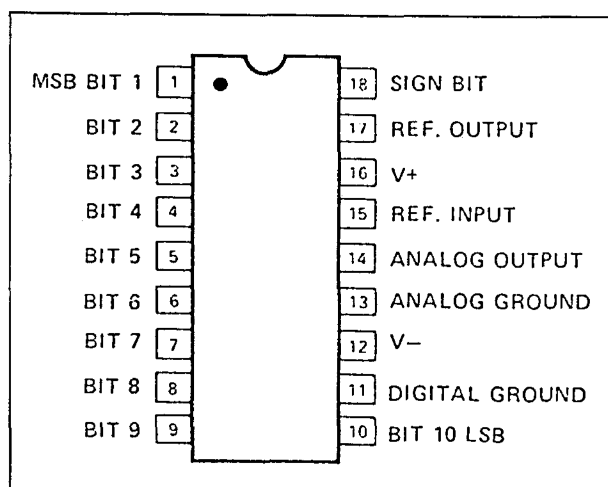


Figuur 12/7.4-22: Het gebruik van een DAC-100 in een ADC volgens het SAR-principe.

7.4 Type-beschrijving DAC's, resolutie 10 bit



Figuur 12/7.4-23: Het gebruik van een DAC-100 in een ADC volgens het tracking-principe.



Figuur 12/7.4-24: Aansluitgegevens van de DAC-210.

Voorbeeld-schakelingen

– figuur 12/7.4-26:
Het afregelen van de volle schaal uitgang bij de DAC-210 door middel van een instelpotentiometer, geschakeld tussen de analoge massa en de uitgang van de interne referentie.

– figuur 12/7.4-27:
De DAC-210 gebruikt in een analoog naar digitaal omzetter volgens het SAR-principe.

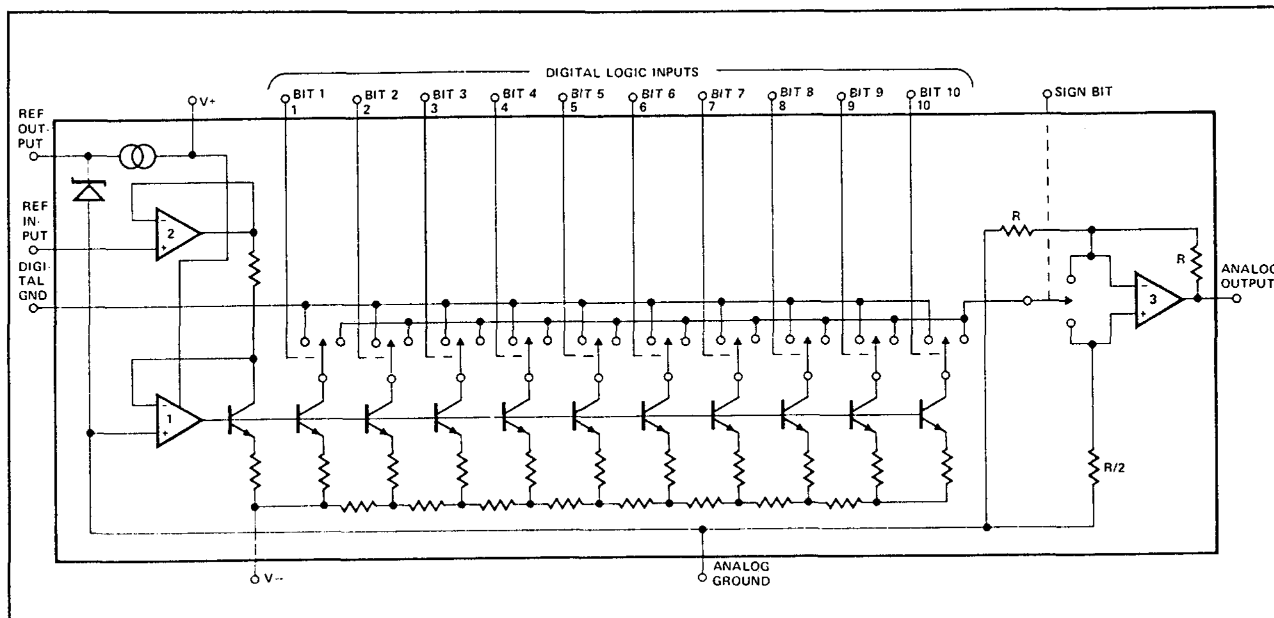
DG 516

10 bit, speciale schakeling

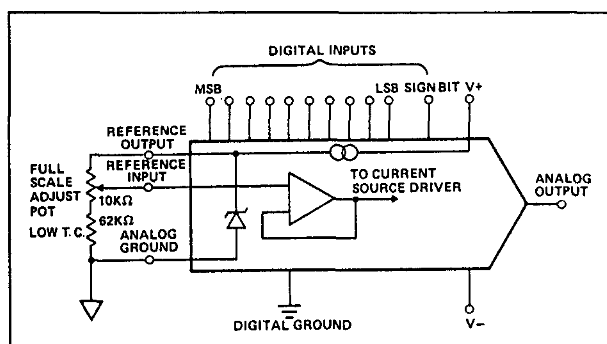
De DG 516 bevat niets meer dan tien elektronische omschakelaars en de besturing van deze schakelaars. De moedercontacten van deze schakelaars zijn afzonderlijk naar buiten gevoerd, de overige contacten zijn gemeenschappelijk geschakeld op twee uitgangslijnen.

Met dit IC kan men dus zélf een DAC opbouwen, waarbij stroombronnen, referenties, weerstandsnetwerken en stroom naar spanning omzetter extern moeten worden aangebracht.

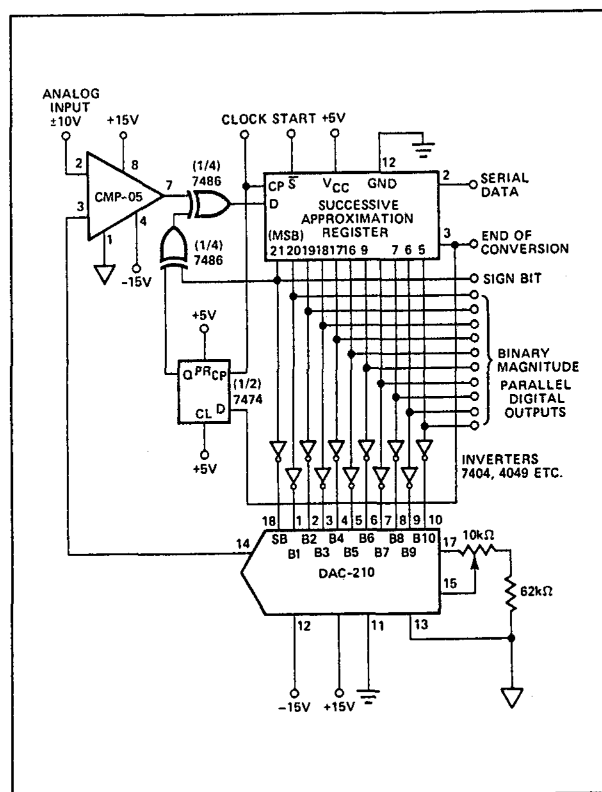
7.4 Type-beschrijving DAC's, resolutie 10 bit



Figuur 12/7.4-25: Intern blokschema van de DAC-210.



Figuur 12/7.4-26: Afregelen op volle schaal bij de DAC-210.

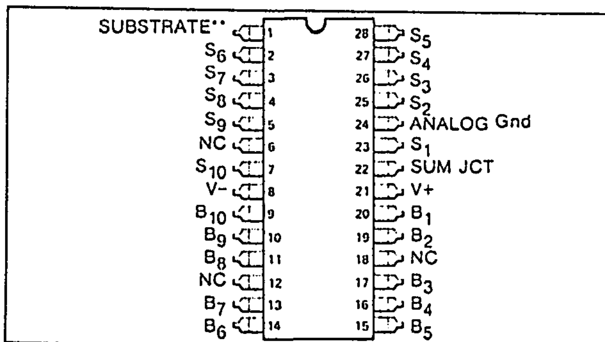


Figuur 12/7.4-27: De DAC-210 in een ADC volgens het SAR-principe.

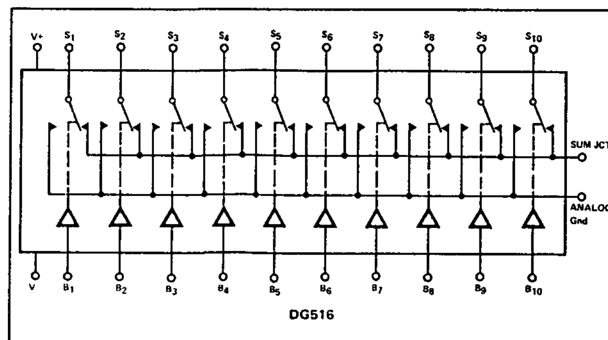
Technische gegevens

- fabrikant: Siliconix
- behuizing: DIL-28
- aansluitgegevens: figuur 12/7.4-28
- intern blokschema: figuur 12/7.4-29
- voedingsspanning: +/-8 V max.
- voedingsstroom: +/-150 µA
- aantal bits: 10
- uitgangsimpedantie:
  schakelaar 1: 125 Ω max.
  schakelaar 2: 250 Ω max.
  schakelaar 3: 500 Ω max.
  schakelaar 4: 1 kΩ max.
  schakelaar 5: 2 kΩ max.
  schakelaars 6 tot en met 10: 4 kΩ max.
- uitgangscapaciteit: 20 pF max.

7.4 Type-beschrijving DAC's, resolutie 10 bit



Figuur 12/7.4-28: Aansluitgegevens van de DG 516.



Figuur 12/7.4-29: Intern schema van de DG 516.

*TYPICALLY 25K Ω
**TEMPERATURE COMPENSATION FOR CHANGE IN $R_{DS(on)}$ WITH TEMPERATURE
TYPICAL FEEDTHROUGH ERROR OF 10 mV p-p FOR V_{REF} = 10 V p-p, f = 100 kHz AND R = 25K Ω

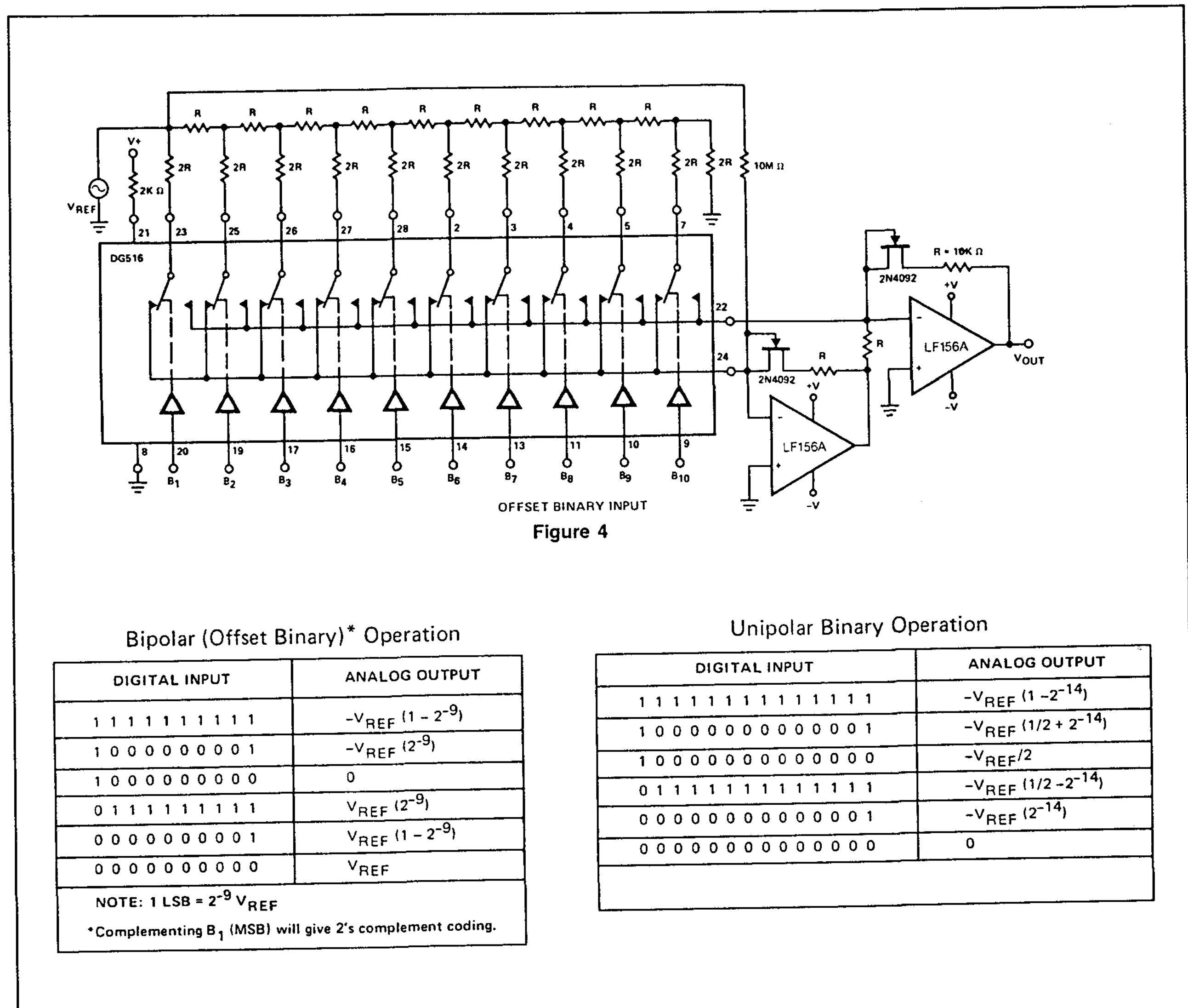
BINARY INPUT

Unipolar Binary Operation

DIGITAL INPUT	ANALOG OUTPUT
1 1 1 1 1 1 1 1 1 1	$-V_{REF}$ $(1 - 2^{-10})$
1 0 0 0 0 0 0 0 0 1	$-V_{REF}$ $(1/2 + 2^{-10})$
1 0 0 0 0 0 0 0 0 0	$-V_{REF}/2$
0 1 1 1 1 1 1 1 1 1	$-V_{REF}$ $(1/2 - 2^{-10})$
0 0 0 0 0 0 0 0 0 1	$-V_{REF}$ (2^{-10})
0 0 0 0 0 0 0 0 0 0	0

Figuur 12/7.4-30: De DG 516 gebruikt als hart van een unipolaire DAC.

7.4 Type-beschrijving DAC's, resolutie 10 bit



Bipolar (Offset Binary)* Operation

DIGITAL INPUT	ANALOG OUTPUT
1 1 1 1 1 1 1 1 1 1	$-V_{REF}(1-2^{-9})$
1 0 0 0 0 0 0 0 0 1	$-V_{REF}(2^{-9})$
1 0 0 0 0 0 0 0 0 0	0
0 1 1 1 1 1 1 1 1 1	$V_{REF}(2^{-9})$
0 0 0 0 0 0 0 0 0 1	$V_{REF}(1-2^{-9})$
0 0 0 0 0 0 0 0 0 0	V_{REF}

NOTE: 1 LSB = 2^{-9} V_{REF}

*Complementing B_1 (MSB) will give 2's complement coding.

Unipolar Binary Operation

DIGITAL INPUT	ANALOG OUTPUT
1 1 1 1 1 1 1 1 1 1 1 1 1 1	$-V_{REF}(1-2^{-14})$
1 0 0 0 0 0 0 0 0 0 0 0 0 1	$-V_{REF}(1/2+2^{-14})$
1 0 0 0 0 0 0 0 0 0 0 0 0 0	$-V_{REF}/2$
0 1 1 1 1 1 1 1 1 1 1 1 1 1	$-V_{REF}(1/2-2^{-14})$
0 0 0 0 0 0 0 0 0 0 0 0 0 1	$-V_{REF}(2^{-14})$
0 0 0 0 0 0 0 0 0 0 0 0 0 0	0

Figuur 12/7.3-31: De DG 516 gebruikt als basis van een bipolaire DAC.

Voorbeeld-schakelingen

– figuur 12/7.4-30:
Basisschema rond de DG 516 bij gebruik als unipolaire DAC met negatieve uitgangsspanning.
De FET in de terugkoppellus van de operationele versterker wordt gebruikt voor het compenseren van de temperatuurscoëfficiënt van de elektronische schakelaars.
– figuur 12/7.4-31:
Gebruik van de DG 516 in een schakeling met een bipolaire analoge uitgang.

AD 561

10 bit, 250 ns, I-uitgang

De AD 561 is een snelle 10 bit DAC met geïntegreerde referentie en stroomuitgangen. De ingangen zijn TTL compatible. De schakeling kan ingezet worden voor bipolair gebruik.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.4-32

7.4 Type-beschrijving DAC's, resolutie 10 bit

- intern blokschema: figuur 12/7.4-33
- voedingsspanning:
  +5, -15 V typisch
- voedingsstroom: +10/-16 mA
- aantal bits: 10
- niet-lineariteit: +/-0,05 % volle schaal
- temp-coëf.: figuur 12/7/4-34
- settling-time: 250 ns typisch
- uitgangsbereik:
  2,4 mA unipolair max.
  +/-1,2 mA bipolair max.
- uitgangsimpedantie: 40 MΩ
- uitgangscapaciteit: 25 pF

DAC 1020

10 bit, 500 ns, I-uitgang

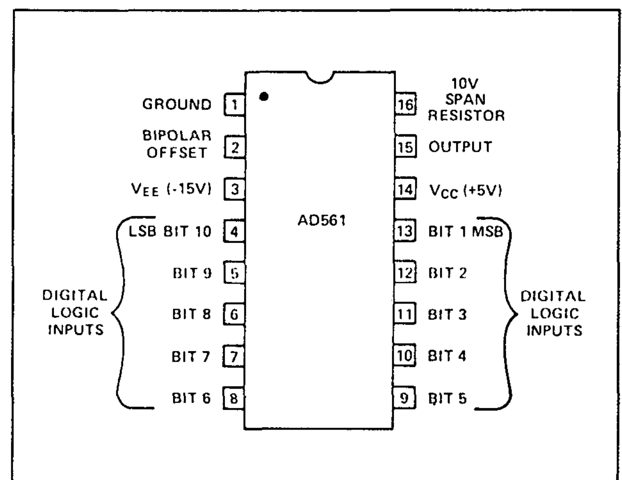
De DAC 1020 is een snelle 10 bit DAC die alleen de elektronische omschakelaars en het R/2R laddernetwerk bevat.
De ingangen zijn TTL compatible. De schakeling kan ingezet worden voor bipolair gebruik.

Technische gegevens

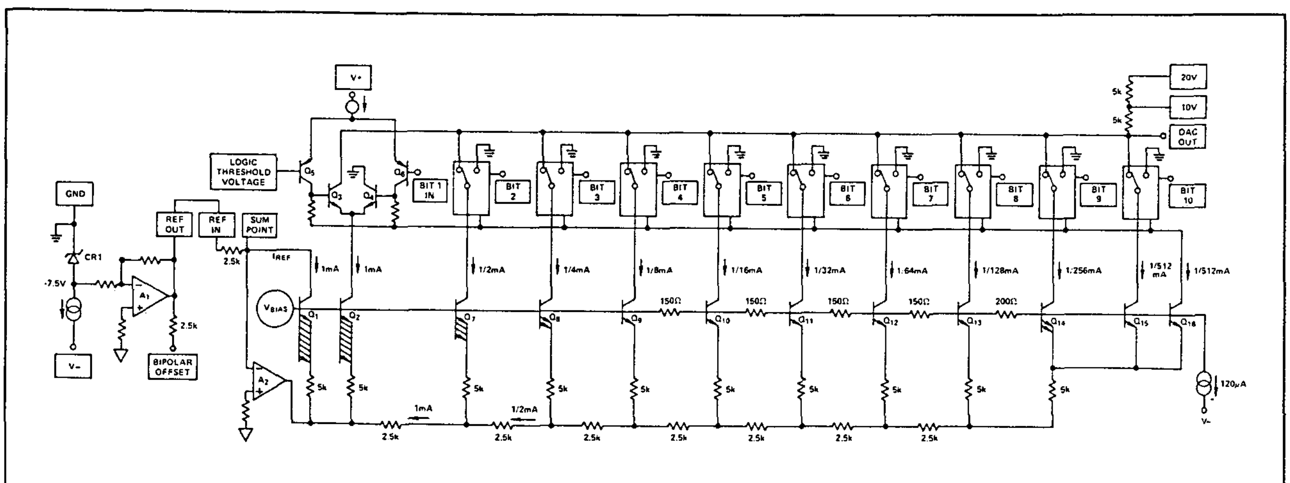
- fabrikant: National Semiconductor
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.4-35
- intern blokschema: figuur 12/7.4-36
- voedingsspanning: +17 V max.
- voedingsstroom: +1,6 mA
- aantal bits: 10
- niet-lineariteit: +/-0,05 % volle schaal
- temp-coëf.: 0,001 % volle schaal/°C
- settling-time: 500 ns typisch
- uitgangscapaciteit: 200 pF max.

Voorbeeld-schakelingen

- figuur 12/7.4-37:
Basis-schakeling rond de DAC 1020 voor unipolaire werking.



Figuur 12/7.4-32: Aansluitgegevens van de AD 561.



Figuur 12/7.4-33: Intern blokschema van de AD 561.

7.4 Type-beschrijving DAC's, resolutie 10 bit

MODEL	TEMP RANGE	ACCURACY @ +25°C	GAIN T.C. (of F.S./°C)	PACKAGE OPTIONS*
AD561JD	0 to +70°C	±½LSB max	80ppm max	D-16
AD561JN	0 to +70°C	±½LSB max	80ppm max	N-16
AD561KD	0 to +70°C	±¼LSB max	30ppm max	D-16
AD561KN	0 to +70°C	±¼LSB max	30ppm max	N-16
AD561SD	-55 to +125°C	±½LSB max	60ppm max	D-16
AD561TD	-55 to +125°C	±¼LSB max	30ppm max	D-16

Figuur 12/7.4-34: Nauwkeurigheid en temperatuurscoëfficiënt van de verschillende leverbare versies van de AD 561.

De door het IC geleverde uitgangsstroom wordt door middel van de operationele versterker omgezet in een uitgangsspanning.

- figuur 12/7.4-38:

Schakeling voor bipolaire werking over vier quadranten met de DAC 1020. Door het toevoegen van een referentiespanning op de inverterende ingang van de operationele versterker wordt een offset gecreëerd, die verantwoordelijk is voor het verschuiven van het uitgangsspanningsbereik.

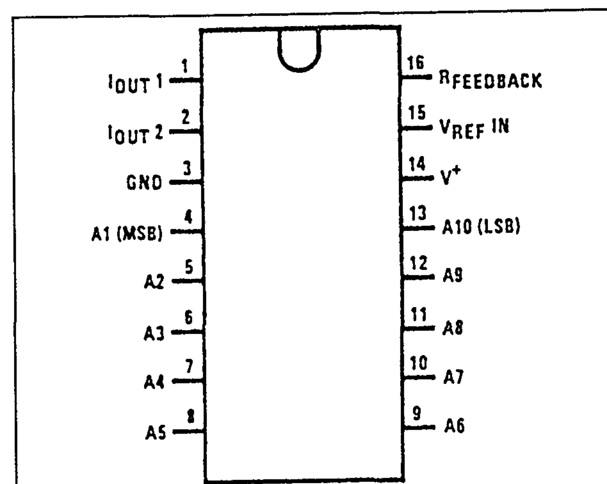
- figuur 12/7.4-39:

Schakeling van een digitaal bestuurbare versterker/verzwakker. De versterkingsfactor van de schakeling is in 1023 stappen regelbaar volgens de in de tekening gegeven formule.

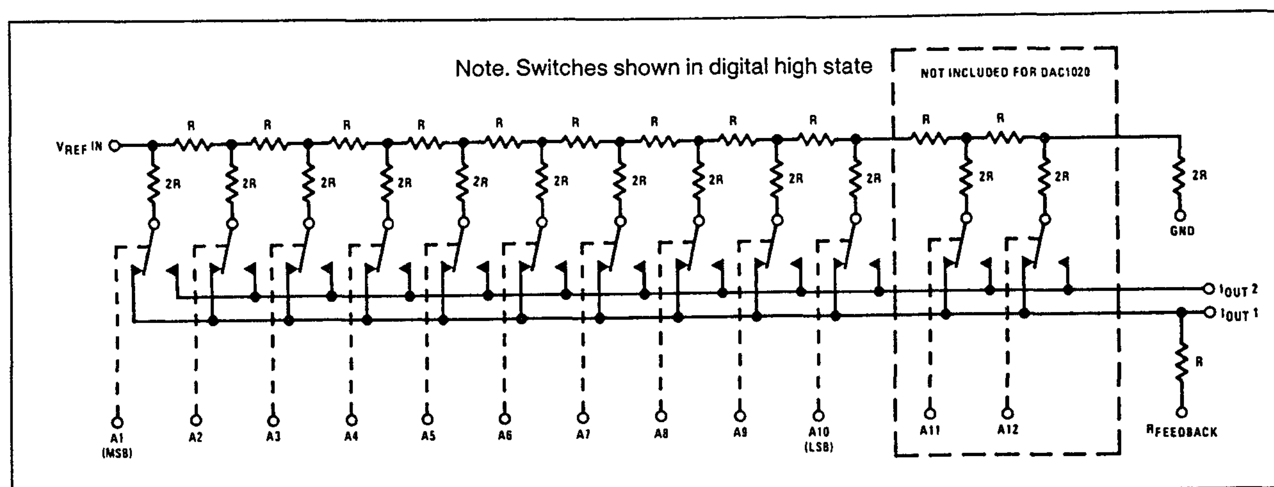
DAC 1021

10 bit, 500 ns, I-uitgang

De DAC 1021 is een snelle 10 bit DAC die alleen de elektronische omschakelaars en het R/2R laddernetwerk bevat.
De ingangen zijn TTL compatible. De schakeling kan ingezet worden voor bipolair gebruik.



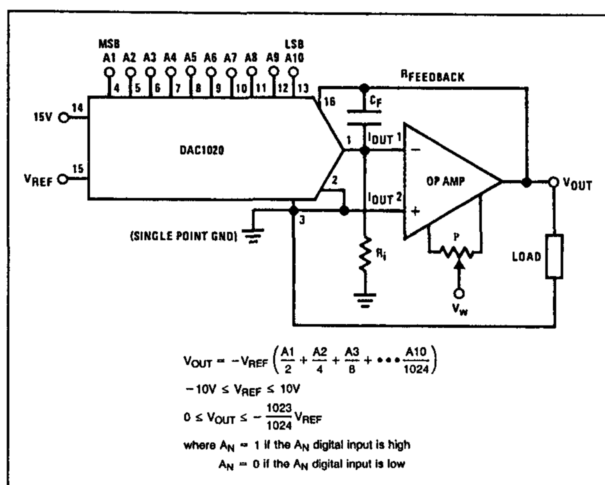
Figuur 12/7.4-35: Aansluitgegevens van de DAC 1020.



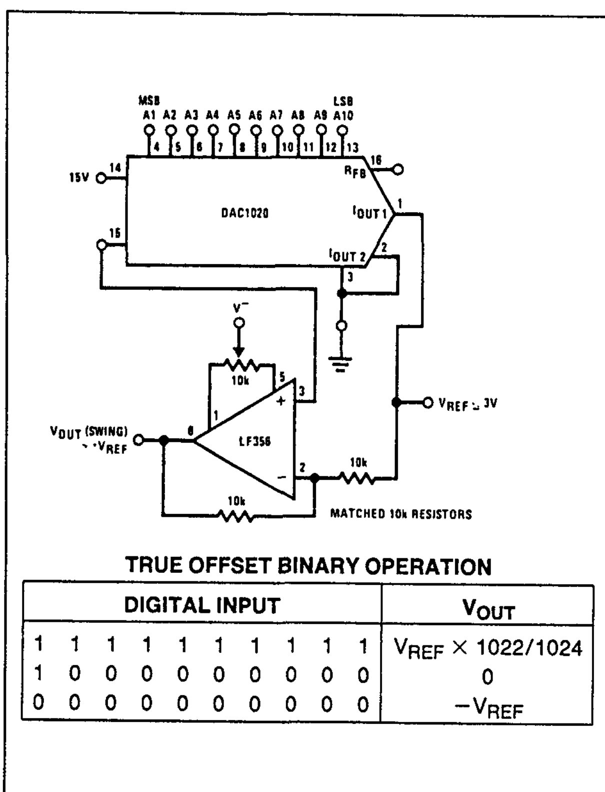
Figuur 12/7.4-36: Intern blokschema van de DAC 1020.

7.4 Type-beschrijving DAC's, resolutie 10 bit

De schakeling is functie- en pen-compatible met de DAC 1020, maar heeft enige afwijkende specificaties.



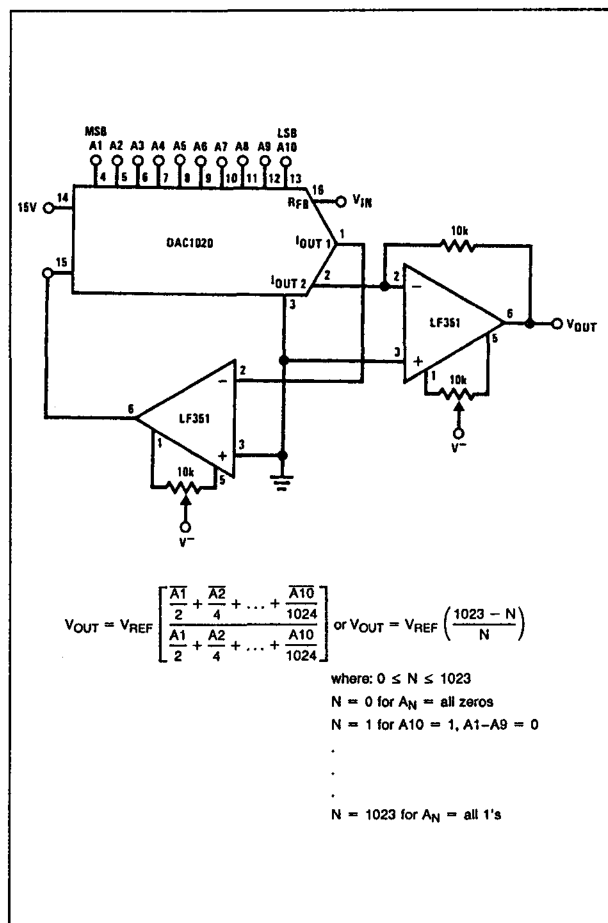
Figuur 12/7.4-37: Unipolaire basis-schakeling rond de DAC 1020.



TRUE OFFSET BINARY OPERATION

DIGITAL INPUT										V_{OUT}
1	1	1	1	1	1	1	1	1	1	$V_{REF} \times 1022/1024$
1	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	$-V_{REF}$

Figuur 12/7.4-38: Bipolaire basis-schakeling rond de DAC 1020.



Figuur 12/7.4-39: Schakeling van een digitaal instelbare verzwakker/versterker met de DAC 1020.

Technische gegevens

- fabrikant: National Semiconductor
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.4-35
- intern blokschema: figuur 12/7.4-36
- voedingsspanning: +17 V max.
- voedingsstroom: +1,6 mA
- aantal bits: 10
- niet-lineariteit: +/-0,10 % volle schaal
- temp-coëf.: 0,001 % volle schaal/°C
- settling-time: 500 ns typisch
- uitgangscapaciteit: 200 pF max.

Voor de overige gegevens en voorbeeldschakelingen wordt verwezen naar de DAC 1020.

7.4 Type-beschrijving DAC's, resolutie 10 bit

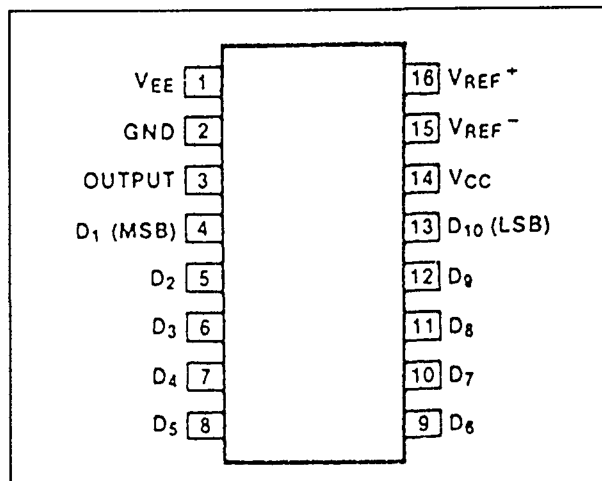
DAC 1022

10 bit, 500 ns, I-uitgang

De DAC 1022 is een 10 bit DAC die alleen de elektronische omschakelaars en het R/2R laddernetwerk bevat. De ingangen zijn TTL compatible.

De schakeling kan ingezet worden voor bipolair gebruik.

Deze schakeling is pen- en functie-compatible met de DAC 1020, maar heeft afwijkende specificaties.



Figuur 12/7.4-40: Aansluitgegevens van de MC 3410.

Figuur 12/7.4-41: Intern schema van de MC 3410.

7.4 Type-beschrijving DAC's, resolutie 10 bit

Technische gegevens

- fabrikant: National Semiconductor
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.4-35
- intern blokschema: figuur 12/7.4-36
- voedingsspanning: +17 V max.
- voedingsstroom: +1,6 mA
- aantal bits: 10
- niet-ineariteit: +/-0,20 % volle schaal
- temp-coëf.: +/-0,001 % volle schaal/°C
- settling-time: 500 ns typisch
- uitgangscapaciteit: 200 pF max.

Voor de overige gegevens en de voorbeeld-schakelingen wordt verwezen naar de DAC 1020.

MC 3410

10 bit, 250 ns, I-uitgang

De MC 3410 is een snelle 10 bit DAC die de elektronische omschakelaars en het R/2R laddernetwerk bevat van de fundamentele DAC-schakeling.
Referentie en uitgangsbuffer moeten extern worden aangebracht.
De ingangen zijn TTL en CMOS compatible.

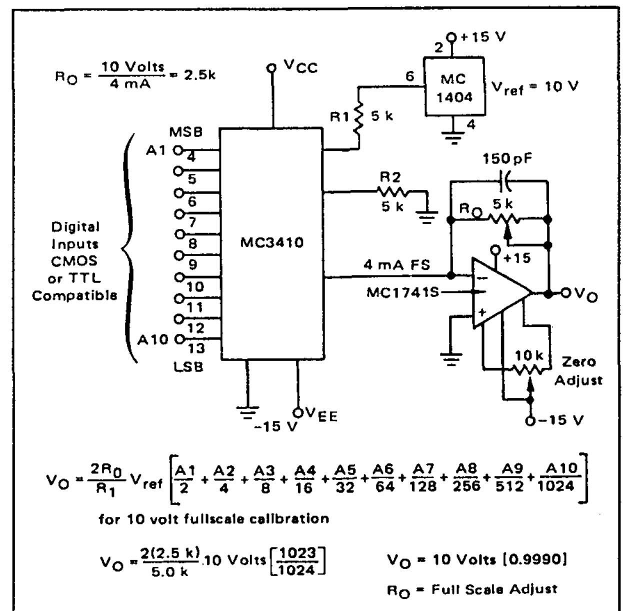
Technische gegevens

- fabrikant: Motorola, Philips
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.4-40
- intern blokschema: figuur 12/7.4-41
- voedingsspanning: +7/-18 V max.
- voedingsstroom: +18/-20 mA
- aantal bits: 10
- niet-lineariteit: +/-0,1 % volle schaal
- temp-coëf.: 70 ppm/°C
- settling-time: 250 ns typisch
- uitgangsstroom: 4,0 mA
- uitgangscapaciteit: 25 pF max.

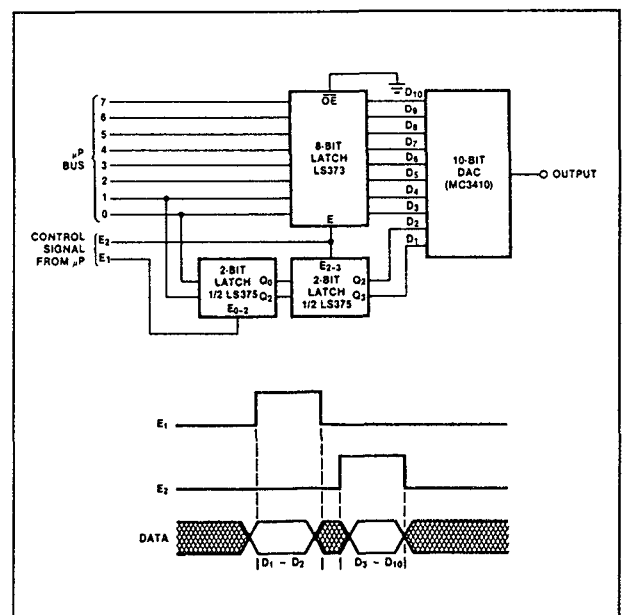
Voorbeeld-schakelingen

- figuur 12/7.4-42:

Basis-schakeling rond de MC 3410, waarbij de externe referentiespanning van +10 V wordt gegenereerd door een MC 1404 en een 741 operationele versterker zorgt voor het omzetten van de uitgangsstroom in een uitgangsspanning. Deze schakeling werkt unipolair!

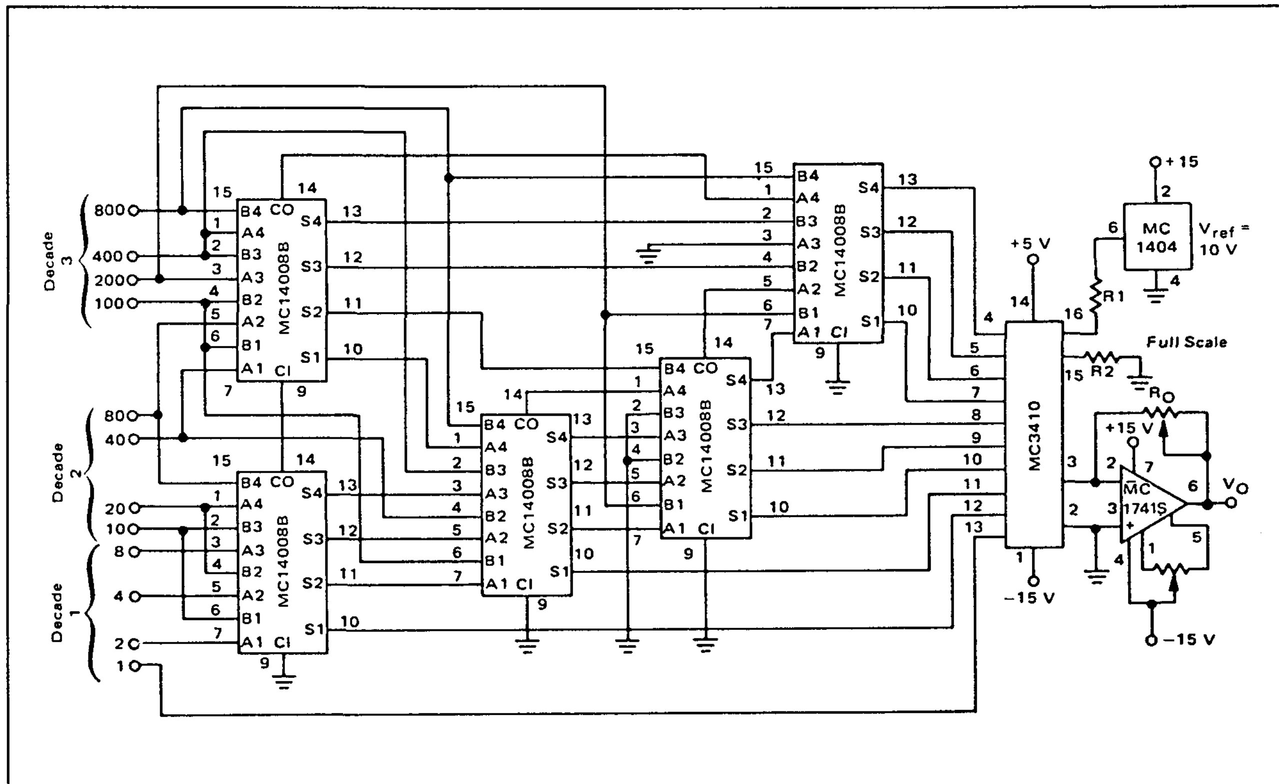


Figuur 12/7.4-42: Basis-schakeling rond de MC 3410 voor unipolaire werking.



Figuur 12/7.4-43: Het aansluiten van een MC 3410 op een microprocessor.

7.4 Type-beschrijving DAC's, resolutie 10 bit



Figuur 12/7.4-44: Het omzetten van drie decaden BCD-code in een analoge spanning.

– figuur 12/7.4-43:
Het aansluiten van een DAC-schakeling met de MC 3410 op de data- en control-bus van een 8-bits microprocessor.
– figuur 12/7.4-44:
Een DAC-schakeling, die drie BCD-gecodeerde signalen kan inlezen en omzetten in een analoge spanning.
De omzetting van BCD naar binair wordt uitgevoerd door de vijf MC 14008 schakelingen.
Dat is een zuiver digitale bewerking, zodat de nauwkeurigheid van de schakeling alleen wordt bepaald door de specificaties van de MC 3410.

MC 3510

10 bit, 250 ns, I-uitgang

De MC 3510 is een snelle 10 bit DAC die de elektronische omschakelaars en het R/2R laddernetwerk bevat van de fundamentele DAC-schakeling.

Referentie en uitgangsbuffer moeten extern worden aangebracht.

Deze schakeling is functie- en pen-compatible met de MC 3410, maar heeft afwijkende specificaties.

Technische gegevens

- fabrikant: Motorola
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.4-40
- intern blokschema: figuur 12/7.4-41
- voedingsspanning: +7/-18 V max.
- voedingsstroom: +18/-20 mA
- aantal bits: 10
- niet-lineariteit: +/-0,05 % volle schaal
- temp-coëf.: 60 ppm/°C
- settling-time: 250 ns typisch
- uitgangsstroom: 4,2 mA
- uitgangscapaciteit: 25 pF max.

Voor de voorbeeld-schakelingen wordt verwezen naar de MC 3410.

7.4 Type-beschrijving DAC's, resolutie 10 bit

NE 5020

10 bit, 5 µs, U-uitgang

De NE 5020 van Philips is een trage microprocessor-compatibele 10 bit DAC die alle schakelingen bevat die noodzakelijk zijn om de gegevens op de data-bus van de processor om te zetten in een analoge spanning. De schakeling bevat een latch, die de gegevens op instructie van de $\overline{LE}$-signalen van de data-bus inleest voor verwerking in de DAC.
De ingangen zijn TTL en CMOS compatible.

Technische gegevens

- fabrikant: Philips
- behuizing: DIL-24
- aansluitgegevens: figuur 12/7.4-45
- intern blokschema: figuur 12/7.4-46
- voedingsspanning: +/-18 V max.
- voedingsstroom: +14/-15 mA
- aantal bits: 10
- niet-lineariteit: +/-0,1 % volle schaal
- temp-coëf.: 20 ppm/°C
- settling-time: 5 µs typisch
- uitgangsspanning:
  10,5 V max. voor unipolaire werking
  +/-5,25 V voor bipolaire werking
- uitgangsstroom: +/-40 mA max.

Werking

De schakeling beschikt over twee latch-ingangen $\overline{LE1}$ en $\overline{LE2}$. De eerste controleert de latches van de acht laagste bits, de tweede controleert de twee hoogste bits. Als deze ingangen "1" zijn, worden de data-ingangen van het IC in de tri-state mode geschakeld en belasten de data-bus van de microprocessor niet.
Als de $\overline{LE}$-ingangen "0" worden, worden de gegevens op de data-lijnen ingelezen in de latches. De analoge uitgangsspanning van de DAC past zijn waarde aan aan het binaire "gewicht" van de code op de data-ingangen. Als nadien de $\overline{LE}$-ingangen weer naar "1" schakelen blijven de gegevens in de latches bewaard en gaan de ingangen weer naar "tri-state". De timing van deze inleescyclus is geschetst in figuur 12/7.4-47.

Het scheiden van de latches in twee delen met twee besturingsingangen maakt het mogelijk de schakeling op een heel eenvoudige manier te koppelen aan een standaard 8-bits brede data-bus, maar toch 10-bits brede gegevens in twee cycli in te lezen.

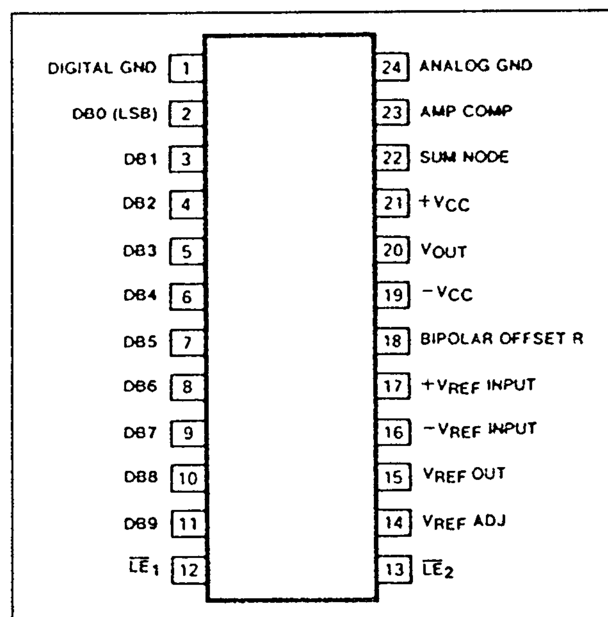
Voorbeeld-schakelingen

- figuur 12/7.4-48:
Standaard-schakeling rond de NE 5020 voor unipolaire uitgang met de afregelingen voor de volle schaal waarde en het nulpunt.
- figuur 12/7.4-49:
Standaard-schakeling rond de NE 5020 voor bipolaire uitgang met dezelfde afregelelementen als in de vorige figuur.

SE 5410

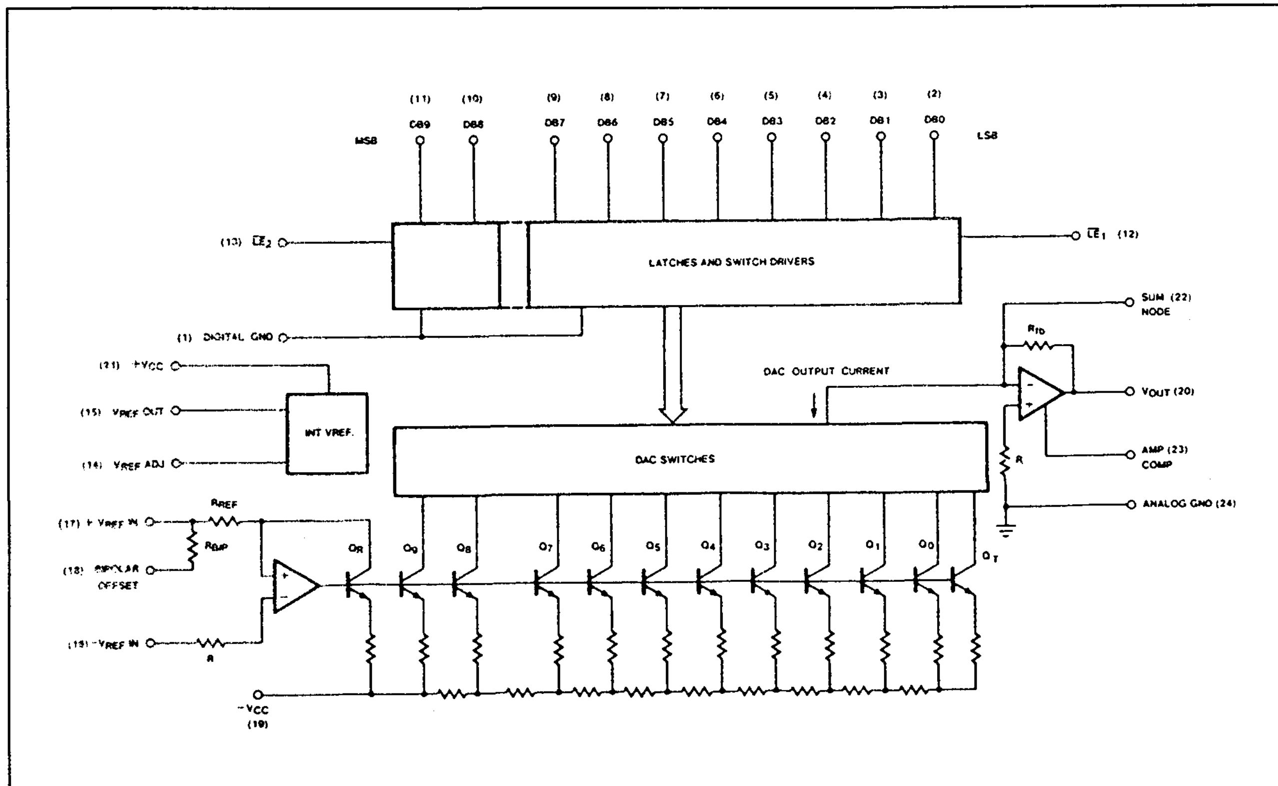
10 bit, 250 ns, I-uitgang

De SE 5410 is een snelle 10 bit DAC die de elektronische omschakelaars en het R/2R laddernetwerk bevat van de fundamentele DAC-schakeling. Referentie en uitgangsbuffer moeten extern worden aangebracht.
De ingangen zijn TTL en CMOS compatible.

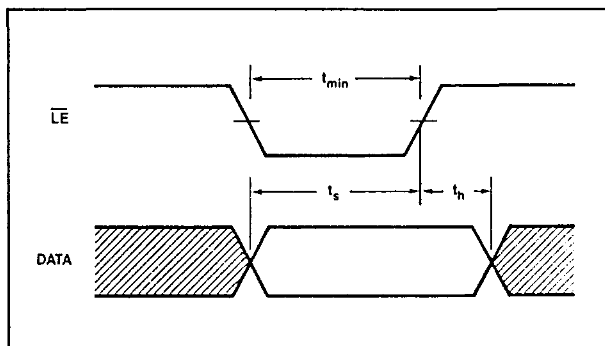


Figuur 12/7.4-45: Aansluitgegevens van de NE 5020.

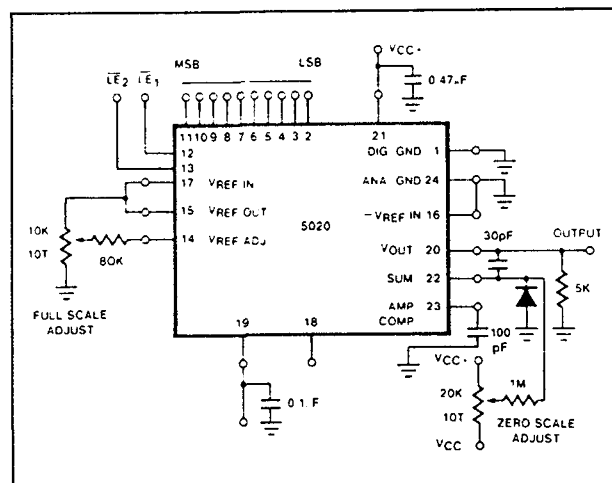
7.4 Type-beschrijving DAC's, resolutie 10 bit



Figuur 12/7.4-46: Intern blokschema van de NE 5020.



Figuur 12/7.4-47: De timing voor het inlezen van gegevens in de latches.

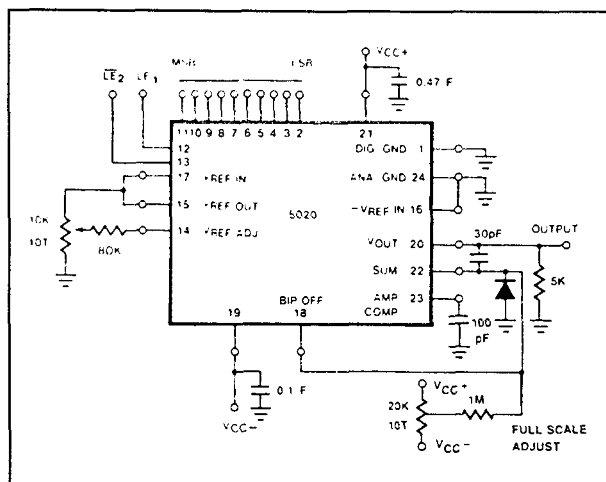


Figuur 12/7.4-48: Unipolaire werking van de NE 5020.

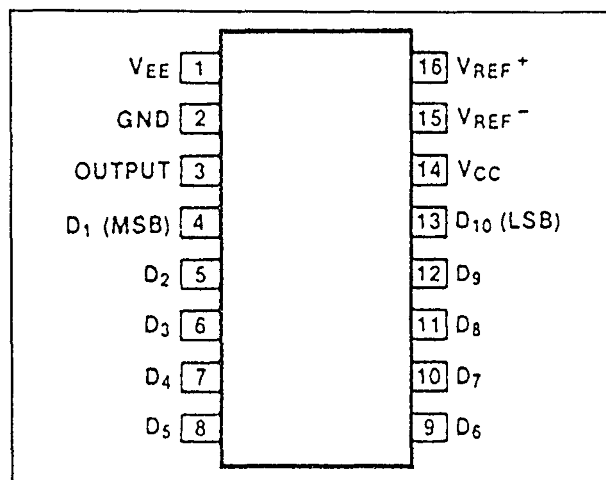
Technische gegevens

- fabrikant: Philips
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.4-50
- intern blokschema: figuur 12/7.4-51
- voedingsspanning: +7/-18 V max.
- voedingsstroom: +4/-18 mA
- aantal bits: 10
- niet-lineariteit: +/-0,025 % volle schaal
- temp-coëf.: 40 ppm/°C
- settling-time: 250 ns typisch
- uitgangsstroom: 4,054 mA
- uitgangscapaciteit: 25 pF max.

7.4 Type-beschrijving DAC's, resolutie 10 bit



Figuur 12/7.4-49: Bipolaire werking van de NE 5020.



Figuur 12/7.4-50: Aansluitgegevens van de SE 5410.

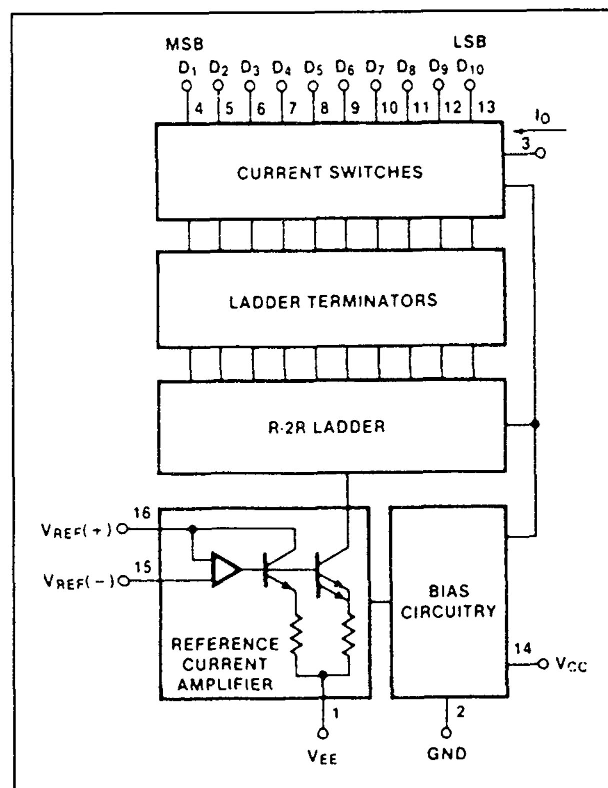
Voorbeeld-schakelingen

- figuur 12/7.4-52:

Basis-schakeling rond de SE 5410 met unipolaire uitgang en nulpunt en volle schaal afregeling.

- figuur 12/7.4-53:

Analoog naar digitaal omzetter volgens het trapspannings principe. De data-ingangen van de SE 5410 worden verbonden met de uitgangen van een binaire teller. Deze wordt gestuurd uit een clock. De uitgangsspanning van de DAC wordt in een comparator vergeleken met de om te zetten ingangsspanning. Als beide spanningen aan elkaar gelijk zijn slaat de comparator om. Deze spert de clockpulsen, zodat de schakeling in de laatste tellerstand blijft staan en van de data-uitgangen van de teller het binaire "gewicht" dat equivalent is aan de grootte van de ingangsspanning kan worden afgenomen. Door het resetten van de teller wordt een volgende cyclus gestart.



Figuur 12/7.4-51: Intern blokschema van de SE 5410.

NE 5410

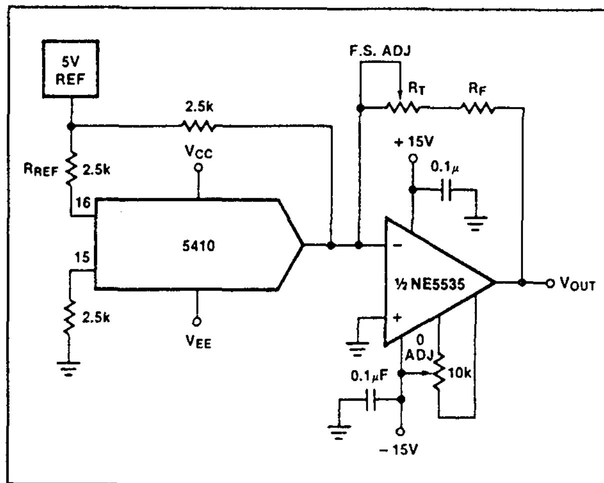
10 bit, 250 ns, I-uitgang

De NE 5410 is een snelle 10 bit DAC die de elektronische omschakelaars en het R/2R laddernetwerk bevat van de fundamentele DAC-schakeling.

Referentie en uitgangsbuffer moeten extern worden aangebracht.

De ingangen zijn TTL en CMOS compatible.

7.4 Type-beschrijving DAC's, resolutie 10 bit



Figuur 12/7.4-52: Basis-schakeling rond de SE 5410 met unipolaire uitgang.

De schakeling is vergelijkbaar met de SE 5410, met als enige verschil dat de NE bruikbaar is in een temperatuurgebied tussen 0 en +70 °C en de SE in een gebied van -55 tot +125 °C.

Technische gegevens

- fabrikant: Philips
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.4-50
- intern blokschema: figuur 12/7.4-51
- voedingsspanning: +7/-18 V max.
- voedingsstroom: +4/-18 mA
- aantal bits: 10
- niet-lineariteit: +/-0,025 % volle schaal
- temp-coëf.: 40 ppm/°C
- settling-time: 250 ns typisch
- uitgangsstroom: 4,054 mA
- uitgangscapaciteit: 25 pF max.

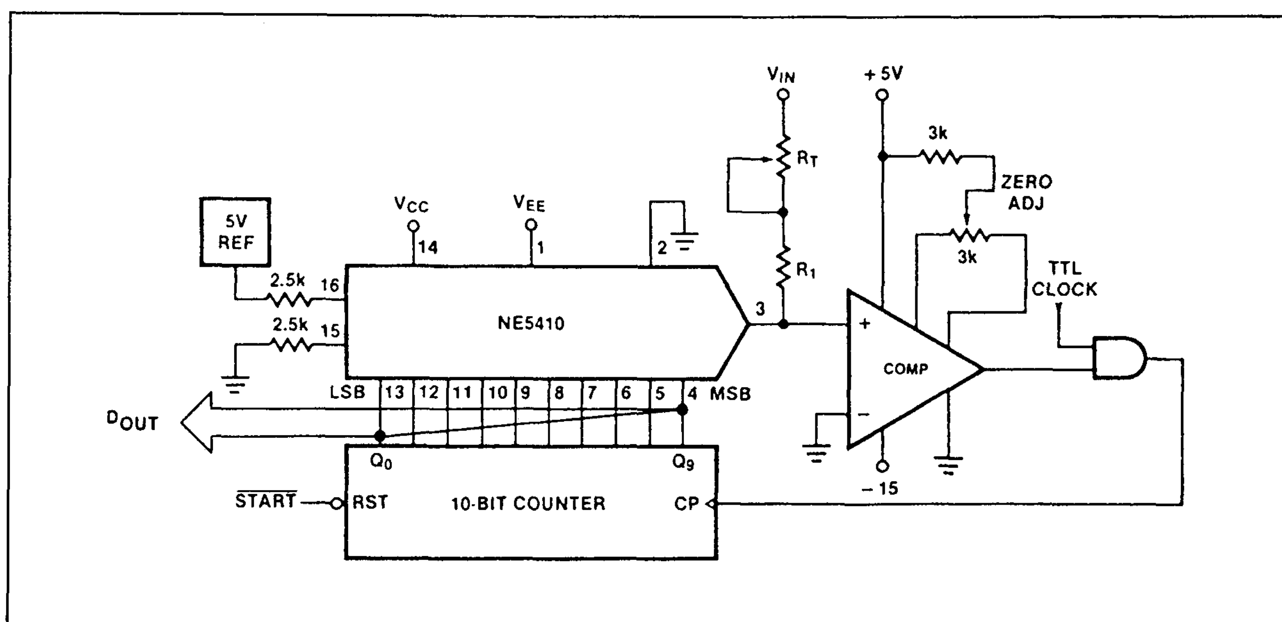
HI-5610

10 bit, 85 ns, I-uitgang

De HI-5610 is een zeer snelle 10 bit DAC die de elektronische omschakelaars en het R/2R laddernetwerk bevat van de fundamentele DAC-schakeling. Referentie en uitgangsbuffer moeten extern worden aangebracht.
De ingangen zijn TTL en CMOS compatible.

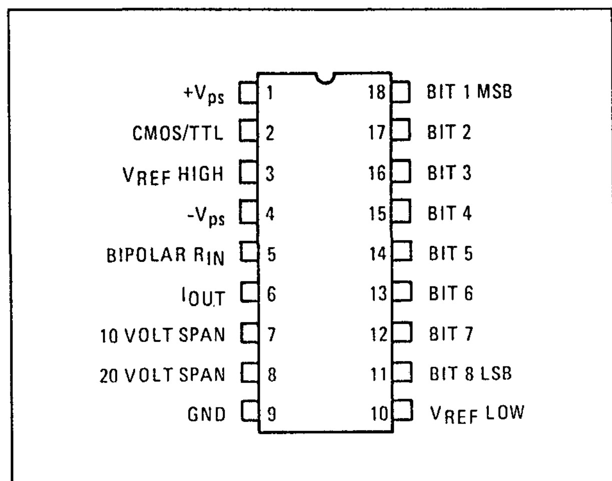
Technische gegevens

- fabrikant: Harris Semiconductor
- behuizing: DIL-24
- aansluitgegevens: figuur 12/7.4-54
- intern blokschema: figuur 12/7.4-55
- voedingsspanning: +20/-20 V max.
- voedingsstroom: +20/-35 mA



Figuur 12/7.4-53: De SE 5410 gebruikt als DAC in een ADC volgens het trapspannings principe.

7.4 Type-beschrijving DAC's, resolutie 10 bit



Figuur 12/7.4-54: Aansluitgegevens van de HI-5610.

- aantal bits: 10
- niet-lineariteit: +/-0,05 % volle schaal
- temp-coëf.: 5 ppm/°C
- settling-time: 85 ns typisch
- uitgangsstroom: 6,0 mA max.
- uitgangsweerstand: 200 Ω max.
- uitgangscapaciteit: 20 pF max.

Voorbeeld-schakelingen

- figuur 12/7.4-56:

Basis-schakeling rond de HI-5610 met unipolaire uitgang en nulpunt en volle schaal afregeling.

- figuur 12/7.4-57:

Basis-schakeling rond de HI-5610 met bipolaire uitgangsspanning en dezelfde afregelorganen als in de vorige figuur.

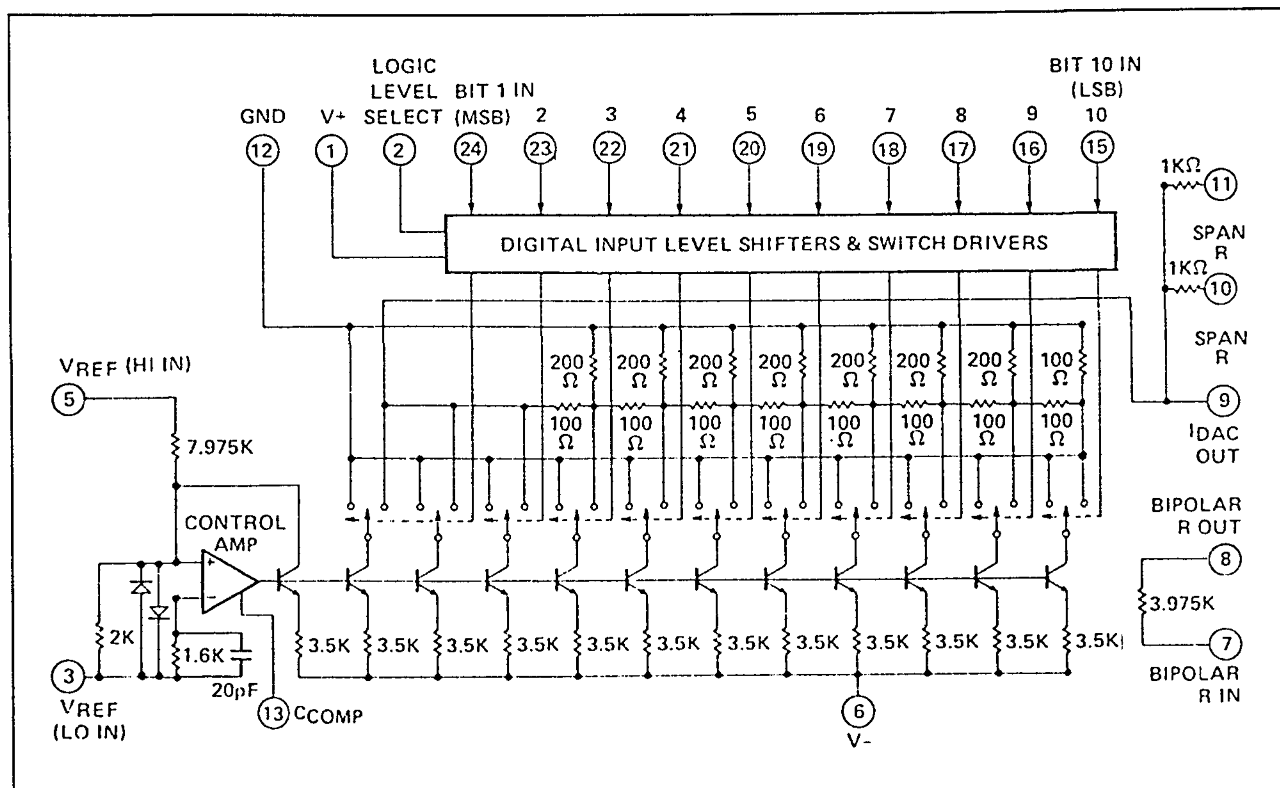
AD 7520

10 bit, 500 ns, I-uitgang

De AD 7520 is een snelle 10 bit DAC die de elektronische omschakelaars en het R/2R laddernetwerk bevat van de fundamentele DAC-schakeling.

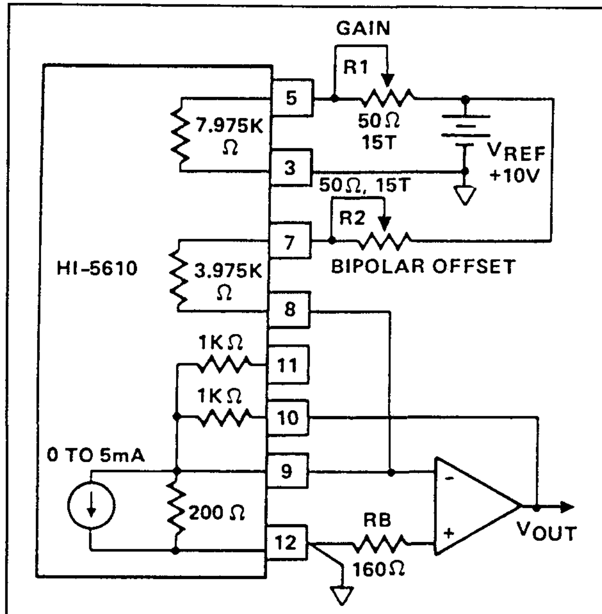
Referentie en uitgangsbuffer moeten extern worden aangebracht.

De ingangen zijn zowel TTL en CMOS compatible.

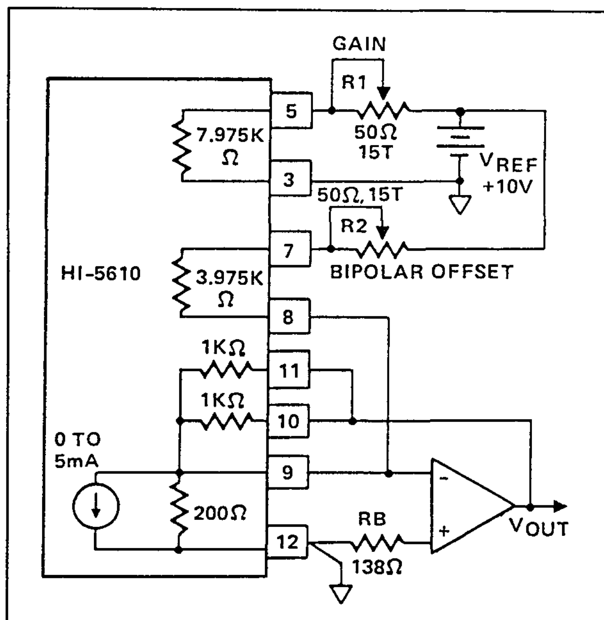


Figuur 12/7.4-55: Intern blokschema van de HI-5610.

7.4 Type-beschrijving DAC's, resolutie 10 bit



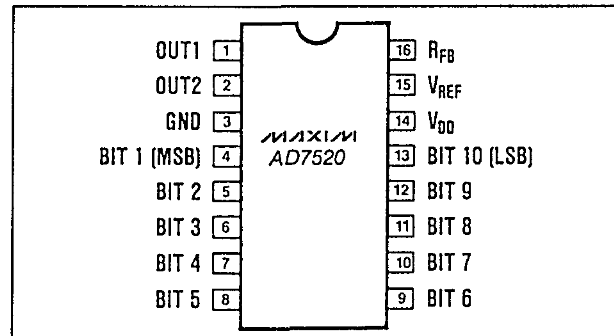
Figuur 12/7.4-56: Unipolaire uitgang met een HI-5610.



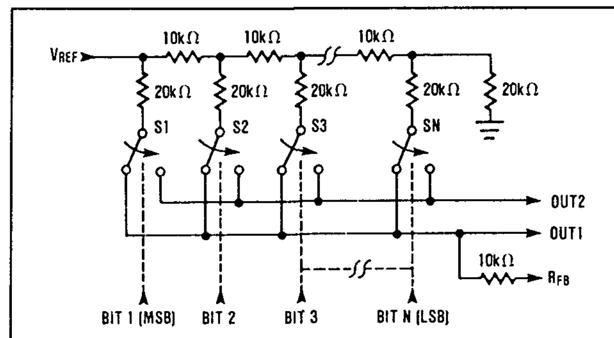
Figuur 12/7.4-57: Bipolaire uitgang met een HI-5610.

Technische gegevens

- fabrikant: MAXIM, Intersil
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.4-58



Figuur 12/7.4-58: Aansluitgegevens van de AD 7520.



Figuur 12/7.4-59: Intern blokschema van de AD 7520.

- intern blokschema: figuur 12/7.4-59
- voedingsspanning: +17 V max.
- voedingsstroom: +5 mA
- aantal bits: 10
- niet-lineariteit: figuur 12/7.4-60
- temp-coëf.: 2 ppm/°C
- settling-time: 500 ns typisch
- uitgangscapaciteit: 120 pF max.

Voorbeeld-schakelingen

- figuur 12/7.4-61:

Basis-schakeling rond de AD 7520 met unipolaire uitgang en volle schaal afregeling. Als alle bits "0" is de uitgangsspanning gelijk aan 0 V.

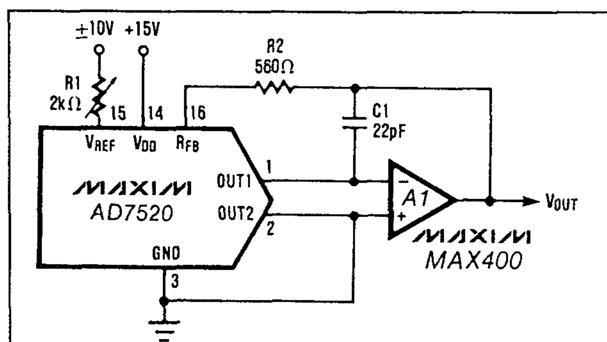
- figuur 12/7.4-62:

Basis-schakeling rond de AD 7520 met bipolaire uitgang en volle schaal afregeling. Als alle bits "0" is de uitgangsspanning gelijk aan de waarde van de referentiespanning.

7.4 Type-beschrijving DAC's, resolutie 10 bit

PART	TEMP. RANGE	PACKAGE*	ERROR
AD7520JN	0°C to +70°C	Plastic DIP	0.2%
AD7520KN	0°C to +70°C	Plastic DIP	0.1%
AD7520LN	0°C to +70°C	Plastic DIP	0.05%
AD7520JCWE	0°C to +70°C	Small Outline	0.2%
AD7520KCWE	0°C to +70°C	Small Outline	0.1%
AD7520LCWE	0°C to +70°C	Small Outline	0.05%
AD7520JC/D	0°C to +70°C	Dice	0.2%
AD7520JQ	-25°C to +85°C	CERDIP**	0.2%
AD7520KQ	-25°C to +85°C	CERDIP**	0.1%
AD7520LQ	-25°C to +85°C	CERDIP**	0.05%
AD7520JD	-25°C to +85°C	Ceramic	0.2%
AD7520KD	-25°C to +85°C	Ceramic	0.1%
AD7520LD	-25°C to +85°C	Ceramic	0.05%
AD7520SQ	-55°C to +125°C	CERDIP**	0.2%
AD7520TQ	-55°C to +125°C	CERDIP**	0.1%
AD7520UQ	-55°C to +125°C	CERDIP**	0.05%
AD7520SD	-55°C to +125°C	Ceramic	0.2%
AD7520TD	-55°C to +125°C	Ceramic	0.1%
AD7520UD	-55°C to +125°C	Ceramic	0.05%

Figuur 12/7.4-60: Nauwkeurigheid van de verschillende uitvoeringen van de AD 7520.



Figuur 12/7.4-61: Unipolaire uitgang bij de AD 7520.

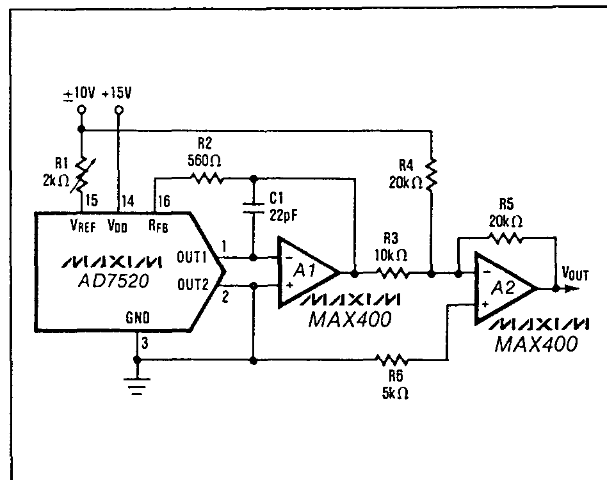
MP 7520

10 bit, 500 ns, I-uitgang

De MP 7520 is een snelle 10 bit DAC die de elektronische omschakelaars en het R/2R laddernetwerk bevat van de fundamentele DAC-schakeling.

Referentie en uitgangsbuffer moeten extern worden aangebracht.

De ingangen zijn TTL en CMOS compatible.



Figuur 12/7.4-62: Bipolaire uitgangsspanning bij de AD 7520.

Deze schakeling is pen- en functie-compatible met de AD 7520, maar heeft afwijkende specificaties.

Technische gegevens

- fabrikant: Micro Power Systems
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.4-58
- intern blokschema: figuur 12/7.4-59
- voedingsspanning: +17 V max.
- voedingsstroom: +2 mA
- aantal bits: 10
- niet-lineariteit:
  type J: +/-0,2 % volle schaal
  type S: +/-0,2 % volle schaal
  type K: +/-0,1 % volle schaal
  type T: +/-0,1 % volle schaal
  type L: +/-0,05 % volle schaal
  type U: +/-0,05 % volle schaal
  type Q: +/-0,024 % volle schaal
  type W: +/-0,024 % volle schaal
  type R: +/-0,012 % volle schaal
  type Y: +/-0,012 % volle schaal
- temp-coëf.: 2 ppm/°C
- settling-time: 500 ns typisch
- uitgangscapaciteit: 200 pF max.

Voor de voorbeeld-schakelingen wordt verwezen naar de AD 7520.

7.4 Type-beschrijving DAC's, resolutie 10 bit

12/7.7

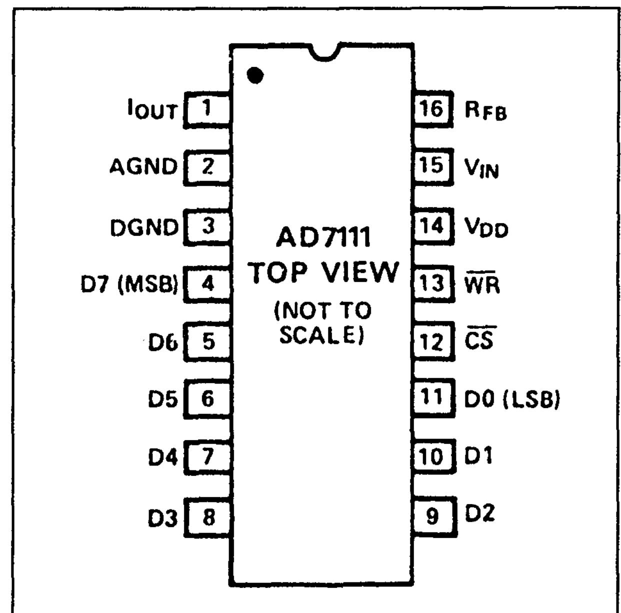
Type-beschrijving niet-lineaire DAC's

AD 7111

logaritmisch, 8 bit, 88,5 dB

De AD 7111 is een in CMOS-technologie opgebouwde 8 bit brede zogenaamde LOG-DAC, die een analoog signaal in stappen van 0,375 dB kan verzwakken tussen 0 en -88,5 dB.

De mate van verzwakking wordt bepaald door de samenstelling van de 8 bit brede besturingscode. Deze code kan worden ingelezen in een interne latch met behulp van microprocessor-compatibele controlesignalen $\overline{CS}$ en $\overline{WR}$.



Figuur 12/7.7-1: Aansluitgegevens van de AD 7111.

Technische gegevens

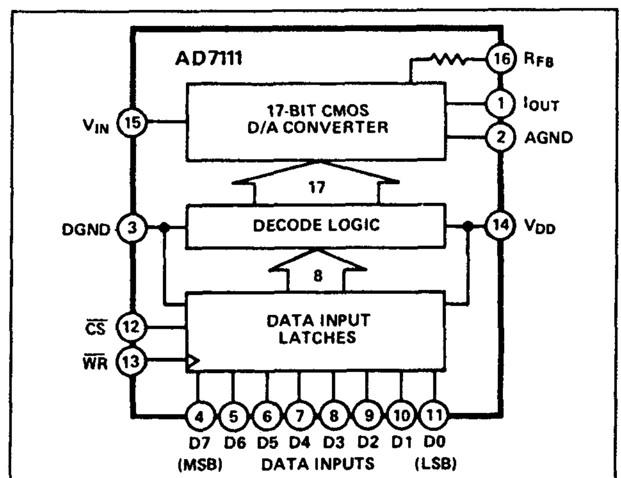
- fabrikant: Analog Devices
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.7-1
- intern blokschema: figuur 12/7.7-2
- voedingsspanning: +7 V max.
- voedingsstroom: 4 mA max.
- temperatuurgebied: figuur 12/7.7-3
- nauwkeurigheid: figuur 12/7.7-3
- maximale afwijking: figuur 12/7.7-4
- frequentiebereik: figuur 12/7.7-5
- ingangsspanning: +/-25 V max.

Werkings-principe

De AD 7111 bestaat uit een 17 bit brede normale lineair werkende R-2R DAC.

De 17 bits waarmee deze schakeling werkt worden uit de 8 bit brede besturingscode afgeleid door middel van decodeerlogica.

In deze logica wordt de omrekening van lineaire naar logaritmische werking doorgevoerd.



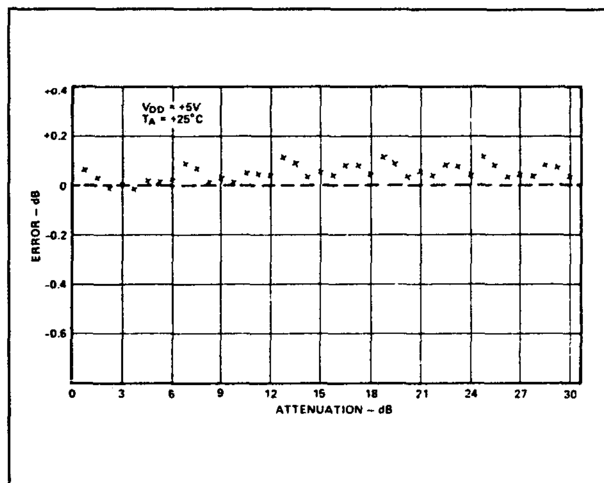
Figuur 12/7.7-2: Blokschema van de AD 7111.

7.7 Type-beschrijving niet-lineaire DAC's

Specified Accuracy Range	Temperature Range and Package		
	Plastic 0 to +70°C	Cerdip[1] -25°C to +85°C	Ceramic -55°C to +125°C
0 to 60dB	AD7111KN	AD7111BQ	AD7111TD
0 to 72dB	AD7111LN	AD7111CQ	AD7111UD

NOTE
[1] Analog Devices reserves the right to ship Ceramic packages in lieu of Cerdip packages.
*Patent Pending

Figuur 12/7.7-3: Nauwkeurigheid en temperatuurbereik van de diverse uitvoeringen van de AD 7111.



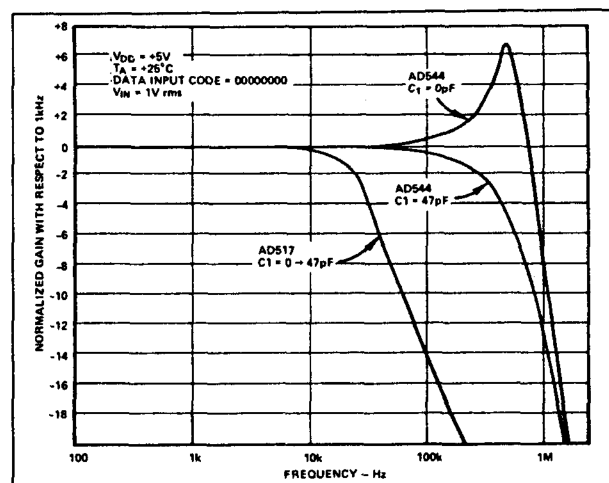
Figuur 12/7.7-4: Maximale afwijking van de digitaal ingestelde verzwakkingswaarde in het bereik van 0 tot -30 dB.

De 8 besturingsbits worden op de ingangen worden in de latch ingelezen als $\overline{CS}$ "L" is en als $\overline{WR}$ van "L" naar "H" gaat. Het tijddiagram voor het besturen van de schakeling is getekend in figuur 12/7.7-6.

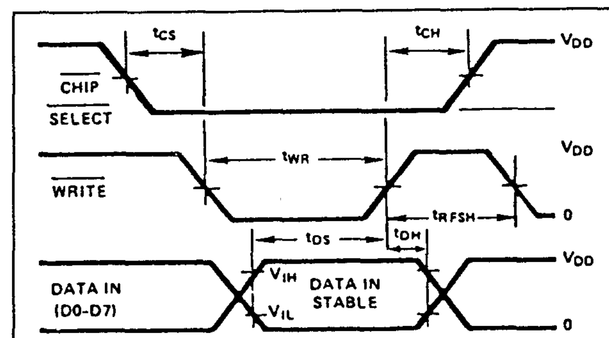
Het verband tussen de digitale code op de ingangen en de mate van verzwakking volgt uit de tabel van figuur 12/7.7-7.

Voorbeeld-schakelingen

– figuur 12/7.7-8:
Algemeen schema rond de AD 7111, waarbij de ingangsspanning via een instelpotentiometer aan de ingang van het IC wordt aangelegd en de door de ADC opgewekte uitgangsstroom door middel van een externe stroom-naar-spanning omzetter in een analoge uitgangsspanning wordt omgezet.
– figuur 12/7.7-9:
Digitaal programmeerbare vervormingsgenerator, die een instelbare van de frequentie onafhankelijke vervorming genereert. Een met de AD 7111 instelbaar deel van de ingangsspanning wordt door de twee dioden D1 en D2 gelijk gericht en met behulp van de operationele versterker A1 bij het ingangssignaal opgeteld. De vervorming is instelbaar tussen 0,01 % (HEX-code 30) tot en met 40 % (HEX-code 00).



Figuur 12/7.7-5: Frequentiebereik van de AD 7111 in combinatie met verschillende operationele versterkers.

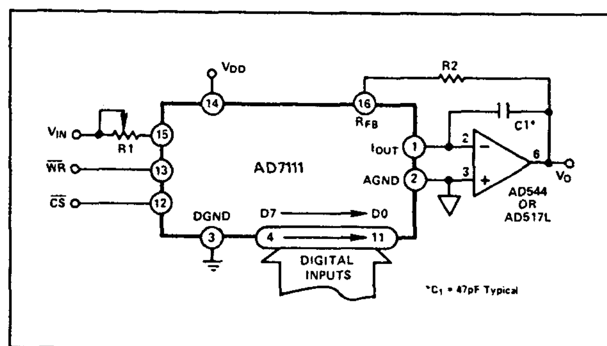


Figuur 12/7.7-6: Timing-diagram voor het inlezen van de digitale code in de AD 7111.

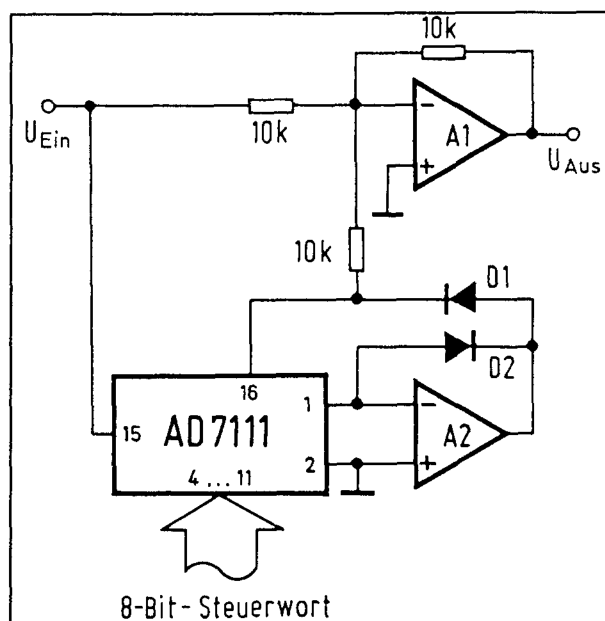
7.7 Type-beschrijving niet-lineaire DAC's

D7-D4 \ D3-D0	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
0000	0.0	0.375	0.75	1.125	1.5	1.875	2.25	2.625	3.0	3.375	3.75	4.125	4.5	4.875	5.25	5.625
0001	6.0	6.375	6.75	7.125	7.5	7.875	8.25	8.625	9.0	9.375	9.75	10.125	10.5	10.875	11.25	11.625
0010	12.0	12.375	12.75	13.125	13.5	13.875	14.25	14.625	15.0	15.375	15.75	16.125	16.5	16.875	17.25	17.625
0011	18.0	18.375	18.75	19.125	19.5	19.875	20.25	20.625	21.0	21.375	21.75	22.125	22.5	22.875	23.25	23.625
0100	24.0	24.375	24.75	25.125	25.5	25.875	26.25	26.625	27.0	27.375	27.75	28.125	28.5	28.875	29.75	29.625
0101	30.0	30.375	30.75	31.125	31.5	31.875	32.25	32.625	33.0	33.375	33.75	34.125	34.5	34.875	35.25	35.625
0110	36.0	36.375	36.75	37.125	37.5	37.875	38.25	38.625	39.0	39.375	39.75	40.125	40.5	40.875	41.25	41.625
0111	42.0	42.375	42.75	43.125	43.5	43.875	44.25	44.625	45.0	45.375	45.75	46.125	46.5	46.875	47.25	47.625
1000	48.0	48.375	48.75	49.125	49.5	49.875	50.25	50.625	51.0	51.375	51.75	52.125	52.5	52.875	53.25	53.625
1001	54.0	54.375	54.75	55.125	55.5	55.875	56.25	56.625	57.0	57.375	57.75	58.125	58.5	58.875	59.25	59.625
1010	60.0	60.375	60.75	61.125	61.5	61.875	62.25	62.625	63.0	63.375	63.75	64.125	64.5	64.875	65.25	65.625
1011	66.0	66.375	66.75	67.125	67.5	67.875	68.25	68.625	69.0	69.375	69.75	70.125	70.5	70.875	71.25	71.625
1100	72.0	72.375	72.75	73.125	73.5	73.875	74.25	74.625	75.0	75.375	75.75	76.125	76.5	76.875	77.25	77.625
1101	78.0	78.375	78.75	79.125	79.5	79.875	80.25	80.625	81.0	81.375	81.75	82.125	82.5	82.875	83.25	83.625
1110	84.0	84.375	84.75	85.125	85.5	85.875	86.25	86.625	87.0	87.375	87.75	88.125	88.5	88.875	89.25	89.625
1111	MUTE	MUTE	MUTE	MUTE	MUTE	MUTE	MUTE	MUTE	MUTE	MUTE	MUTE	MUTE	MUTE	MUTE	MUTE	MUTE

Figuur 12/7.7-7: Verband tussen de digitale code op de ingangen en de verzwakking van de AD 7111.



Figuur 12/7.7-8: Algemene voorbeeld-schakeling rond de AD 7111.



Figuur 12/7.7-9: Instelbare generator waarmee de vervorming op een sinusoidaal ingangssignaal in te stellen is tussen 0,01 en 40 %.

7.7 Type-beschrijving niet-lineaire DAC's

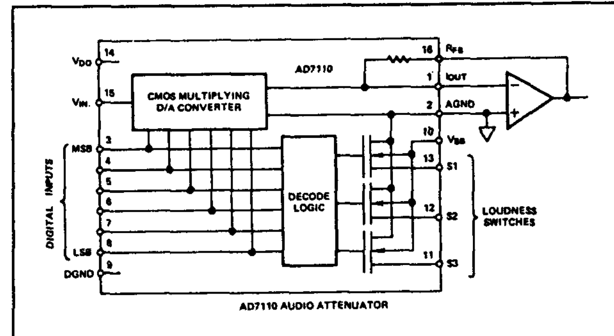
AD 7110

logaritmisch, 6 bit, 88,5 dB

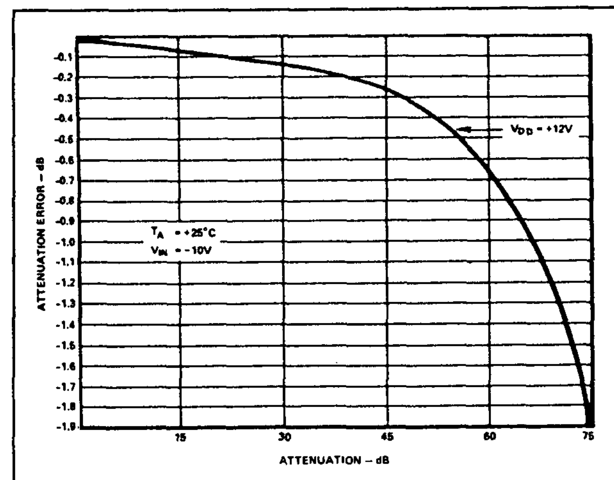
De AD 7110 is een in CMOS-technologie opgebouwde 6 bit brede zogenaamde LOG-DAC, die een analoog signaal in stappen van 1,5 dB kan verzwakken tussen 0 en -88,5 dB. Daarnaast zal het ingangssignaal volledig onderdrukt worden als de digitale ingangscode gelijk is aan "L-L-L-L-X-X".
De schakeling is voorzien van extra "LOUDNESS"-ingangen waarmee bij audiogebruik extra laag kan worden toegevoegd bij lage volumes.

Technische gegevens

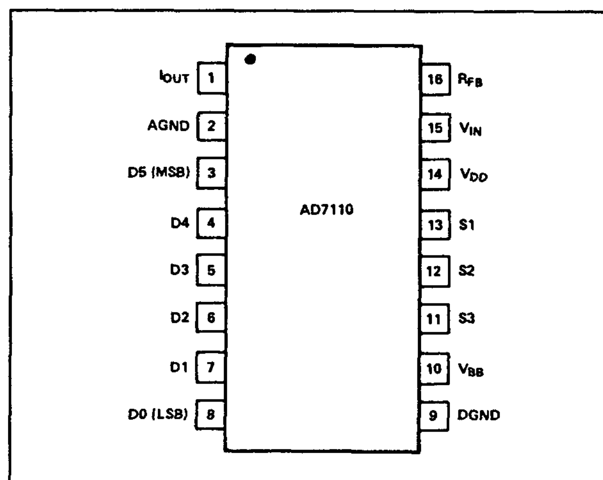
- fabrikant: Analog Devices
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.7-10
- intern blokschema: figuur 12/7.7-11
- voedingsspanning: +/-14 V max.
- voedingsstroom: +1/-0,1 mA max.
- temperatuurgebied: 0 tot +50 °C
- nauwkeurigheid: figuur 12/7.7-12
- frequentie-invloed "LOUDNESS": figuur 12/7.7-13
- eigen harmonische vervorming: figuur 12/7.7-14
- ingangsspanning: 10 V max.



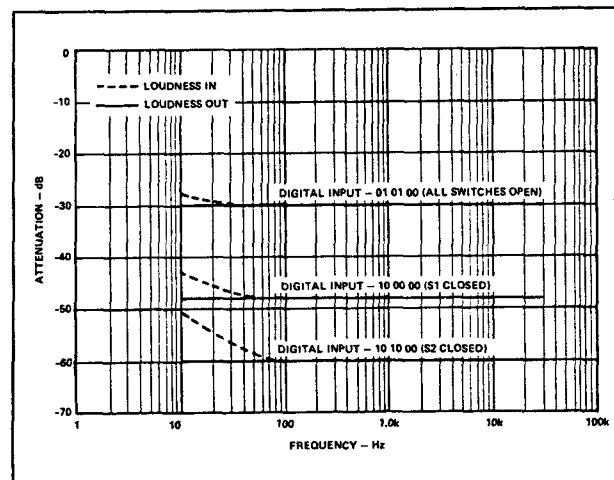
Figuur 12/7.7-11: Intern blokschema van de AD 7110.



Figuur 12/7.7-12: Nauwkeurigheid van de AD 7110.

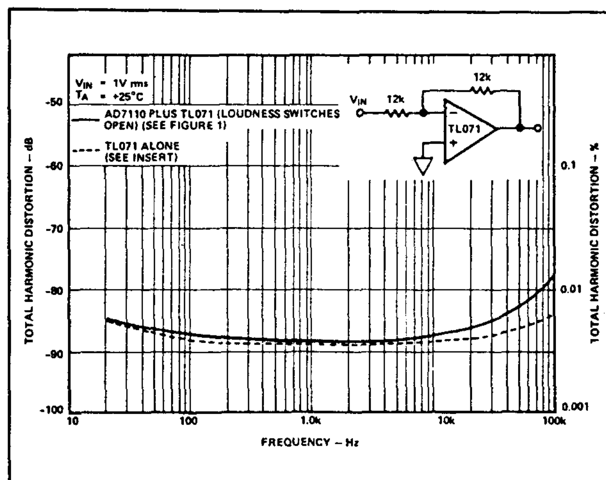


Figuur 12/7.7-10: Aansluitgegevens van de AD 7110.



Figuur 12/7.7-13: Invloed van de "LOUDNESS" op de laagfrequente weergave.

7.7 Type-beschrijving niet-lineaire DAC's



Figuur 12/7.7-14: Harmonische vervorming van de AD 7110 in combinatie met een operationele versterker van het type TL 071.

N	Digital Input D5 D0	Attenuation dB	Switches[1] S1	S2	S3	V_{OUT}[2]
0	00 00 00	0.0				10.00
1	00 00 01	1.5				8.414
2	00 00 10	3.0				7.079
3	00 00 11	4.5				5.957
4	00 01 00	6.0				5.012
5	00 01 01	7.5				4.217
6	00 01 10	9.0				3.548
7	00 01 11	10.5				2.985
8	00 10 00	12.0				2.512
9	00 10 01	13.5				2.113
10	00 10 10	15.0				1.778
11	00 10 11	16.5				1.496
12	00 11 00	18.0				1.259
13	00 11 01	19.5				1.059
14	00 11 10	21.0				0.891
15	00 11 11	22.5				0.750
16	01 00 00	24.0				0.631
17	01 00 01	25.5				0.531
18	01 00 10	27.0				0.447
19	01 00 11	28.5				0.376
20	01 01 00	30.0				0.316
21	01 01 01	31.5				0.266
22	01 01 10	33.0				0.224
23	01 01 11	34.5				0.188
24	01 10 00	36.0				0.158
25	01 10 01	37.5				0.133
26	01 10 10	39.0				0.112
27	01 10 11	40.5				0.0944
28	01 11 00	42.0				0.0794
29	01 11 01	43.5				0.0668
30	01 11 10	45.0				0.0562
31	01 11 11	46.5				0.0473
32	10 00 00	48.0				0.0398
33	10 00 01	49.5				0.0335
34	10 00 10	51.0				0.0282
35	10 00 11	52.5				0.0237
36	10 01 00	54.0				0.0200
37	10 01 01	55.5				0.0168
38	10 01 10	57.0				0.0141
39	10 01 11	58.5				0.0119
40	10 10 00	60.0				0.0100
41	10 10 01	61.5				0.00841
42	10 10 10	63.0				0.00708
43	10 10 11	64.5				0.00596
44	10 11 00	66.0				0.00501
45	10 11 01	67.5				0.00422
46	10 11 10	69.0				0.00355
47	10 11 11	70.5				0.00299
48	11 00 00	72.0				0.00251
49	11 00 01	73.5				0.00211
50	11 00 10	75.0				0.00178
51	11 00 11	76.5				0.00150
52	11 01 00	78.0				0.00126
53	11 01 01	79.5				0.00106
54	11 01 10	81.0				0.000891
55	11 01 11	82.5				0.000750
56	11 10 00	84.0				0.000631
57	11 10 01	85.5				0.000531
58	11 10 10	87.0				0.000447
59	11 10 11	88.5				0.000376
60	11 11 XX[3]	∞				

Figuur 12/7.7-15: Verband tussen de digitale code op de ingangen en de verzwakking van de AD 7110.

Werkings-principe

De AD 7110 werkt rechtstreeks zonder interne latches en zonder chip-select. De 6 bit brede besturingscode werkt rechtstreeks in op de DAC-schakeling.

Het verband tussen de digitale code op de ingangen en de mate van verzwakking volgt uit de tabel van figuur 12/7.7-15.

Voorbeeld-schakelingen

- figuur 12/7.7-16:

Algemeen schema rond de AD 7110, waarbij de door de ADC opgewekte uitgangsstroom door middel van een externe stroom-naar-spanning omzetter in een analoge uitgangsspanning wordt omgezet.

- figuur 12/7.7-17:

Monofone audio-verzwakker met "LOUDNESS"-compensatie.

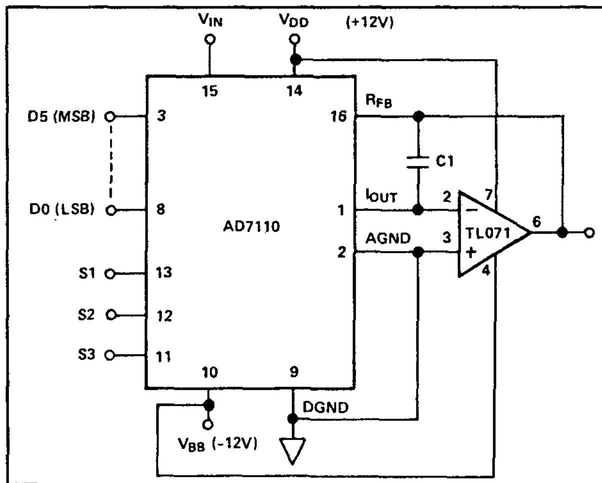
AD 7115

logaritmisch, 2,5 digit BCD, 19,5 dB

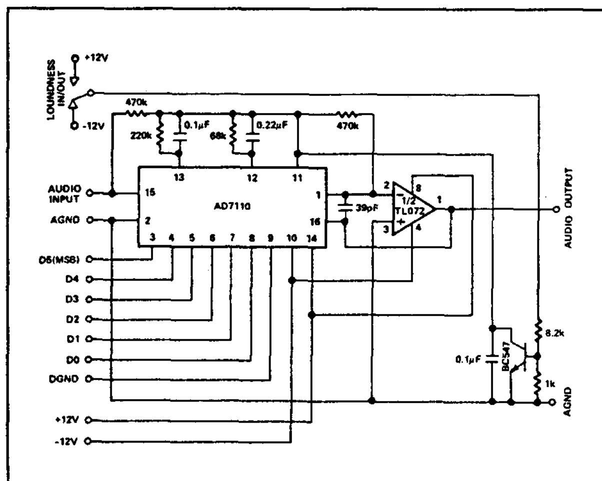
De AD 7115 is een in CMOS-technologie opgebouwde 8 bit brede LOGDAC, die een analoog signaal in stappen van 0,1 dB kan verzwakken tussen 0 en -19,5 dB.

De mate van verzwakking wordt bepaald door de samenstelling van de 9 bit brede besturingscode. Deze code heeft een BCD samenstelling met een resolutie van 2,5 digit en kan worden ingelezen in een interne latch met behulp van microprocessor-compatibele controlesignalen $\overline{WR}$, $\overline{HBEN}$ en $\overline{LBEN}$.

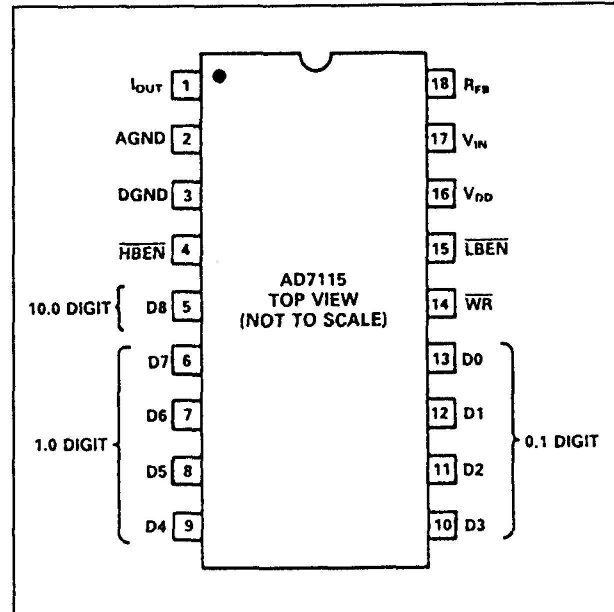
7.7 Type-beschrijving niet-lineaire DAC's



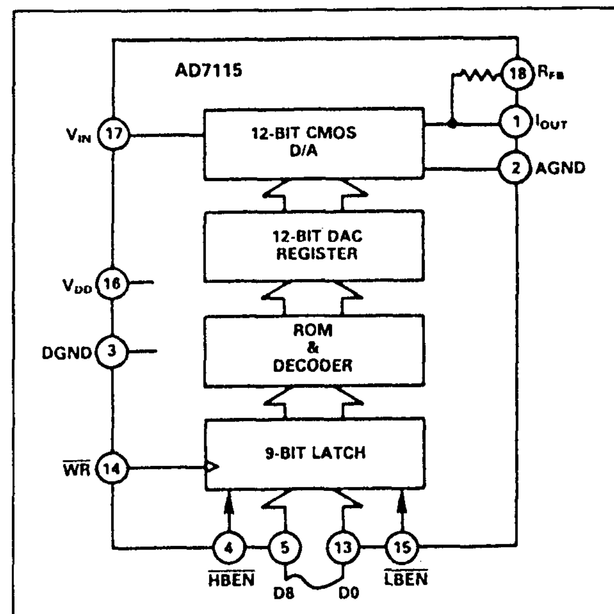
Figuur 12/7.7-16: Algemene voorbeeld-schakeling rond de AD 7110.



Figuur 12/7.7-17: Instelbare audio-verzwakker met "LOUDNESS"-compensatie.



Figuur 12/7.7-18: Aansluitgegevens van de AD 7115.



Figuur 12/7.7-19: Intern blokschema van de AD 7115.

Met behulp van deze twee laatste signalen kunnen ook data die op een gewone binaire 8 bit brede databus staan worden ingelezen.

Technische gegevens

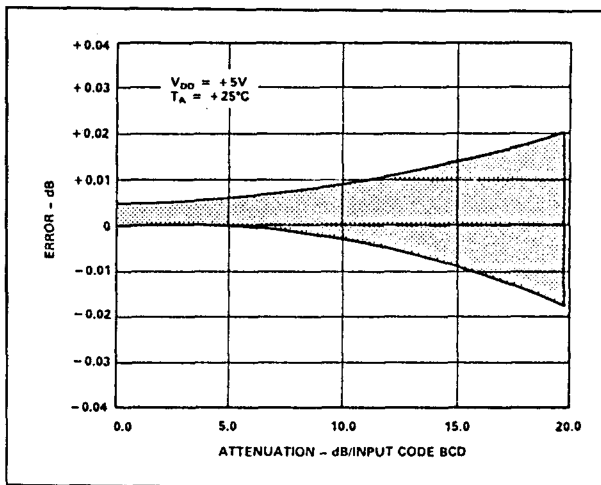
- fabrikant: Analog Devices
- behuizing: DIL-18
- aansluitgegevens: figuur 12/7.7-18
- intern blokschema: figuur 12/7.7-19
- voedingsspanning: +7 V max.
- voedingsstroom: 4 mA max.
- temperatuurgebied: figuur 12/7.7-20
- nauwkeurigheid: figuur 12/7.7-20
- maximale afwijking: figuur 12/7.7-21
- frequentiebereik: figuur 12/7.7-22
- ingangsspanning: +/-35 V max.
- harmonische vervorming: figuur 12/7.7-23

7.7 Type-beschrijving niet-lineaire DAC's

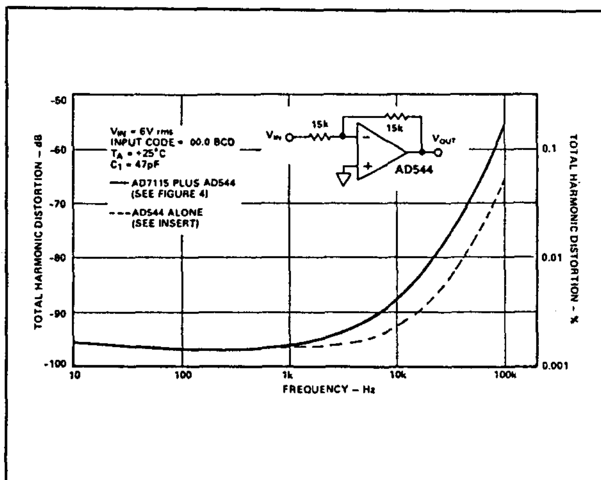
		Temperature Range and Package		
Relative Accuracy T_{min} to T_{max}	Gain Error $T_A = +25°C$	Plastic 0 to +70°C	Cerdip[1] −25°C to +85°C	Ceramic −55°C to +125°C
±0.05dB	±0.1dB	AD7115KN	AD7115BQ	AD7115TD

NOTE:
[1]Analog Devices reserves the right to ship ceramic packages in lieu of Cerdip packages.

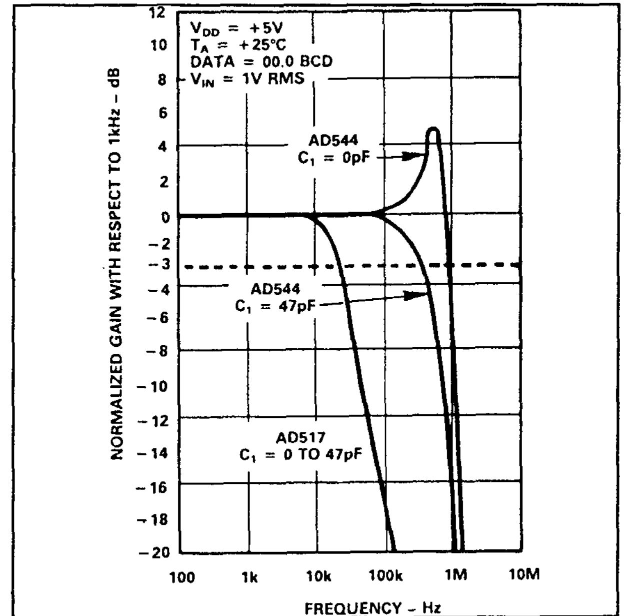
Figuur 12/7.7-20: Nauwkeurigheid en temperatuurbereik van de diverse uitvoeringen van de AD 7115.



Figuur 12/7.7-21: Maximale afwijking van de digitaal ingestelde verzwakkingswaarde in het bereik van 0 tot -20 dB.



Figuur 12/7.7-23: Totale harmonische vervorming van de AD 7115 in combinatie met een op-amp van het type AD 544.



Figuur 12/7.7-22: Frequentiebereik van de AD 7115 in combinatie met verschillende operationele versterkers.

Werkings-principe

De AD 7115 bestaat uit een 12 bit brede normale lineair werkende R-2R DAC. De 12 bits waarmee deze schakeling worden aangestuurd worden uit de 2,5 digit brede BCD-besturingscode afgeleid door middel van decodeerlogica. In deze logica wordt de omrekening van lineaire naar logaritmische werking doorgevoerd.

De 9 besturingsbits op de ingangen worden in de latch ingelezen als $\overline{WR}$ van "L" naar "H" gaat. Het tijddiagram voor het besturen van de schakeling is getekend in figuur 12/7.7-24.

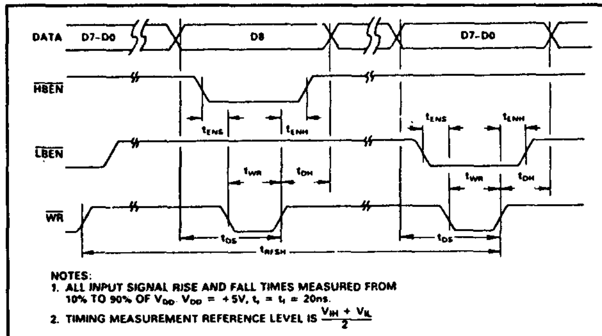
In toepassingen waarbij de data-bus negen bit breed is kan men $\overline{LBEN}$ en $\overline{HBEN}$ gebruiken om de data in één cyclus in de latch in te lezen. Een en ander wordt toegelicht aan de hand van de waarheidstabel van figuur 12/7.7-25.

Voorbeeld-schakelingen

– figuur 12/7.7-26:

Algemeen schema rond de AD 7115, waarbij de ingangsspanning via instelpotentiometer R1 aan de het IC wordt aangelegd.

7.7 Type-beschrijving niet-lineaire DAC's



Figuur 12/7.7-24: Timing-diagram voor het inlezen van de digitale code in de AD 7115.

De door de ADC opgewekte uitgangsstroom wordt met een externe I/U omzetter in een analoge spanning omgezet.

– figuur 12/7.7-27:

Digitaal programmeerbare verzwakker met een bereik van 0 tot 80 dB en met een resolutie van 0,1 dB. De AD 7591 levert vier vaste verzwakkingen van 0, -20, -40 en -60 dB en wordt bestuurd door de twee hoogste bits D9 en D10 van de besturingscode.

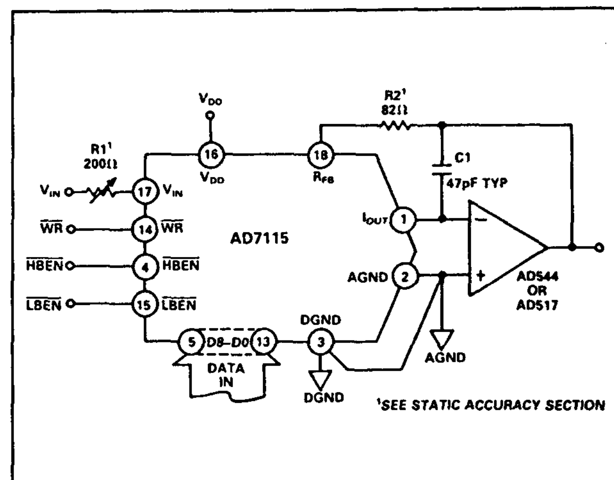
– figuur 12/7.7-28:

Door middel van drie duimwielschakelaars instelbare verzwakker met een bereik van 0 tot -19,9 dB en met een MUTE-schakelaar.

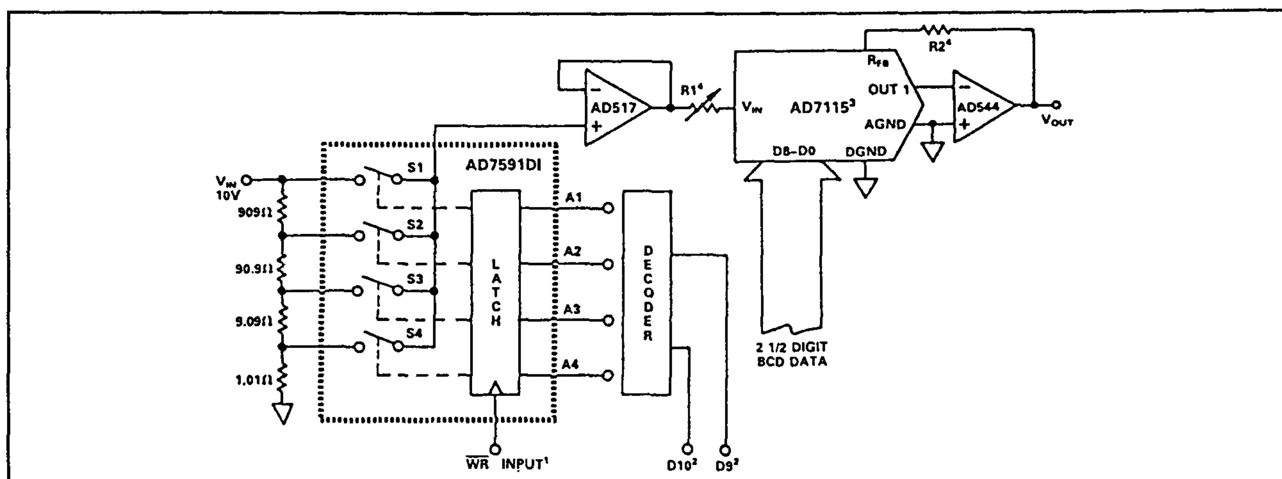
AD7115 Control Inputs			AD7115 Operation
WR	HBEN	LBEN	
1	X	X	No Operation
X	1	1	No Operation
↑	0	1	Load HIGH Byte
↑	1	0	Load LOW Byte and Update DAC Register
↑	0	0	Load HIGH and LOW Byte and Update DAC Register

NOTES
1. X indicates "don't care" states.
2. ↑ indicates LOW to HIGH transition.

Figuur 12/7.7-25: Waarheidstabel van de AD 7115.

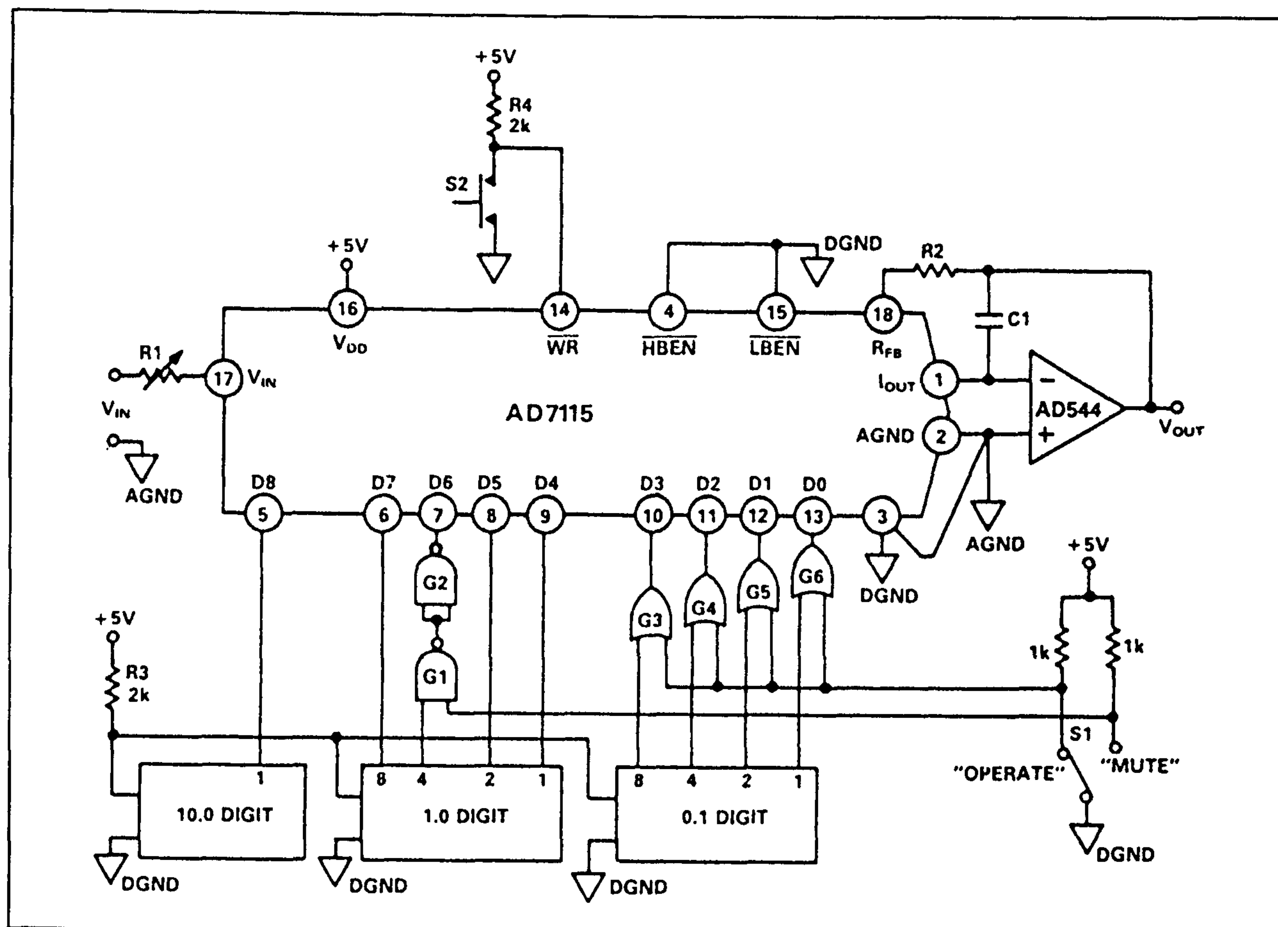


Figuur 12/7.7-26: Algemene voorbeeld-schakeling rond de AD 7115.



Figuur 12/7.7-27: Instelbare verzwakker waarmee de verzwakking van een ingangssignaal in te stellen is tussen 0 en -80 dB in stappen van 0,1 dB.

7.7 Type-beschrijving niet-lineaire DAC's



Figuur 12/7.7-28: Verzwakker met een bereik van 0 tot -19,9 dB, instelbaar met behulp van drie duimwielschakelaars.

AD 7118

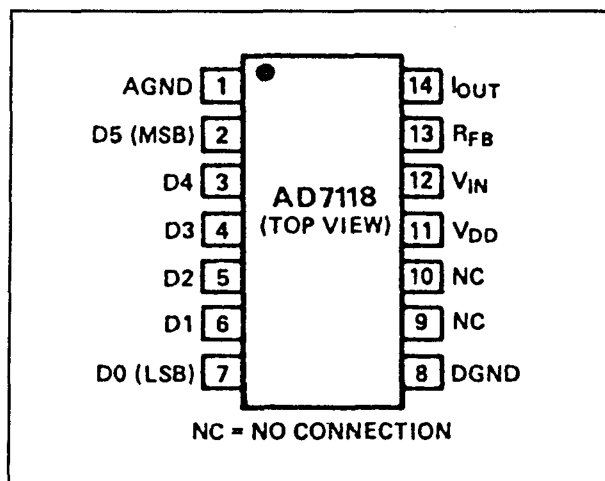
logaritmisch, 6 bit, 88,5 dB

De AD 7118 is een in CMOS-technologie opgebouwde 6 bit brede zogenaamde LOG-DAC, die een analoog signaal in stappen van 1,5 dB kan verzwakken tussen 0 en -88,5 dB.

De mate van verzwakking wordt bepaald door de samenstelling van de 6 bit brede besturingscode. Deze code wordt rechtstreeks aan het IC aangeboden, zonder besturingssignalen of latches.

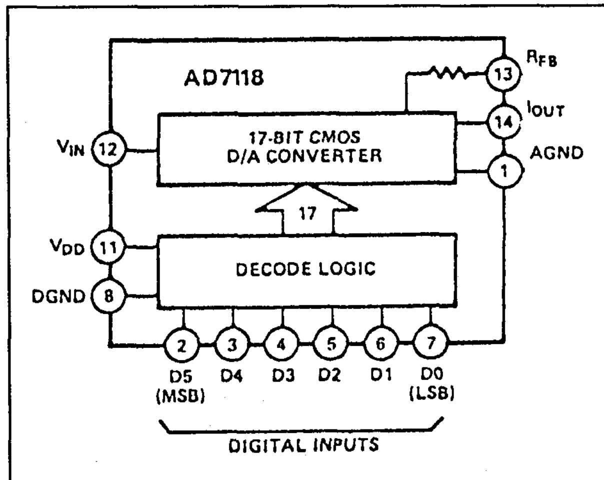
Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-14
- aansluitgegevens: figuur 12/7.7-29
- intern blokschema: figuur 12/7.7-30
- voedingsspanning: +17 V max.



Figuur 12/7.7-29: Aansluitgegevens van de AD 7118.

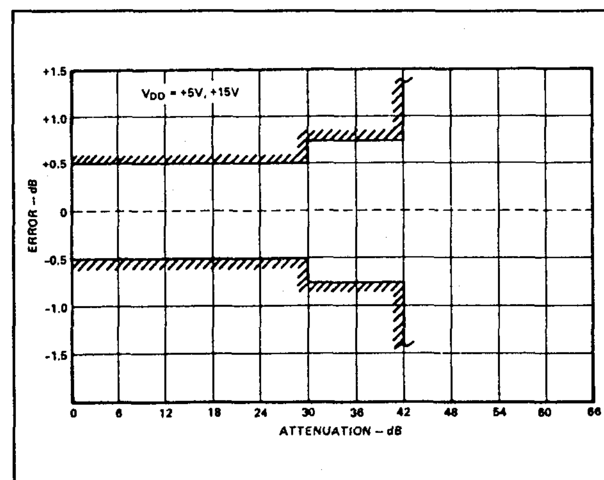
7.7 Type-beschrijving niet-lineaire DAC's



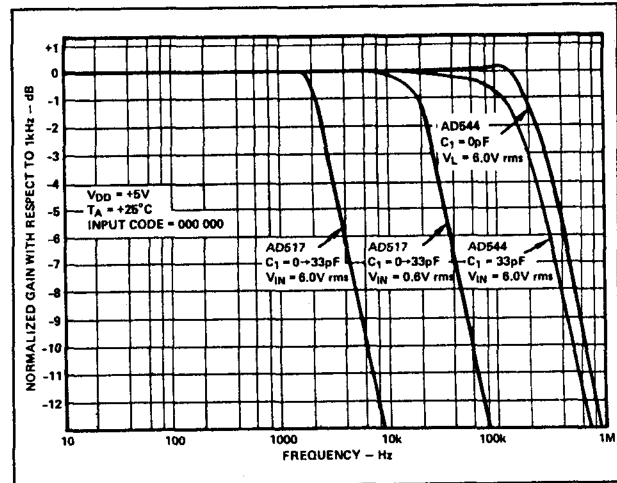
Figuur 12/7.7-30: Intern blokschema van de AD 7118.

Specified Accuracy Range[1]	Temperature Range and Package		
	Plastic 0 to +70°C	Ceramic -25°C to +85°C	Ceramic -55°C to +125°C
0 to 42dB	AD7118KN	AD7118BD	AD7118TD
0 to 48dB	AD7118LN	AD7118CD	AD7118UD

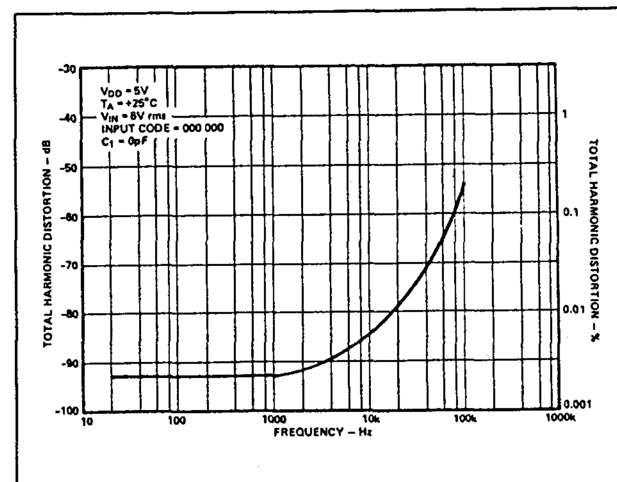
Figuur 12/7.7-31: Temperatuurbereik van de diverse uitvoeringen van de AD 7118.



Figuur 12/7.7-32: Maximale afwijking van de digitaal ingestelde verzwakkingswaarde in het bereik van 0 tot -42 dB.



Figuur 12/7.7-33: Frequentiebereik van de AD 7118 in combinatie met verschillende operationele versterkers.



Figuur 12/7.7-34: Totale harmonische vervorming van de AD 7118.

- voedingsstroom: 2 mA max.
- temperatuurgebied: figuur 12/7.7-31
- nauwkeurigheid: figuur 12/7.7-32
- frequentiebereik: figuur 12/7.7-33
- ingangsspanning: +/-25 V max.
- harmonische vervorming: figuur 12/7.7-34

Werkings-principe

De AD 7118 bestaat uit een 17 bit brede normale lineair werkende R-2R DAC. De 17 bits waarmee deze schakeling worden aangestuurd worden uit de 6 bit brede besturingscode afgeleid met decodeerlogica.

7.7 Type-beschrijving niet-lineaire DAC's

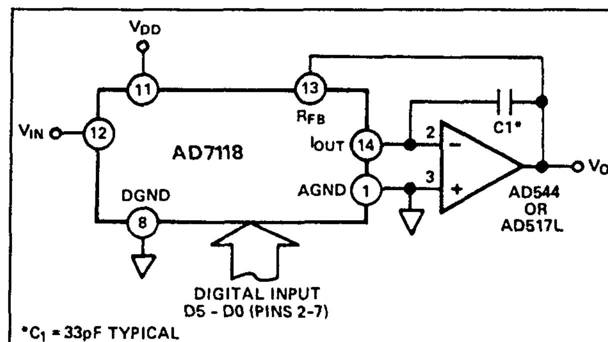
N	Digital Input D5 D0	Attenuation dB	V_{OUT}[1]	N	Digital Input	Attenuation	V_{OUT}[1]
0	00 00 00	0.0	10.00	31	01 11 11	46.5	0.0473
1	00 00 01	1.5	8.414	32	10 00 00	48.0	0.0398
2	00 00 10	3.0	7.079	33	10 00 01	49.5	0.0335
3	00 00 11	4.5	5.957	34	10 00 10	51.0	0.0282
4	00 01 00	6.0	5.012	35	10 00 11	52.5	0.0237
5	00 01 01	7.5	4.217	36	10 01 00	54.0	0.0200
6	00 01 10	9.0	3.548	37	10 01 01	55.5	0.0168
7	00 01 11	10.5	2.985	38	10 01 10	57.0	0.0141
8	00 10 00	12.0	2.512	39	10 01 11	58.5	0.0119
9	00 10 01	13.5	2.113	40	10 10 00	60.0	0.0100
10	00 10 10	15.0	1.778	41	10 10 01	61.5	0.00841
11	00 10 11	16.5	1.496	42	10 10 10	63.0	0.00708
12	00 11 00	18.0	1.259	43	10 10 11	64.5	0.00596
13	00 11 01	19.5	1.059	44	10 11 00	66.0	0.00501
14	00 11 10	21.0	0.891	45	10 11 01	67.5	0.00422
15	00 11 11	22.5	0.750	46	10 11 10	69.0	0.00355
16	01 00 00	24.0	0.631	47	10 11 11	70.5	0.00299
17	01 00 01	25.5	0.531	48	11 00 00	72.0	0.00251
18	01 00 10	27.0	0.447	49	11 00 01	73.5	0.00211
19	01 00 11	28.5	0.376	50	11 00 10	75.0	0.00178
20	01 01 00	30.0	0.316	51	11 00 11	76.5	0.00150
21	01 01 01	31.5	0.266	52	11 01 00	78.0	0.00126
22	01 01 10	33.0	0.224	53	11 01 01	79.5	0.00106
23	01 01 11	34.5	0.188	54	11 01 10	81.0	0.000891
24	01 10 00	36.0	0.158	55	11 01 11	82.5	0.000750
25	01 10 01	37.5	0.133	56	11 10 00	84.0	0.000631
26	01 10 10	39.0	0.112	57	11 10 01	85.5	0.000531
27	01 10 11	40.5	0.0944	58	11 10 10	87.0	0.000447
28	01 11 00	42.0	0.0794	59	11 10 11	88.5	0.000376
29	01 11 01	43.5	0.0668	60	11 11 XX[2]	∞	
30	01 11 10	45.0	0.0562				

Figuur 12/7.7-35: Verband tussen de digitale code op de ingangen en de verzwakking van de AD 7118.

In deze logica wordt de omrekening van lineaire naar logaritmische werking doorgevoerd. Het verband tussen de digitale code op de ingangen en de mate van verzwakking volgt uit de tabel van figuur 12/7.7-35.

Voorbeeld-schakeling

– figuur 12/7.7-36:
Algemeen schema rond de AD 7118, waarbij de ingangsspanning rechtstreeks aan de ingang van het IC wordt aangelegd en de door de ADC opgewekte uitgangsstroom met een externe I/U omzetter in een analoge uitgangsspanning wordt omgezet.



Figuur 12/7.7-36: Algemene voorbeeld-schakeling rond de AD 7118.

7.7 Type-beschrijving niet-lineaire DAC's

12/7.8

Type-beschrijving tweevoudige DAC's

PCM 60 P

2 x 16 bit, U-uitgang

Dit IC is een low cost stereo-omzetter voor gebruik in compact disk spelers. Het IC heeft twee volledig glitch-vrije spanningsuitgangen en kan werken zonder externe referentie.

De schakeling is wat betreft het seriële dataformaat aan de ingang volledig compatible met de industrie-standaard PCM 56 P.

Technische gegevens

- fabrikant: Burr-Brown
- behuizing: 24-pins SOIC (SMD)
- aansluitgegevens: figuur 12/7.8-1
- intern blokschema: figuur 12/7.8-2
- voedingsspanning: +5,00 V
- voedingsstroom: 9,5 mA
- aantal bits: 2 x 16
- parallel/serieel: serieel
- harmonische vervorming: -82 dB
- temp-coëf.: 100 ppm/°C
- klok-frequentie: 8,5 MHz min.
- uitgangsbereik: 2,8 $V_{top\text{-}tot\text{-}top}$
- uitgangsimpedantie: 2 Ω

Werkingsprincipe

In normale omstandigheden werkt de PCM 60 P met een continue klok als stereo-omzetter.

Deze mode wordt geselecteerd door SDM SEL "L" te maken.

De seriële gegevens van de linker en rechter kanalen worden afwisselend in de DAC geladen, terwijl de elektronische schakelaars aan de uitgang een van beide uitgangsversterkers met de uitgang van de DAC verbinden.

Deze versterkers werken integrerend, vandaar dat er geen glitch-verschijnselen optreden. De elektronische schakelaars sturen de integratie- en de hold-cycli van deze versterkers.

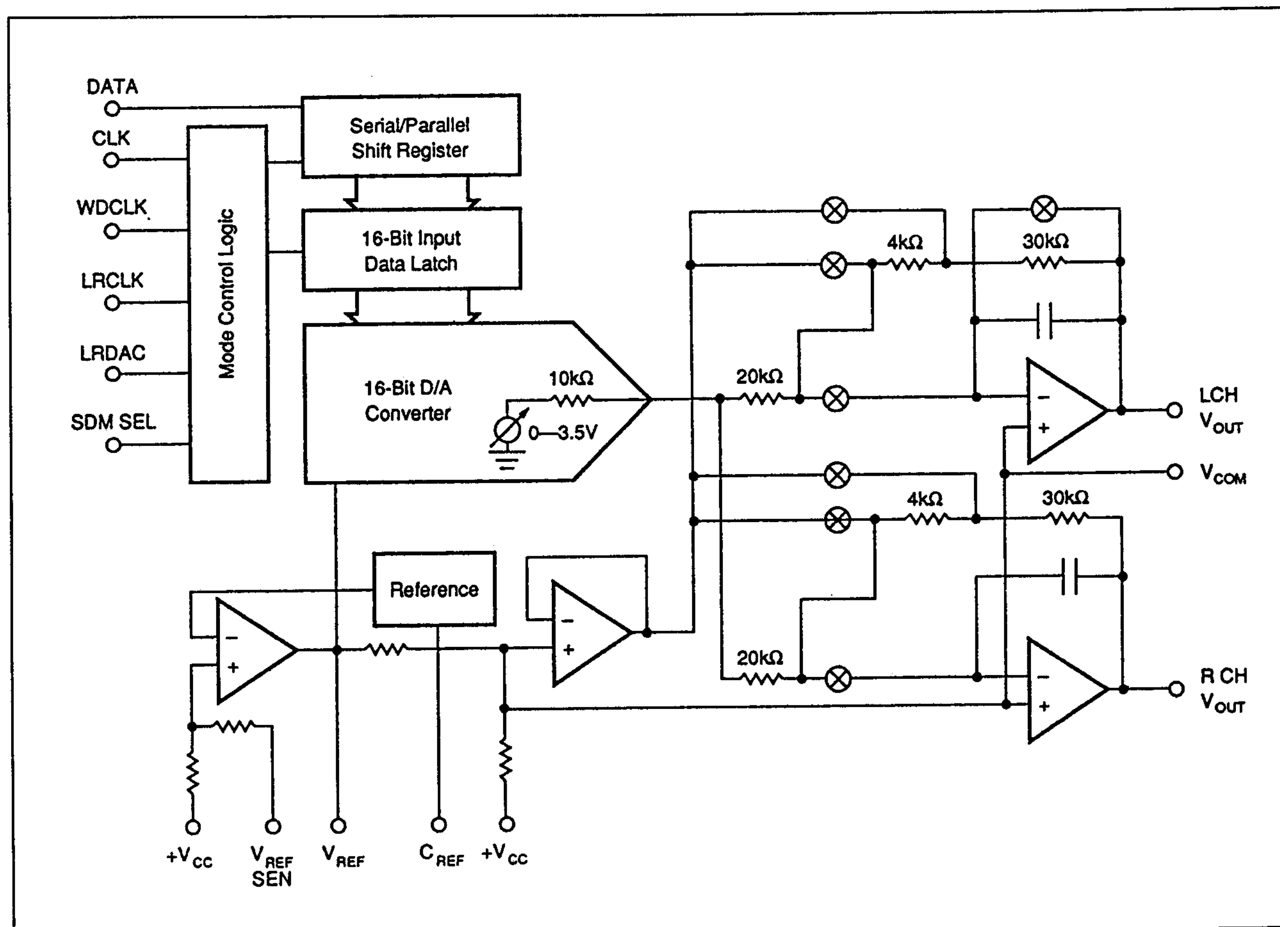
Het latchen van de ingangsdata wordt gecontroleerd door het logische niveau op WDCLK. Het kanaal wordt gekozen met LRCLK.

In figuur 12/7.8-3 is de waarheidstabel voor de besturing van het IC getekend.

PIN	DESCRIPTION	MNEMONIC
P1	Left/Right Clock	LRCLK
P2	Word Clock	WDCLK
P3	Clock	CLK
P4	Data	DATA
P5	No Connection	NC
P6	No Connection	NC
P7	Digital Common	DCOM
P8	Analog Common	ACOM
P9	No Connection	NC
P10	Left Channel V_{OUT}	L CH Out
P11	Output Common	VCOM
P12	Right Channel V_{OUT}	R CH Out
P13	$+V_{CC}$ Analog Supply	$+V_{CC}$
P14	$+V_{CC}$ Analog Supply	$+V_{CC}$
P15	Reference Decouple	C_{REF}
P16	No Connection	NC
P17	VREF Sense	V_{REF} SEN
P18	Voltage Reference	V_{REF}
P19	$+V_{CC}$ Analog Supply	$+V_{CC}$
P20	$+V_{CC}$ Analog Supply	$+V_{CC}$
P21	$+V_{CC}$ Digital Supply	$+V_{CC}$
P22	No Connection	NC
P23	Single DAC Mode	SDM SEL
P24	Left/Right DAC Select	LRDAC

Figuur 12/7.8-1: Aansluitgegevens van de PCM 60 P.

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-2: Intern blokschema van de PCM 60 P.

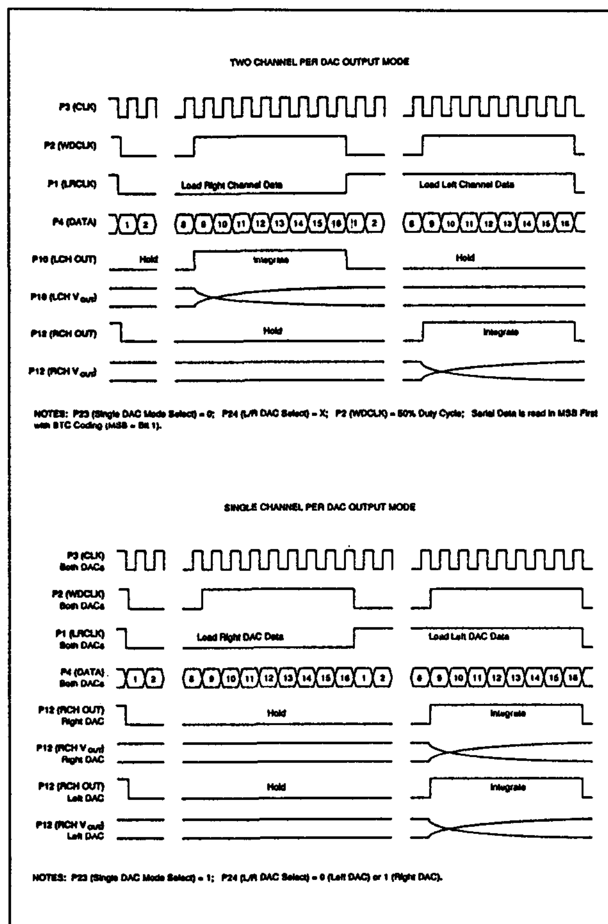
PACKAGE PIN NUMBERS				SERIAL DATA WORD INPUT	LEFT CHANNEL OUTPUT	RIGHT CHANNEL OUTPUT
P23 SDM SEL	P24 LRDAC	P1 LRCLCK	P2 WDCLK			
0	X	0	0	Right	Hold	Hold
0	X	0	1	Right	Integrate	Hold
0	X	1	0	Left	Hold	Hold
0	X	1	1	Left	Hold	Integrate
1	0	0	0	Inhibited	V_{COM}	Hold
1	0	0	1	Inhibited	V_{COM}	Hold
1	0	1	0	Left	V_{COM}	Integrate
1	0	1	1	Left	V_{COM}	Integrate
1	1	0	0	Right	V_{COM}	Hold
1	1	0	1	Right	V_{COM}	Hold
1	1	1	0	Inhibited	V_{COM}	Integrate
1	1	1	1	Inhibited	V_{COM}	Integrate

NOTE: Positive edge of CLK (P3) latches LRCLK (P1), WDCLK (P2), and DATA (P4).

Figuur 12/7.8-3: De waarheidstabel voor het besturen van de PCM 60 P.

7.8 Type-beschrijving tweevoudige DAC'S

De timing van de schakeling is getekend in figuur 12/7.8-4.



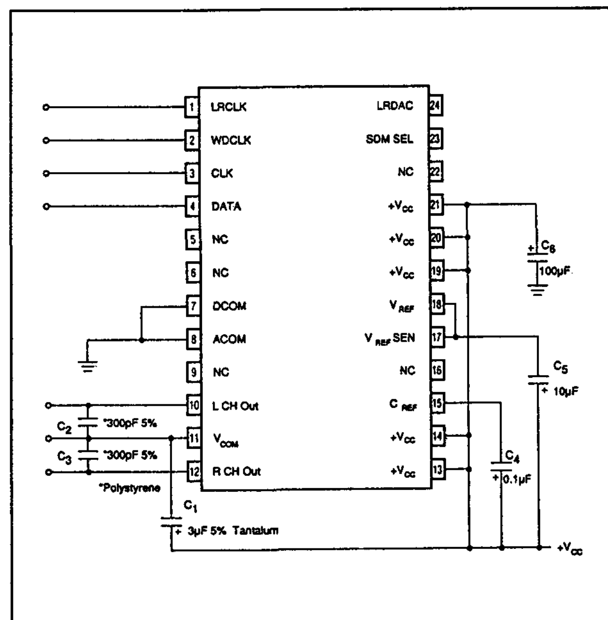
Figuur 12/7.8-4: De tijddiagrammen van de PCM 60 P.

Voorbeeld-schakeling

– figuur 12/7.8-5:

Eenvoudig voorbeeld van een DAC voor gebruik in goedkope autoradio's met geïntegreerde CD-speler of draagbare DAT-recorders.

In dit schema zijn de noodzakelijke ontkoppelingscondensatoren ingetekend. Let op de twee condensatoren van 300 pF, geschakeld tussen de VCOM en de twee analoge uitgangen en de condensator van 3 µF tussen VCOM en de voeding. Deze condensatoren zijn noodzakelijk voor het verhogen van de kanaalscheiding, waarbij de 1/10 verhouding van de condensatorwaarden zeer belangrijk is!



Figuur 12/7.8-5: Eenvoudige stereo-DAC voor gebruik in DAT-recorders en draagbare CD-spelers met een PCM 60 P.

ZN 508

2 x 8 bit, 800 ns, U-uitgang

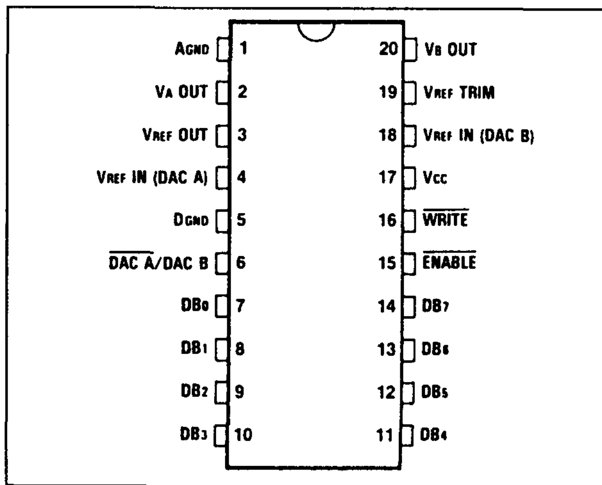
Dit IC bevat twee 8-bit omzetters die volledig compatible zijn met standaard microprocessors. De schakelingen werken volgens het standaard R/2R-principe met geïntegreerde spanningsomzetter. Het IC heeft een ingebouwde afregelbare spanningsreferentie van 2,5 V die werkt volgens het bandgap-principe. Iedere DAC heeft een eigen referentie-ingang. De schakeling kan gevoed worden uit een enkelvoudige +5 V voeding.

Technische gegevens

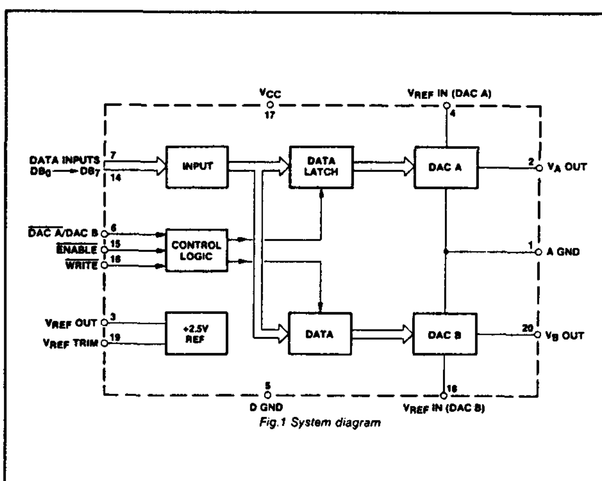
- fabrikant: Plessey Semiconductors
- behuizing: DIL-20
- aansluitgegevens: figuur 12/7.8-6
- intern blokschema: figuur 12/7.8-7
- voedingsspanning: +5,00 V typisch
- voedingsstroom: 36 mA typisch

7.8 Type-beschrijving tweevoudige DAC'S

- aantal bits: 2 x 8
- parallel/serieel: parallel
- niet-lineariteit: figuur 12/7.8-8
- temp-coëf.: +/-6 ppm/°C
- settling-tijd: 800 ns
- uitgangsbereik:
  +2,55 V standaard bij unipolaire werking en zonder uitgangsversterkers
- uitgangsimpedantie: 4 kΩ
- interne referentie: 2,5 V over 1 Ω
- kanaalscheiding: -82 dB



Figuur 12/7.8-6: Aansluitgegevens van de ZN 508.



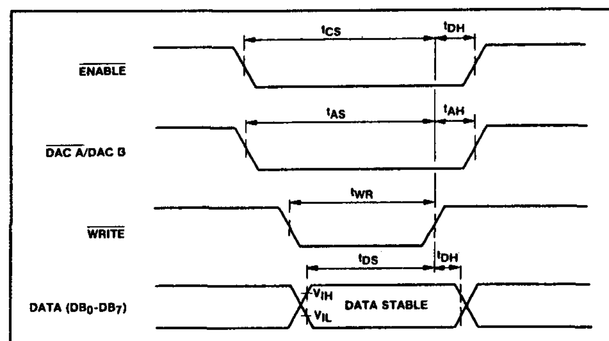
Figuur 12/7.8-7: Intern blokschema van de ZN 508.

Device type	Linearity error (LSB)	Operating temperature	Package
ZN508E7	±1	-40°C to +85°C	DP20
ZN508E8	±½	-40°C to +85°C	DP20
ZN508D7	±1	-40°C to +85°C	MP20
ZN508D8	±½	-40°C to +85°C	MP20
ZN508J7	±1	-55°C to +125°C	DC20
ZN508J8	±½	-55°C to +125°C	DC20

Figuur 12/7.8-8: Overzicht van het temperatuursbereik en de niet-lineariteit van de verschillende uitvoeringen van de ZN 508.

$\overline{DAC A}$/DAC B	$\overline{CS}$	$\overline{WR}$	DAC A	DAC B
L	L	L	WRITE	HOLD
H	L	L	HOLD	WRITE
X	H	X	HOLD	HOLD
X	X	H	HOLD	HOLD

Figuur 12/7.8-9: De waarheidstabel van de ZN 508.



Figuur 12/7.8-10: De timing van de ZN 508.

Werkings-principe

Beide DAC's hebben een gemeenschappelijke interne databus en een 8 bit brede ingangspoort. Welke DAC wordt geladen wordt bepaald door het logische niveau op

7.8 Type-beschrijving tweevoudige DAC'S

de $\overline{\text{DACA}}$/DACB pin. Als $\overline{\text{ENABLE}}$ en $\overline{\text{WRITE}}$ beide "L" zijn staat de geselecteerde DAC in de write-mode. De ingangslatch is transparant en de analoge uitgang reageert op de data-wijzigingen op de ingangen. De gegevens worden gelatched als of $\overline{\text{WRITE}}$ of $\overline{\text{ENABLE}}$ "H" wordt.
De waarheidstabel van de ZN 508 is gegeven in figuur 12/7.8-9, de timing is geschetst in figuur 12/7.8-10.

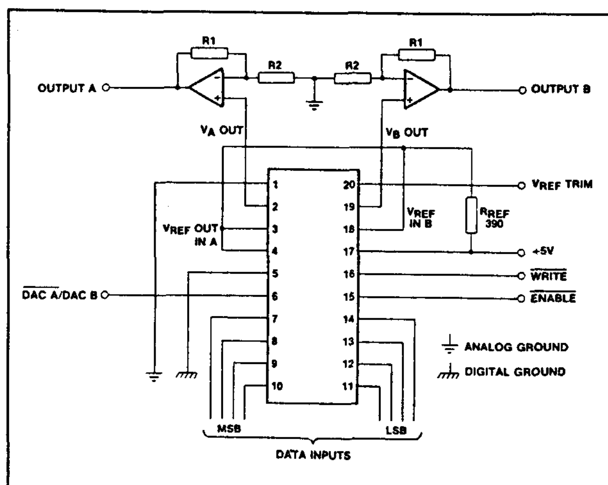
Voorbeeld-schakelingen

- figuur 12/7.8-11:

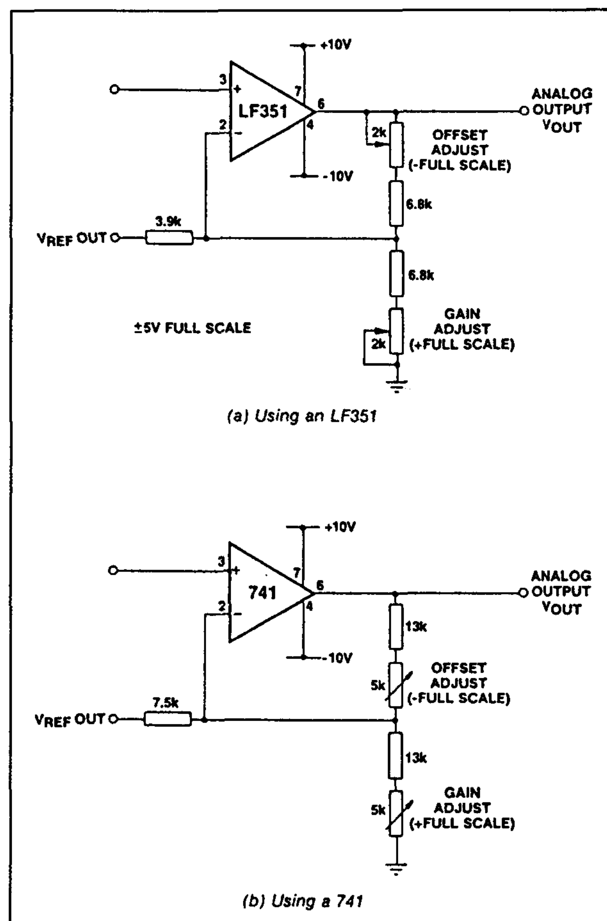
Standaard toepassing van de ZN 508 met unipolaire werking en met externe versterker voor het verhogen van de uitgangsspanning. Als R1 en R2 gelijk zijn aan 8 kΩ leveren de DAC's een maximale analoge uitgangsspanning van +5 V af. Met R1 = 16 kΩ en R2 = 5,33 kΩ wordt het bereik vergroot tot +10 V.

- figuur 12/7.8-12:

Uitbreidingsschakelingen voor bipolaire werking. De uitgangsspanning van de ZN 508 krijgt een kunstmatige offset van de helft van het volle schaal bereik. Dit wordt gerealiseerd door tussen de interne referentie en de inverterende ingang van de externe operationele versterker een weerstand aan te brengen. In de figuur worden twee praktische schakelingen gegeven die een uitgangsbereik van +/-5 V tot gevolg hebben.



Figuur 12/7.8-11: Standaardschakeling rond de ZN 508 bij unipolaire werking.



Figuur 12/7.8-12: Uitbreidingsschakelingen voor bipolaire uitgangsspanningen.

ZN 527

2 x 8 bit, 800 ns, U-uitgang

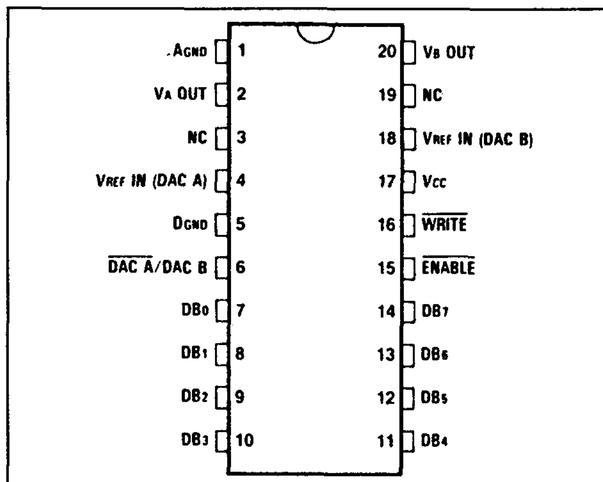
Dit IC bevat twee 8-bit omzetters die volledig compatible zijn met standaard microprocessors. De schakelingen werken volgens het standaard R/2R-principe met geïntegreerde spanningsomzetter. Iedere DAC heeft een eigen referentie-ingang. De schakeling kan gevoed worden uit een enkelvoudige +5 V voeding.

Technische gegevens

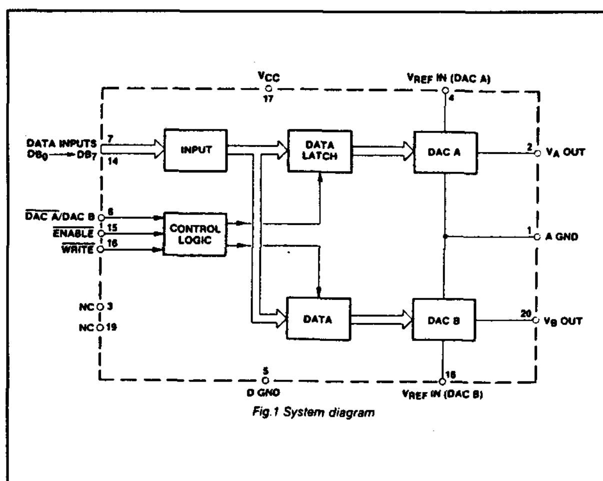
- fabrikant: Plessey Semiconductors
- behuizing: DIL-20
- aansluitgegevens: figuur 12/7.8-13
- intern blokschema: figuur 12/7.8-14

7.8 Type-beschrijving tweevoudige DAC'S

- voedingsspanning: +5,00 V typisch
- voedingsstroom: 36 mA typisch
- aantal bits: 2 x 8
- parallel/serieel: parallel
- niet-lineariteit: figuur 12/7.8-15
- temp-coëf.: +/-6 ppm/°C
- settling-tijd: 800 ns
- uitgangsbereik:
  +2,55 V standaard bij unipolaire werking en zonder uitgangsversterkers
- uitgangsimpedantie: 4 kΩ
- kanaalscheiding: -82 dB



Figuur 12/7.8-13: Aansluitgegevens van de ZN 527.



Figuur 12/7.8-14: Intern blokschema van de ZN 527.

Device type	Linearity error (LSB)	Operating temperature	Package
ZN527E	±1	-40°C to +85°C	DP20
ZN528E	±½	-40°C to +85°C	DP20
ZN527D	±1	-40°C to +85°C	MP20
ZN528D	±½	-40°C to +85°C	MP20
ZN527J	±1	-55°C to +125°C	DC20
ZN528J	±½	-55°C to +125°C	DC20

Figuur 12/7.8-15: Overzicht van het temperatuursbereik en de niet-lineariteit van de verschillende uitvoeringen van de ZN 527 en ZN 528.

Werkings-principe

Beide DAC's hebben een gemeenschappelijke interne databus en een 8 bit brede ingangspoort.

Welke DAC wordt geladen wordt bepaald door het logische niveau op de $\overline{DACA}$/DACB pin.

Als $\overline{ENABLE}$ en $\overline{WRITE}$ beide "L" zijn staat de geselecteerde DAC in de write-mode. De ingangslatch is transparant en de analoge uitgang reageert op de data-wijzigingen op de ingangen.

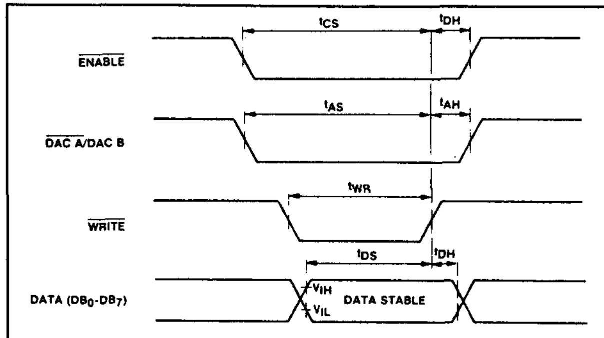
De gegevens worden gelatched als of $\overline{WRITE}$ of $\overline{ENABLE}$ "H" wordt.

De waarheidstabel van de ZN 527 is gegeven in figuur 12/7.8-16, de timing is geschetst in figuur 12/7.8-17.

$\overline{DAC A}$/DAC B	CS	$\overline{WR}$	DAC A	DAC B
L	L	L	WRITE	HOLD
H	L	L	HOLD	WRITE
X	H	X	HOLD	HOLD
X	X	H	HOLD	HOLD

Figuur 12/7.8-16: De waarheidstabel van de ZN 527.

7.8 Type-beschrijving tweevoudige DAC'S

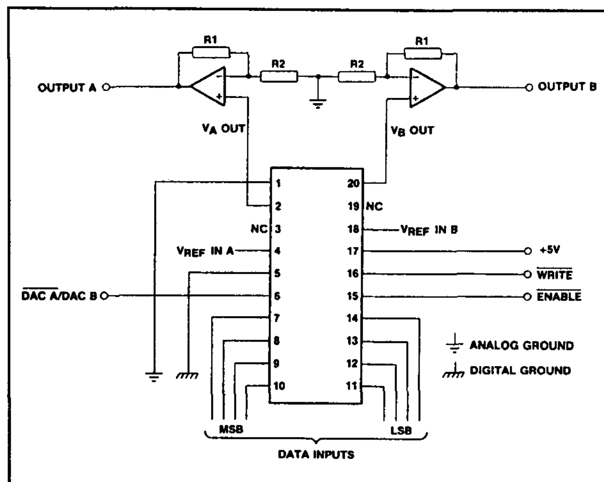


Figuur 12/7.8-17: De timing van de ZN 527.

Voorbeeld-schakeling

- figuur 12/7.8-18:

Standaard toepassing van de ZN 527 met unipolaire werking en met externe versterker voor het verhogen van de uitgangsspanning. Als R1 en R2 gelijk zijn aan 8 kΩ leveren de DAC's een maximale analoge uitgangsspanning van +5 V af.
Met R1 = 16 kΩ en R2 = 5,33 kΩ wordt het bereik vergroot tot +10 V.



Figuur 12/7.8-18: Unipolaire uitgangsschakeling met de ZN 527.

ZN 528

2 x 8 bit, 800 ns, U-uitgang

Dit IC bevat twee 8-bit omzetters die volledig compatible zijn met standaard microprocessors.

De schakelingen werken volgens het standaard R/2R-principe met geïntegreerde spanningsomzetter.
Iedere DAC heeft een eigen referentie-ingang.
De schakeling kan gevoed worden uit een enkelvoudige +5 V voeding.

Dit IC is pen- en functie-compatible met de ZN 527, het enige verschil zit in de kleinere niet-lineariteit.

Technische gegevens
- fabrikant: Plessey Semiconductors
- behuizing: DIL-20
- aansluitgegevens: figuur 12/7.8-13
- intern blokschema: figuur 12/7.8-14
- niet-lineariteit: figuur 12/7.8-15

Voor de overige gegevens en voorbeeldschakeling wordt verwezen naar de ZN 527.

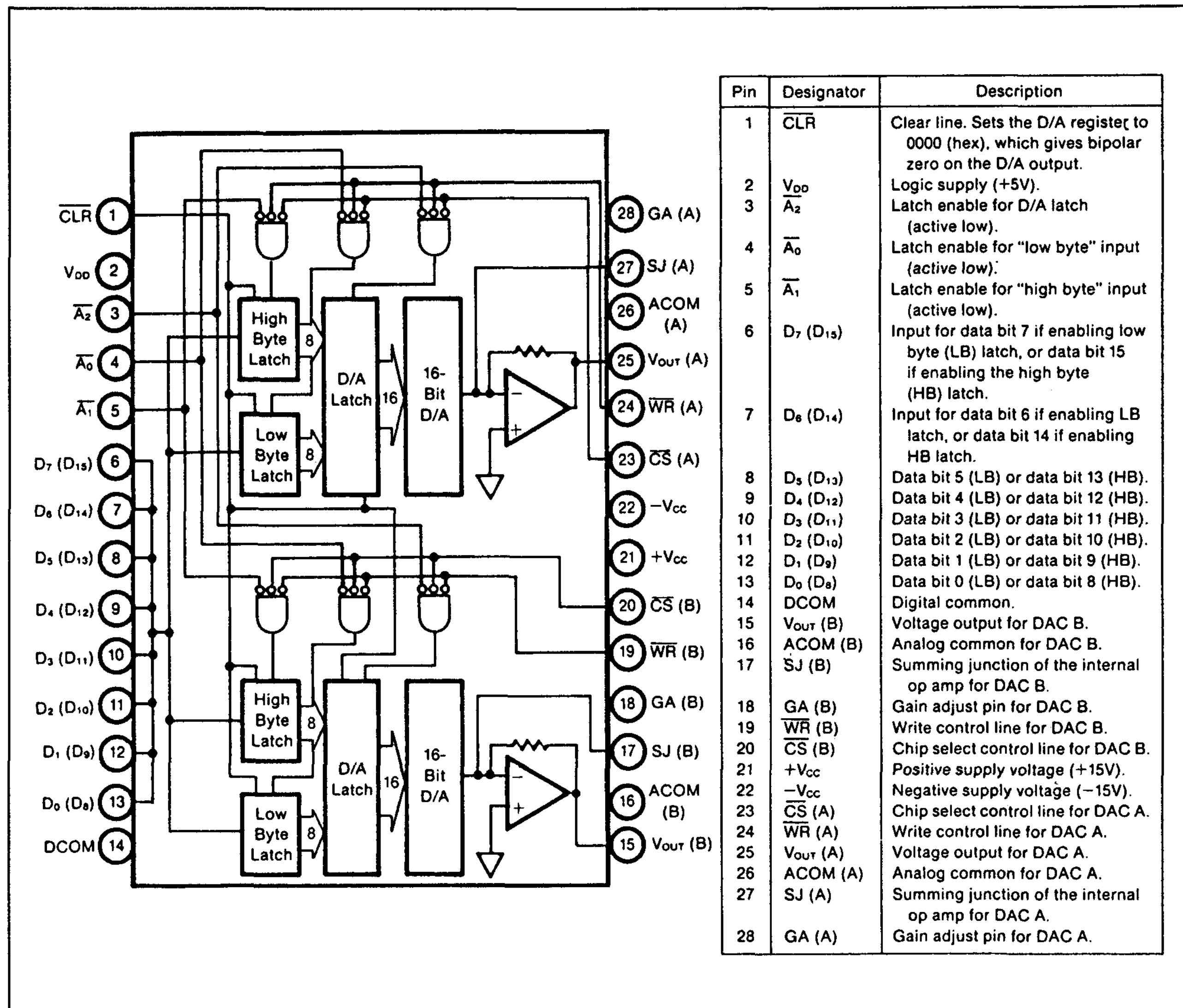
DAC 725

2 x 16 bit, 4 µs, U-uitgang

Deze tweevoudige 16-bit DAC is microprocessor-compatible en leest de gegevens in onder de vorm van twee woorden van 8 bit. De schakeling heeft een ingebouwde referentie en geïntegreerde eindversterkers. De schakeling levert, bij voedingsspanningen van +5 V en +/-15 V, een bipolaire uitgang af van +/-10 V.

Technische gegevens
- fabrikant: Burr-Brown
- behuizing: DIL-28
- aansluitgegevens: figuur 12/7.8-19
- intern blokschema: figuur 12/7.8-20
- voedingsspanning: +5 V, +/-15 V
- voedingsstroom: +10 mA, +29/-35 mA
- aantal bits: 2 x 16
- parallel/serieel: parallel of serieel
- niet-lineariteit: +/-0,003 % volle schaal
- temp-coëf.: +/-25 ppm/°C
- settling-tijd: 4 µs
- uitgangsbereik: +/-10 V
- uitgangsimpedantie: 0,15 Ω

7.8 Type-beschrijving tweevoudige DAC'S



Pin	Designator	Description
1	$\overline{CLR}$	Clear line. Sets the D/A register to 0000 (hex), which gives bipolar zero on the D/A output.
2	V_{DD}	Logic supply (+5V).
3	$\overline{A_2}$	Latch enable for D/A latch (active low).
4	$\overline{A_0}$	Latch enable for "low byte" input (active low).
5	$\overline{A_1}$	Latch enable for "high byte" input (active low).
6	D_7 (D_{15})	Input for data bit 7 if enabling low byte (LB) latch, or data bit 15 if enabling the high byte (HB) latch.
7	D_6 (D_{14})	Input for data bit 6 if enabling LB latch, or data bit 14 if enabling HB latch.
8	D_5 (D_{13})	Data bit 5 (LB) or data bit 13 (HB).
9	D_4 (D_{12})	Data bit 4 (LB) or data bit 12 (HB).
10	D_3 (D_{11})	Data bit 3 (LB) or data bit 11 (HB).
11	D_2 (D_{10})	Data bit 2 (LB) or data bit 10 (HB).
12	D_1 (D_9)	Data bit 1 (LB) or data bit 9 (HB).
13	D_0 (D_8)	Data bit 0 (LB) or data bit 8 (HB).
14	DCOM	Digital common.
15	V_{OUT} (B)	Voltage output for DAC B.
16	ACOM (B)	Analog common for DAC B.
17	SJ (B)	Summing junction of the internal op amp for DAC B.
18	GA (B)	Gain adjust pin for DAC B.
19	$\overline{WR}$ (B)	Write control line for DAC B.
20	$\overline{CS}$ (B)	Chip select control line for DAC B.
21	$+V_{CC}$	Positive supply voltage (+15V).
22	$-V_{CC}$	Negative supply voltage (−15V).
23	$\overline{CS}$ (A)	Chip select control line for DAC A.
24	$\overline{WR}$ (A)	Write control line for DAC A.
25	V_{OUT} (A)	Voltage output for DAC A.
26	ACOM (A)	Analog common for DAC A.
27	SJ (A)	Summing junction of the internal op amp for DAC A.
28	GA (A)	Gain adjust pin for DAC A.

Figuur 12/7.8-19: Aansluitgegevens van de DAC 725.

Werkings-principe

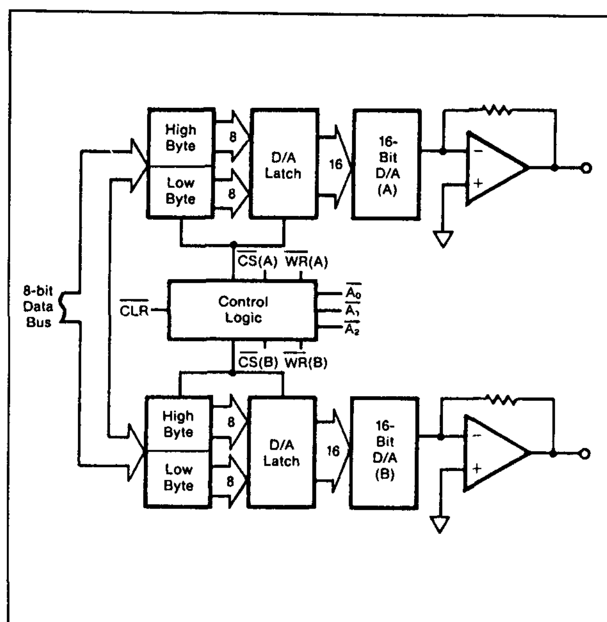
De DAC 725 werkt met positief-ware twee-complements-codes, waarbij HEX 7FFF een positieve volle schaalwaarde aan de uitgang levert, HEX 0000 nul en HEX 8000 een negatieve volle schaalwaarde levert.
De logische controles bestaan uit chip select $\overline{CS[A]}$ en $\overline{CS[B]}$, write $\overline{WR[A]}$ en $\overline{WR[B]}$, latch enable $\overline{A0}$, $\overline{A1}$ en $\overline{A2}$ en clear $\overline{CLR}$.
Met deze signalen kan men vanuit een microprocessor de volledige chip-structuur besturen. De waarheidstabel is getekend in figuur 12/7.8-21.

Het IC heeft ook een modus waarbij de data serieel geladen kunnen worden.
Deze modus wordt actief als $\overline{A0}$ en $\overline{A1}$ beide "L" zijn.

De data wordt, met het MSB als eerste bit, in pen 13 geclocked op het ritme van een clock-puls op pen $\overline{WR}$. De gegevens worden nadien gelatched als een volledig zestien bit woord door $\overline{A2}$.

De timing van de DAC 725 is getekend in figuur 12/7.8-22.

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-20: Intern blokschema van de DAC 725.

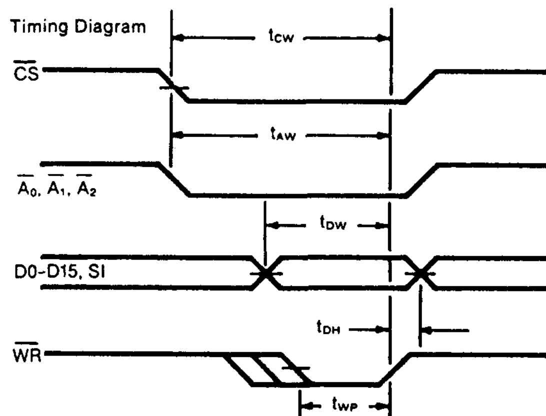
$\overline{A_0}$	$\overline{A_1}$	$\overline{A_2}$	$\overline{WR}$(A)	$\overline{CS}$(A)	
1	1	0	0	0	DAC latch enabled, Channel A
1	0	1	0	0	Input latch high byte enabled, Channel A
1	0	0	0	0	High byte flows through to DAC, Channel A
0	1	1	0	0	Low byte latched from data bus, Channel A
0	1	0	0	0	Low byte flows through to DAC, Channel A
0	0	1	1	1	Serial input mode for byte latches
X	X	X	1	0	No data is latched
X	X	X	0	1	No data is latched

"1" or "0" indicates TTL Logic Level Channel A shown.

Figuur 12/7.8-21: De waarheidstabel van de DAC 725.

Logic Timing—Parallel or Serial Data Input

		Over Temperature	
		ns, min	ns, max
t_{DW}	Data valid to end of $\overline{WR}$	80	
t_{CW}	$\overline{CS}$ valid to end of $\overline{WR}$	80	
t_{AW}	$\overline{A_0}$, $\overline{A_1}$, $\overline{A_2}$ valid to end of $\overline{WR}$	80	
t_{WP}	Write pulse width	80	
t_{DH}	Data hold after end of $\overline{WR}$		0



Figuur 12/7.8-22: De timinggegevens van de DAC 725.

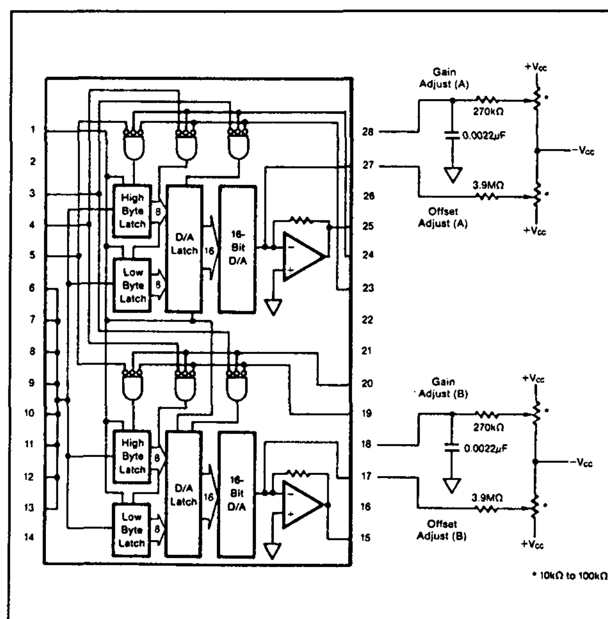
Voorbeeld-schakelingen

- figuur 12/7.8-23:

Externe componenten voor het afregelen van de volle schaal factor (GAIN ADJUST) en de offset (OFFSET ADJUST).

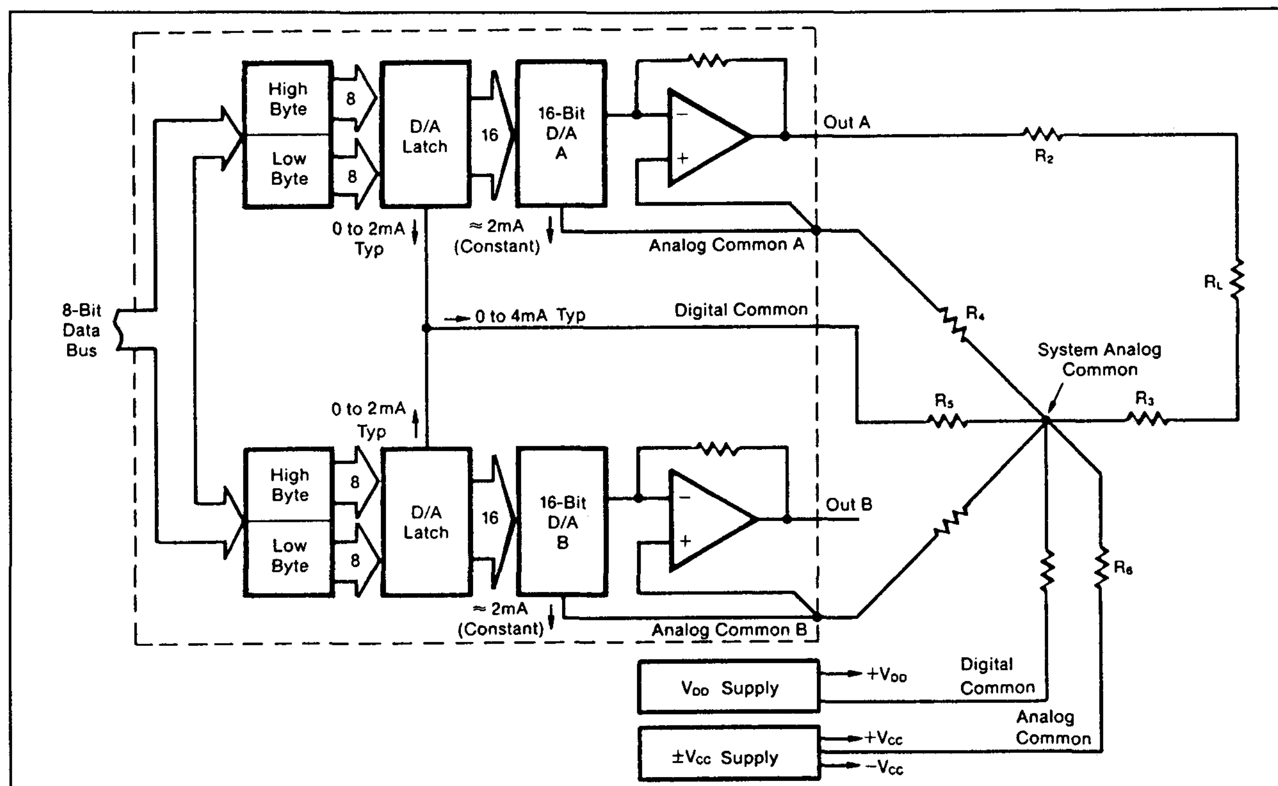
- figuur 12/7.8-24:

Basis-schema voor het verbinden van een DAC 725 met de drie voedingsspanningen.



Figuur 12/7.8-23: Het afregelen van de offset en de volle schaalwaarde.

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-24: Het verbindingsschema tussen een DAC 725 en de voedingen.

AD 7237

2 x 12 bit, 5 µs, U-uitgang

Een microprocessor-compatibele 2 x 12 bit omzetter met ingebouwde referentie en geïntegreerde stroom naar spanning omzetters. De schakeling is in de fabriek volledig afgeregeld, zodat geen externe trimmers noodzakelijk zijn. De schakeling verwerkt woorden van 8 bit die in twee write-cycli worden ingelezen.
De analoge uitgangsspanning kan zowel unipolair als bipolair zijn. In het laatste geval is een symmetrische voeding noodzakelijk.

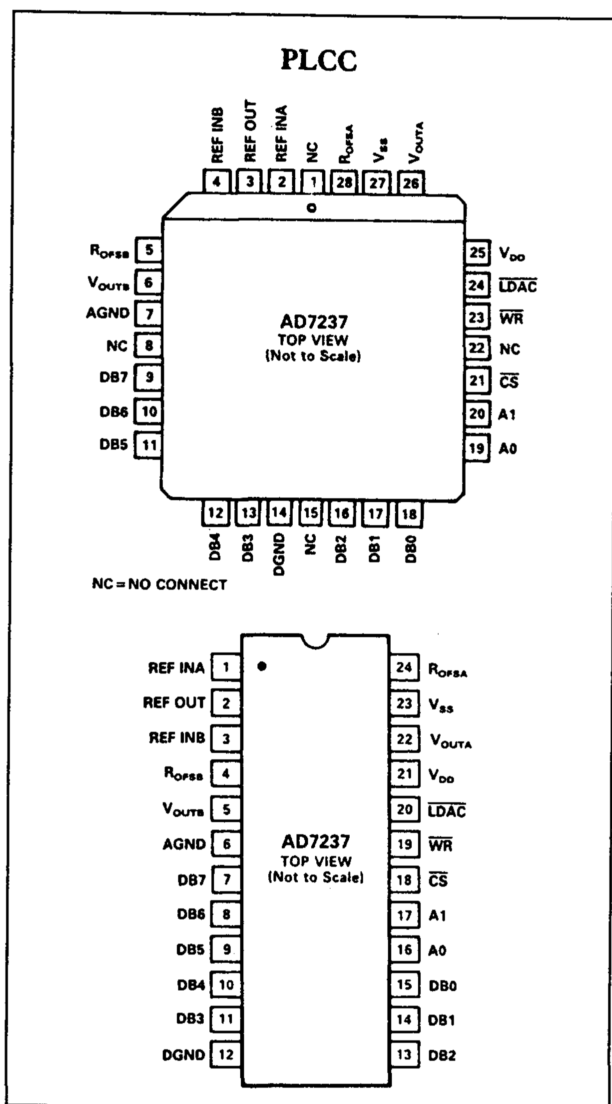
Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-24, PLCC
- aansluitgegevens: figuur 12/7.8-25
- intern blokschema: figuur 12/7.8-26
- voedingsspanning: +/-15 V
- voedingsstroom: +18/-8 mA
- aantal bits: 2 x 12
- parallel/serieel: parallel
- niet-lineariteit: figuur 12/7.8-27
- temp-coëf.: +/-25 ppm/°C
- settling-tijd: 5 µs
- uitgangsbereik: +5 V, +10 V, +/-5 V
- uitgangsimpedantie: 0,5 Ω
- interne referentie: 5,00 V

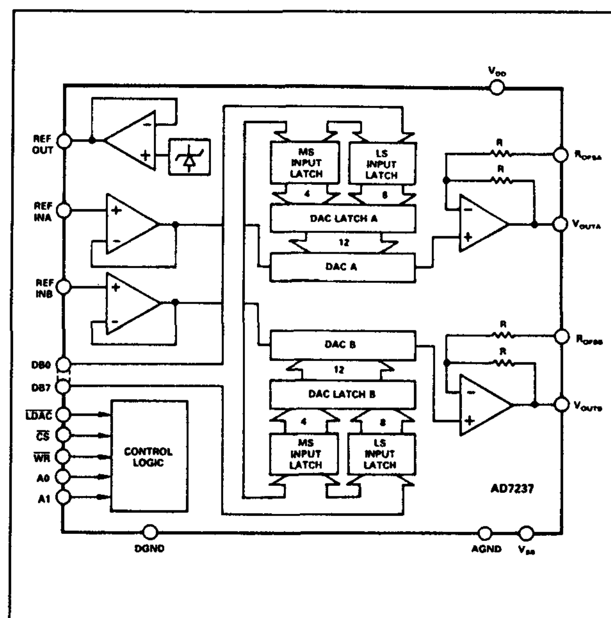
Werkingsprincipe

Het laden van de gegevens is afgestemd op een microprocessor met een 8 bit brede data-bus. De input-latch is onderverdeeld in een 8-bit brede latch en een 4-bit brede latch die de MSB-bits bevat.
De gegevens uit deze latches worden getransporteerd naar de DAC-latch en het zijn deze gegevens die de analoge uitgangsspanning bepalen.
De structuur van de ingangslatches is gedetailleerd getekend in figuur 12/7.8-28. De signalen $\overline{CS}$, $\overline{WR}$, A0 en A1 controleren de manier waarop de digitale gegevens in de ingangslatches worden geladen.

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-25: Aansluitgegevens van de AD 7237.



Figuur 12/7.8-26: Intern blokschema van de AD 7237.

Relative Accuracy (LSB)	Temperature Range and Package Options[2]		
	−40°C to +85°C	−40°C to +85°C	−55°C to +125°C
±1 max ±1/2 max	Plastic DIP (N-24) AD7237JN AD7237KN	Hermetic DIP (Q-24) AD7237AQ AD7237BQ	Hermetic DIP (Q-24) AD7237SQ[3]
±1 max ±1/2 max	PLCC (P-28A)[4] AD7237JP AD7247KP		

NOTES
[1]To order MIL-STD-883, Class B processed parts, add /883B to part number. Contact your local sales office for military data sheet.
[2]See Section 14 for package outline information.
[3]Available to /883 processing only.
[4]PLCC: Plastic Leaded Chip Carrier.

Figuur 12/7.8-27: Niet-lineariteit van de verschillende versies van de AD 7237.

De waarheidstabel van deze acties is gegeven in figuur 12/7.8-29. Zolang $\overline{LDAC}$ "H" is zal de analoge uitgang niet reageren op alles wat op de ingangen gebeurt. De twee adressignalen A0 en A1 bepalen welke latchgegevens worden geladen als $\overline{CS}$ en $\overline{WR}$ "L" zijn.

Het $\overline{LDAC}$-signaal controleert het overbrengen van de 12 bit brede ingangsgegevens naar de DAC-latch.

De twee DAC-latches en dus ook de twee analoge uitgangen worden op dat moment geladen en aangepast.

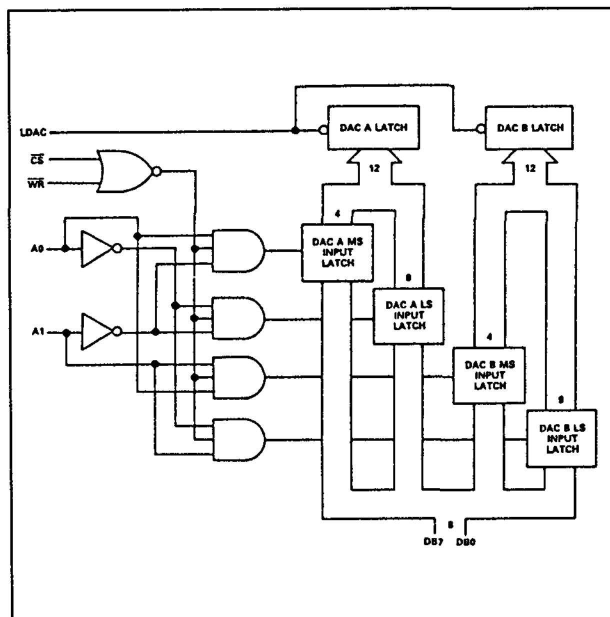
Dit signaal is niveau-getriggerd en de actie gebeurt op de stijgende flank van het $\overline{LDAC}$-signaal.

Het $\overline{LDAC}$-signaal werkt volkomen zelfstandig van alle signalen aan de ingang.

Dit is van belang als men verschillende schakelingen stuurt met een en hetzelfde signaal. Men moet er echter op letten dat als $\overline{LDAC}$ actief wordt op het moment dat de ingangsgegevens worden gelezen door middel van $\overline{CS}$- en $\overline{WR}$-signalen er ongeldige gegevens in de DAC-latches kunnen worden ingelezen.

7.8 Type-beschrijving tweevoudige DAC'S

Om dit te verhinderen moet $\overline{LDAC}$ "L" blijven nadat $\overline{CS}$ en $\overline{RW}$ "H" zijn geworden.
De timing van de AD 7237 is gegeven in figuur 12/7.8-30.



Figuur 12/7.8-28: Gedetailleerde structuur van de ingangs-latches van de AD 7237.

$\overline{CS}$	$\overline{WR}$	A1	A0	$\overline{LDAC}$	Function
1	X	X	X	1	No Data Transfer
X	1	X	X	1	No Data Transfer
0	0	0	0	1	DAC A LS Input Latch Transparent
0	0	0	1	1	DAC A MS Input Latch Transparent
0	0	1	0	1	DAC B LS Input Latch Transparent
0	0	1	1	1	DAC B MS Input Latch Transparent
1	1	X	X	0	DACA and DACB DAC Latches Updated Simultaneously from the Respective Input Latches

X = Don't Care.

Figuur 12/7.8-29: De waarheidstabel van de AD 7237.

Voorbeeld-schakeling

– figuur 12/7.8-31:
Basis-schakeling als men een AD 7237 wil of kan gebruiken met een unipolaire uitgang.

Figuur 12/7.8-30: De timing van de AD 7237.

Figuur 12/7.8-31: Unipolaire werking van de AD 7237.

AD 7247

2 x 12 bit, 5 µs, U-uitgang

Een microprocessor-compatibele 2 x 12 bit omzetter met ingebouwde referentie en geïntegreerde stroom naar spanning omzetters. De schakeling is in de fabriek volledig afgeregeld, zodat geen externe trimmers noodzakelijk zijn.
De schakeling verwerkt woorden van 12 bit die in één write-cyclus in de DAC-latches worden ingelezen.

7.8 Type-beschrijving tweevoudige DAC'S

De analoge uitgangsspanning kan zowel unipolair als bipolair zijn.
In het laatste geval is een symmetrische voeding noodzakelijk.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-24, PLCC
- aansluitgegevens: figuur 12/7.8-32
- intern blokschema: figuur 12/7.8-33
- voedingsspanning: +/-15 V
- voedingsstroom: +18/-8 mA
- aantal bits: 2 x 12
- parallel/serieel: parallel
- niet-lineariteit: figuur 12/7.8-34
- temp-coëf.: +/-25 ppm/°C
- settling-tijd: 5 µs
- uitgangsbereik: +5 V, +10 V, +/-5 V
- uitgangsimpedantie: 0,5 Ω
- interne referentie: 5,00 V

Werkingsprincipe

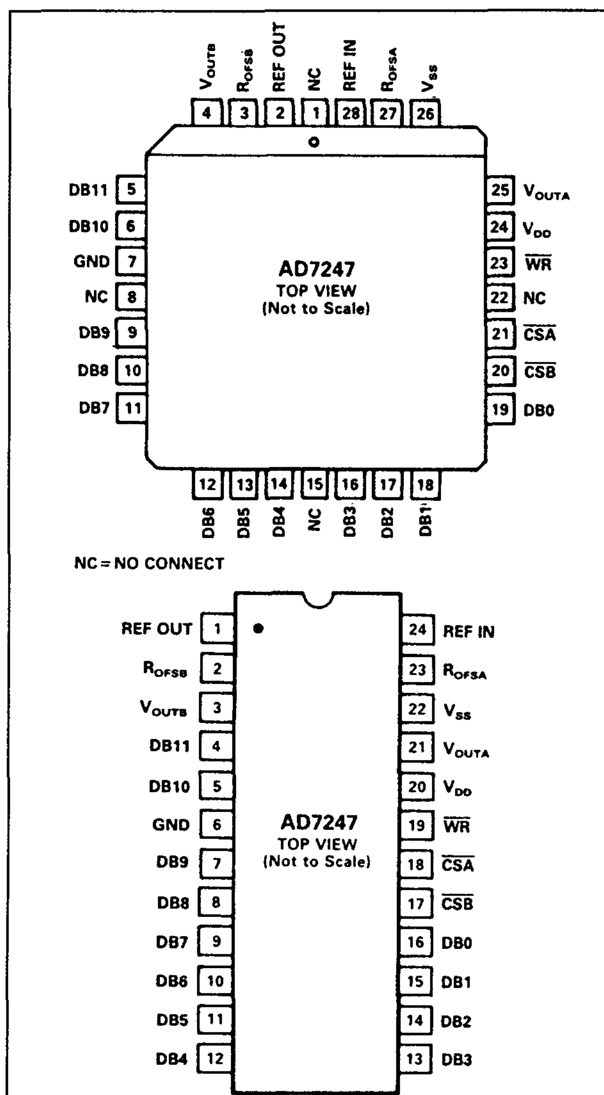
De AD 7247 bevat twee onafhankelijke 12 bit brede DAC-latches voor ieder kanaal met ieder eigen $\overline{CS}$-signaal maar een gemeenschappelijke $\overline{WR}$-ingang. Als $\overline{CSA}$ en $\overline{CSB}$ beide "L" zijn en ook $\overline{WR}$ is "L", dan worden dezelfde gegevens in beide latches geschreven. De ingangsgegevens worden in de latches geschreven bij de stijgende flank van $\overline{WR}$.
Figuur 12/7.8-35 geeft de eenvoudige structuur van de ingangen van de AD 7247.
Uit de waarheidstabel van figuur 12/7.8-36 kan de manier afgelezen worden waarop de AD 7247 moet worden gestuurd. In figuur 12/7.8-37 is de timing van de diverse signalen geschetst.

AD 7528

2 x 8 bit, 200 ns, I-uitgang

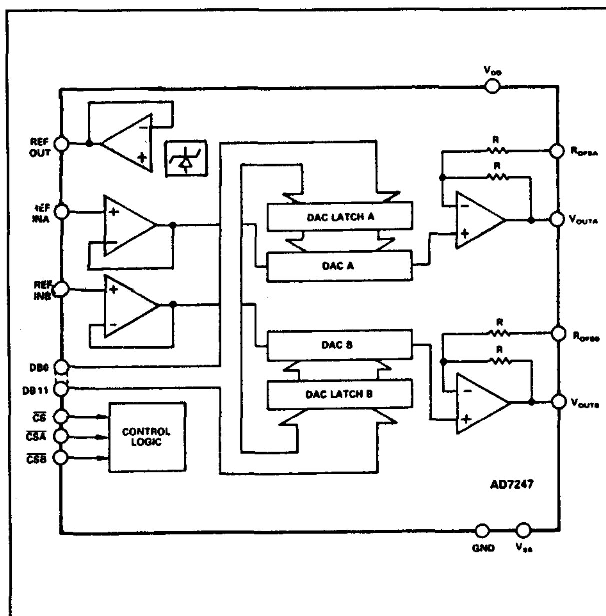
Een microprocessor-compatibele 2 x 8 bit omzetter zonder interne referentie en met ongebufferde stroom-uitgang.
De schakeling verwerkt woorden van 8 bit die in één write-cyclus in de DAC-latches worden ingelezen.

De schakeling heeft standaard $\overline{WR}$- en $\overline{CS}$-signalen, zodat het op een zeer eenvoudige manier mogelijk is de AD 7528 te besturen uit standaard 8 bit microprocessoren zoals de Z80, 6800, 8080 en 8085.
Het laden van gegevens in een AD 7528 is volledig te vergelijken met het schijven van gegevens in een RAM-geheugen. Het IC kan gevoed worden uit een standaard +5 V voeding, maar kan ook uit een +15 V voeding werken.



Figuur 12/7.8-32: Aansluitgegevens van de AD 7247.

7.8 Type-beschrijving tweevoudige DAC'S

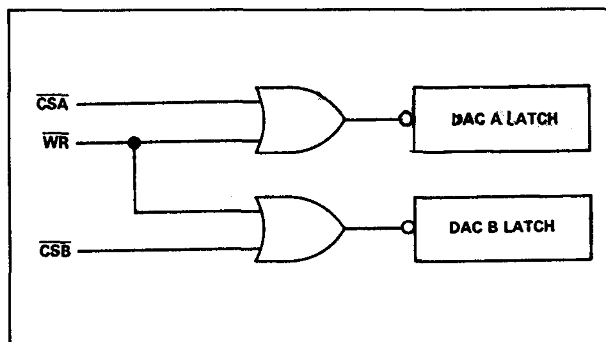


Figuur 12/7.8-33: Intern blokschema van de AD 7247.

Relative Accuracy (LSB)	Temperature Range and Package Options[2]		
	−40°C to +85°C	−40°C to +85°C	−55°C to +125°C
	Plastic DIP (N-24)	Hermetic DIP (Q-24)	Hermetic DIP (Q-24)
±1 max	AD7247JN	AD7247AQ	AD7247SQ[3]
±1/2 max	AD7247KN	AD7247BQ	
	PLCC (P-28A)[4]		
±1 max	AD7247JP		
±1/2 max	AD7247KP		

NOTES
[1]To order MIL-STD-883, Class B processed parts, add /883B to part number. Contact your local sales office for military data sheet.
[2]See Section 14 for package outline information.
[3]Available to /883 processing only.
[4]PLCC: Plastic Leaded Chip Carrier.

Figuur 12/7.8-34: Niet-lineariteit van de verschillende versies van de AD 7247.

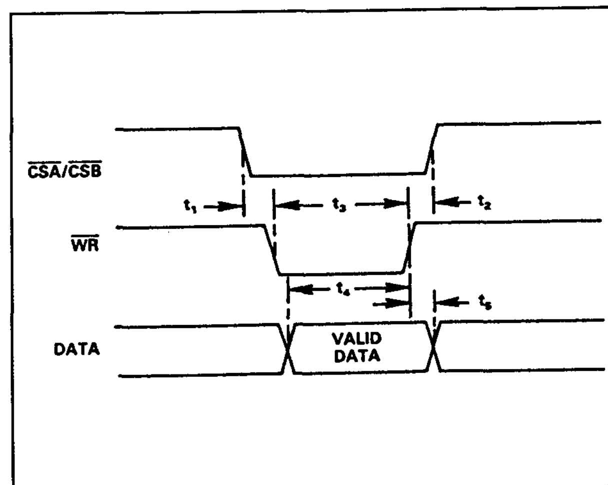


Figuur 12/7.8-35: Gedetailleerde structuur van de ingangen van de AD 7247.

CSA	CSB	WR	Function
X	X	1	No Data Transfer
1	1	X	No Data Transfer
0	1	0	DACA Latch Transparent
1	0	0	DACB Latch Transparent
0	0	0	Both DAC Latches Transparent

X = Don't Care.

Figuur 12/7.8-36: De waarheidstabel van de AD 7247.

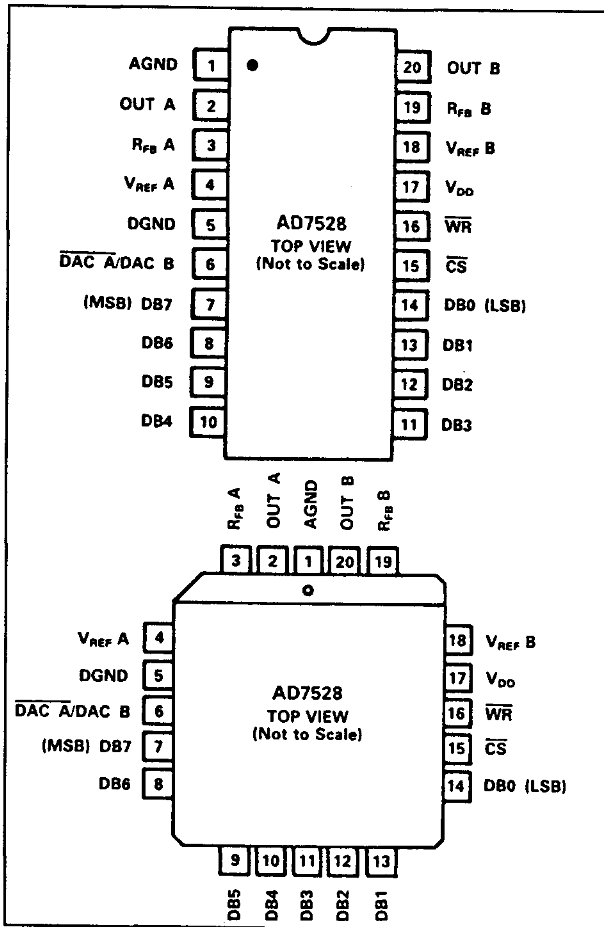


Figuur 12/7.8-37: De timing van de AD 7247.

Technische gegevens

- fabrikant: Analog Devices, Maxim
- behuizing: DIL-20, PLCC
- aansluitgegevens: figuur 12/7.8-38
- intern blokschema: figuur 12/7.8-39
- voedingsspanning: +17 V max.
- voedingsstroom: 2 mA max.
- aantal bits: 2 x 8
- parallel/serieel: parallel
- niet-lineariteit: figuur 12/7.8-40
- temp-coëf.: +/-0,0035 %/°C
- settling-tijd: 200 ns
- externe referentie: +25 V max.
- glitch-energie: 440 nV.sec max.
- uitgangscapaciteit: 50 tot 120 pF
- kanaalscheiding: -77 dB

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-38: Aansluitgegevens van de AD 7528.

Relative Accuracy	Gain Error $T_A = +25°C$	Temperature Range and Package Options[2,3] −40°C to +85°C	−40°C to +85°C	−55°C to +125°C
		Plastic DIP (N-20)	Hermetic (Q-20)	Hermetic (Q-20)
±1LSB	±4LSB	AD7528JN	AD7528AQ	AD7528SQ
±1/2LSB	±2LSB	AD7528KN	AD7528BQ	AD7528TQ
±1/2LSB	±1LSB	AD7528LN	AD7528CQ	AD7528UQ
		PLCC[4] (P-20A)		LCCC[5] (E-20A)
±1LSB	±4LSB	AD7528JP		AD7528SE
±1/2LSB	±2LSB	AD7528KP		AD7528TE
±1/2LSB	±1LSB	AD7528LP		AD7528UE

Figuur 12/7.8-40: Niet-ineariteit van de verschillende versies van de AD 7528.

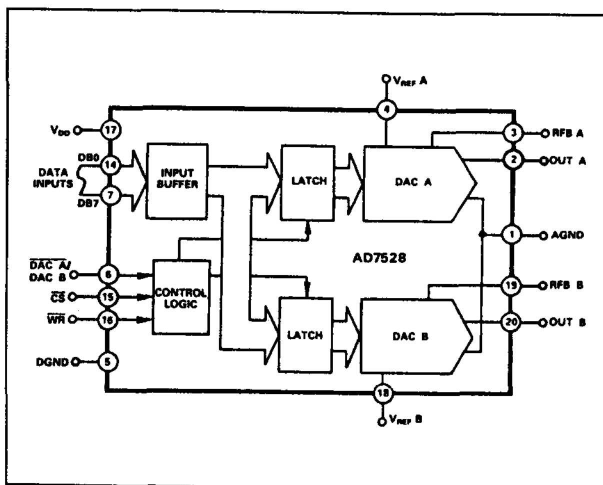
Werkingsprincipe

De AD 7528 bevat twee onafhankelijke 8 bit brede DAC-latches voor ieder kanaal met een gemeenschappelijke ingangs-buffer. Het DACA/DACB-signaal bepaalt welke latch wordt geladen. Als CS en WR "L" zijn, dan worden gegevens in de geselecteerde DAC-latch geschreven.

De schakeling is dan transparant en de analoge uitgang reageert op de codewisselingen op de ingangen.

Als een van beide signalen "H" wordt zal de geselecteerde latch de ingangsgegevens vasthouden. De schakeling zit dan in de hold mode.

Figuur 12/7.8-41 geeft de waarheidstabel van de AD 7528, terwijl in figuur 12/7.8-42 de timing van de diverse signalen is getekend.



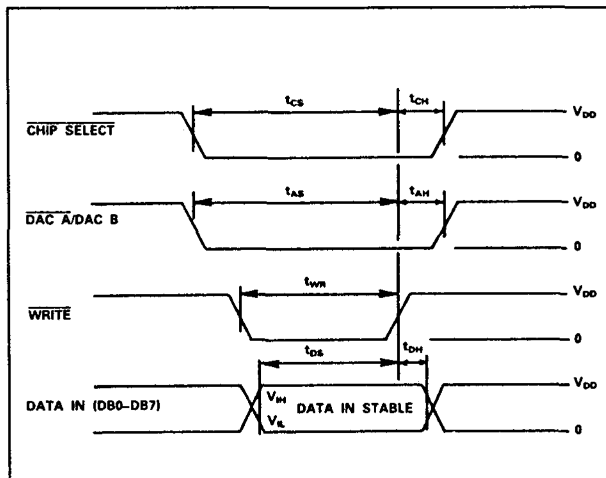
Figuur 12/7.8-39: Intern blokschema van de AD 7528.

DACA/DACB	CS	WR	DACA	DACB
L	L	L	WRITE	HOLD
H	L	L	HOLD	WRITE
X	H	X	HOLD	HOLD
X	X	H	HOLD	HOLD

L = Low State H = High State X = Don't Care

Figuur 12/7.8-41: De waarheidstabel van de AD 7528.

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-42: De timing van de AD 7528.

Door de inverterende ingangen van de operationele versterkers via een weerstand te verbinden met de externe referentiespanningen wordt een offset geïntroduceerd, die zorgt voor de gewenste verschuiving in het uitgangsspanningsbereik. De uitgangsspanning is nu maximaal positief voor een digitale code in de latches van "H-H-H-H-H-H-H-H", gaat door nul bij "H-L-L-L-L-L-L-L" en wordt maximaal negatief bij "L-L-L-L-L-L-L-L".

– Opmerking:

Nog meer voorbeeld-schakelingen zijn gepubliceerd bij de beschrijving van de TLC 7528.

Voorbeeld-schakelingen

– figuur 12/7.8-43:

Basis-schakeling voor unipolaire werking met een AD 7528. Het IC wordt gevoed uit een enkelvoudige voeding, terwijl de uitgangsstroom met een standaard stroom naar spanning omzetter wordt omgezet in een unipolaire uitgangsspanning. De uitgangsspanning is maximaal negatief bij een digitale code in de latches van "H-H-H-H-H-H-H-H" en gaat naar 0 V bij code "L-L-L-L-L-L-L-L".

– figuur 12/7.8-44:

Basis-schakeling voor een dubbele DAC met bipolaire uitgangsspanningen.

MP 7528

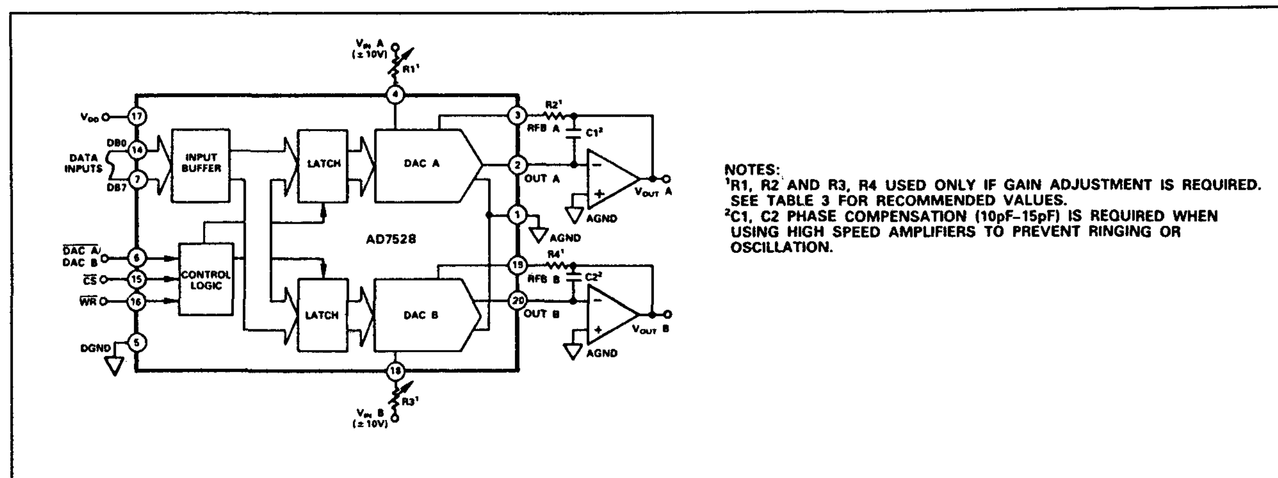
2 x 8 bit, 200 ns, I-uitgang

Een microprocessor-compatibele 2 x 8 bit omzetter zonder interne referentie en met ongebufferde stroom-uitgang.

De schakeling verwerkt woorden van 8 bit die in één write-cyclus in de DAC-latches worden ingelezen.

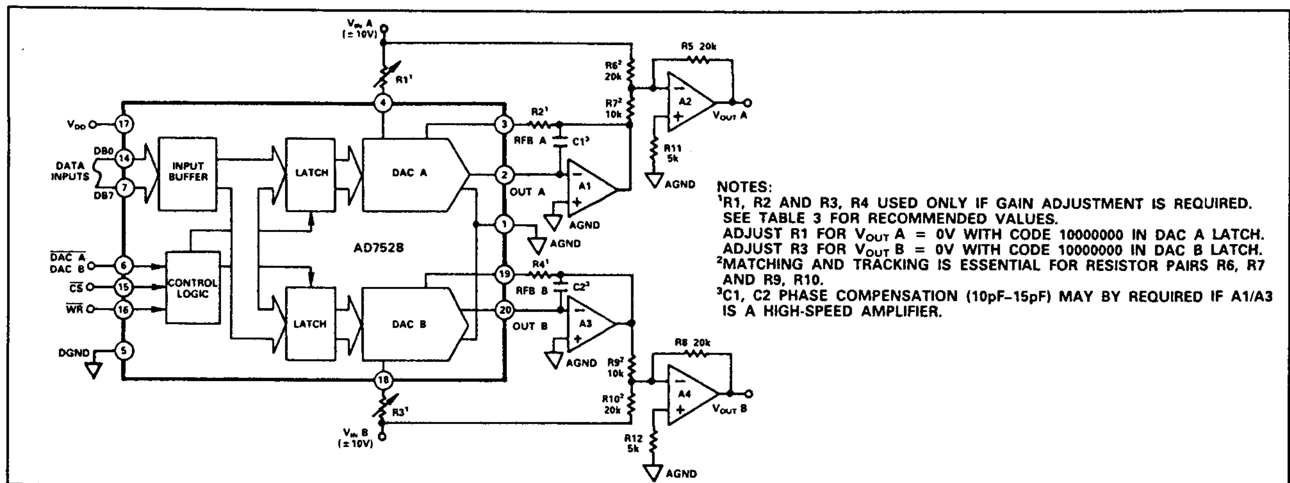
De schakeling heeft standaard WR- en CS-signalen, zodat het op een zeer eenvoudige manier mogelijk is de MP 7528 te besturen uit standaard 8 bit microprocessoren zoals de Z80, 6800, 8080 en 8085.

De PM 7528 is volledig compatible met de AD 7528 van Analog Devices.



Figuur 12/7.8-43: Standaard-schakeling rond de AD 7528 voor unipolaire werking.

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-44: Standaard-schakeling rond de AD 7528 voor bipolaire werking.

Technische gegevens
- fabrikant: PMI, MPS
- behuizing: DIL-20, PLCC
- aansluitgegevens: figuur 12/7.8-38
- compatibiliteit met AD 7528: figuur 12/7.8-45

Voor de overige gegevens en voorbeeldschakelingen wordt verwezen naar de AD 7528.

PMI	ADI
PM7528AR	AD7528UD
PM7528BR	AD7528TD
PM7528BR	AD7528SD
PM7528ER	AD7528CQ
PM7528FR	AD7528BQ
PM7528FR	AD7528AQ
PM7528GP	AD7528LN
PM7528HP	AD7528KN
PM7528HP	AD7528JN
PM7528HPC	AD7528KP
PM7528HPC	AD7528JP

Figuur 12/7.8-45: Vergelijking tussen de verschillende versies van de PM 7528 en AD 7528.

TLC 7528

2 x 8 bit, 200 ns, I-uitgang

Een microprocessor-compatibele 2 x 8 bit omzetter zonder interne referentie en met ongebufferde stroom-uitgang. De schakeling verwerkt woorden van 8 bit die in één write-cyclus in de DAC-latches worden ingelezen. De schakeling heeft standaard $\overline{WR}$- en $\overline{CS}$-signalen, zodat het op een zeer eenvoudige manier mogelijk is de TLC 7528 te besturen uit standaard 8 bit microprocessoren zoals de Z80, 6800, 8080 en 8085.

De TLC 7528 is volledig compatible met de AD 7528 van Analog Devices.

Technische gegevens
- fabrikant: Texas Instruments
- behuizing: DIL-20
- aansluitgegevens: figuur 12/7.8-38

Voor de overige gegevens wordt verwezen naar de AD 7528.

Voorbeeld-schakelingen
- figuur 12/7.8-46:
Standaard-schema voor het interfacen van een TLC 7528 op een microprocessor van het type 8051.

7.8 Type-beschrijving tweevoudige DAC'S

- figuur 12/7.8-47:
Standaard-schema voor het interfacen van een TLC 7528 op een microprocessor van het type 6800.
- figuur 12/7.8-48:
Standaard-schema voor het interfacen van een TLC 7528 op een microprocessor van het type Z80.
- figuur 12/7.8-49:
Voorbeeld-schakeling van een programmeerbare venster-discriminator. De schakeling bepaalt of de analoge spanning die aan de terugkoppelingangen van de DAC's wordt aangelegd wel of niet binnen de grenzen blijft die digitaal in de twee DAC-latches zijn geprogrammeerd. Het comparatorbereik loopt van 0 V tot $-U_{REF}$. Als de te vergelijken spanning buiten de grenzen valt zal de uitgangsspanning van de schakeling "L" worden.
- figuur 12/7.8-50:
Voorbeeld-schakeling van een digitaal programmeerbare analoge verzwakker. De schakeling kan gebruikt worden als digitaal stuurbare audio-verzwakker in LF-apparatuur of als niveau-bewaker in digitale telefonie-schakelingen. De tabel geeft het verband tussen de digitale code die in de DAC-latches werd geprogrammeerd en de signaalverzwakking in dB.
- figuur 12/7.8-51:
Voorbeeld-schakeling van een universele digitaal stuurbare filterconfiguratie. De schakeling heeft laagdoorlaat-, hoogdoorlaat- en banddoorlaat-uitgangen en kan worden toegepast daar waar analoge signalen door middel van microprocessor-bestuurde systemen worden beïnvloed.

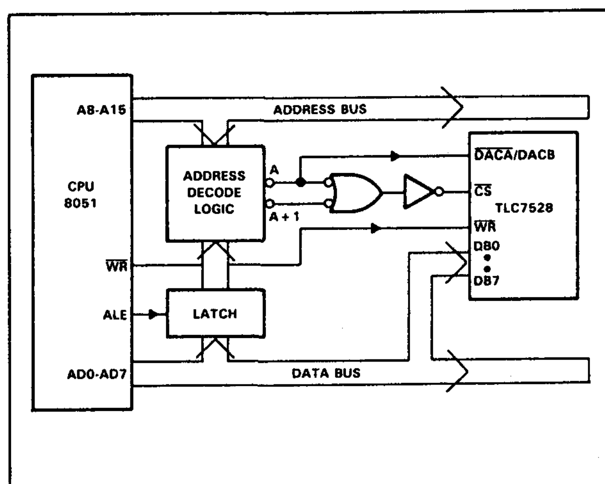
DACA1 en DACB1 controleren de versterking en de kwaliteitsfactor van het filter, terwijl DACA2 en DACB2 de afsnijfrequenties beïnvloeden.

De filterfrequentie wordt bepaald door de formule $f_C = 1 / [2 . \pi . R1 . C1]$
Het frequentiebereik loopt van 0 tot 15 kHz, terwijl de kwaliteitsfactor instelbaar is tussen 0,3 tot 4,5.

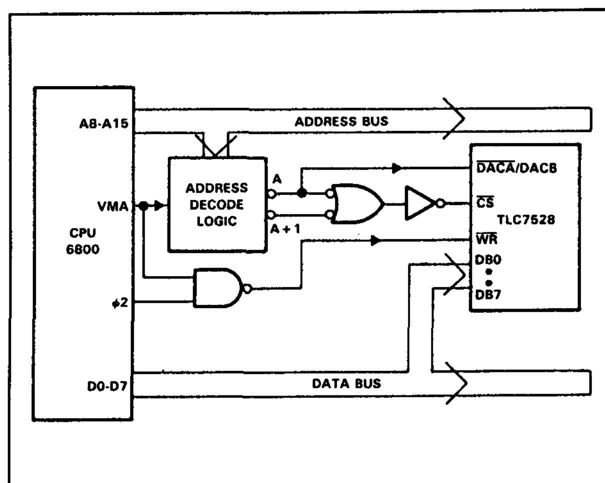
De equivalente weerstand van de DAC wordt bepaald door de formule:

$$R_{DAC} = \frac{256 . DAC_{ladderweerstand}}{DAC_{digitale\ code}}$$

De condensatoren C3 moeten worden aangepast aan de versterking.bandbreedte producten van de toegepaste operationele versterkers.

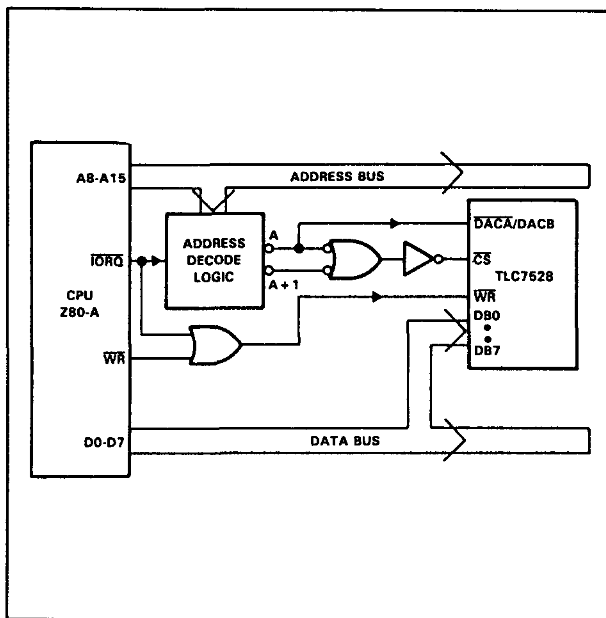


Figuur 12/7.8-46: Interfacing tussen een TLC 7528 en een 8051 CPU.



Figuur 12/7.8-47: Interfacing tussen een TLC 7528 en een 6800 CPU.

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-48: Interfacing tussen een TLC 7528 en een Z80 CPU.

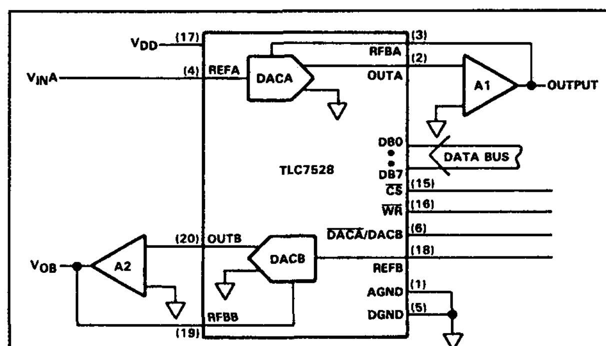
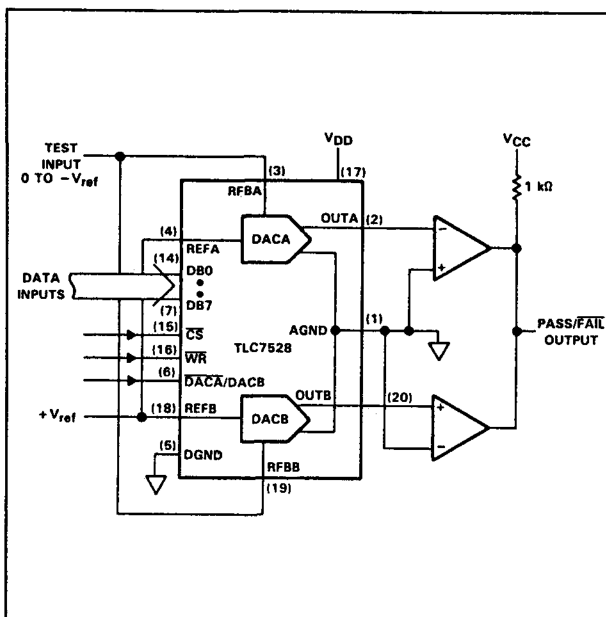


FIGURE 9. DIGITALLY CONTROLLED DUAL TELEPHONE ATTENUATOR

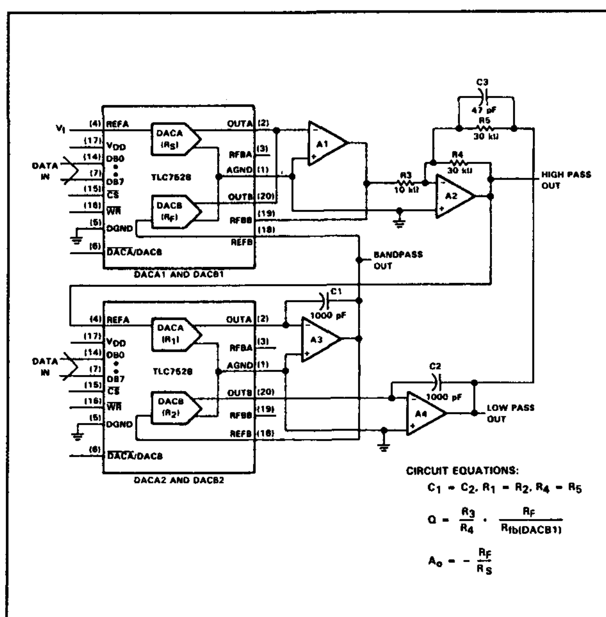
TABLE 3. ATTENUATION vs DACA, DACB CODE

ATTN(dB)	DAC INPUT CODE	CODE IN DECIMAL	ATTN(dB)	DAC INPUT CODE	CODE IN DECIMAL
0	11111111	255	8.0	01100110	102
0.5	11110010	242	8.5	01100000	96
1.0	11100100	228	9.0	01011011	91
1.5	11010111	215	9.5	01010110	86
2.0	11001011	203	10.0	01010001	81
2.5	11000000	192	10.5	01001100	76
3.0	10110101	181	11.0	01001000	72
3.5	10101011	171	11.5	01000100	68
4.0	10100010	162	12.0	01000000	64
4.5	10011000	152	12.5	00111101	61
5.0	10010000	144	13.0	00111001	57
5.5	10001000	136	13.5	00110110	54
6.0	10000000	128	14.0	00110011	51
6.5	01111001	121	14.5	00110000	48
7.0	01110010	114	15.0	00101110	46
7.5	01101100	108	15.5	00101011	43

Figuur 12/7.8-50: Digitaal programmeerbare analoge verzwakker.



Figuur 12/7.8-49: Digitaal programmeerbare venster-discriminator.



Figuur 12/7.8-51: Digitaal programmeerbare universele filter-configuratie.

7.8 Type-beschrijving tweevoudige DAC'S

AD 7537

2 x 12 bit, 1,5 μs, I-uitgang

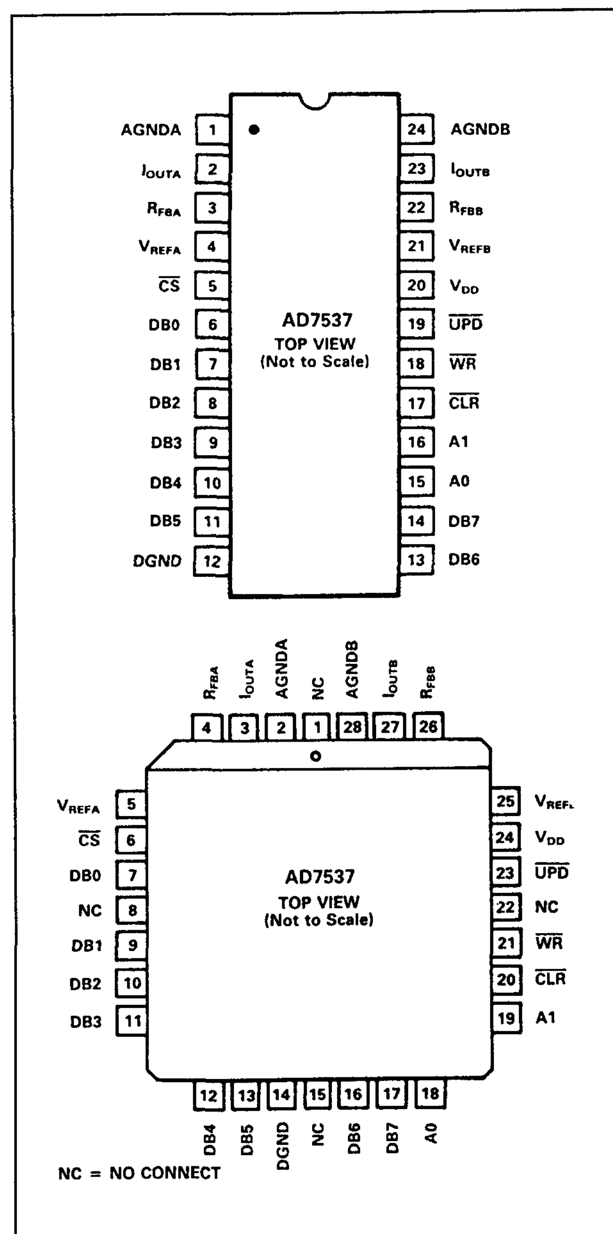
Een microprocessor-compatibele 2 x 12 bit omzetter met stroomuitgang en twee individuele referentie-ingangen. De schakeling verwerkt woorden van 8 bit die in twee write-cycli worden ingelezen.
Iedere DAC heeft dubbele registers, een 8 + 4 bit register aan de ingang en een 12 bit register voor de DAC. Door deze volledig individuele dubbele buffering is het mogelijk beide DAC's gelijktijdig te updaten.
De schakeling heeft een $\overline{CLR}$-ingang, waarmee het mogelijk is alle registers leeg te maken. Dit kan handig zijn voor het opnemen van software-gestuurde kalibratie-routines.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-24, PLCC
- aansluitgegevens: figuur 12/7.8-52
- intern blokschema: figuur 12/7.8-53
- voedingsspanning: +10,8 V min, +16,5 V max.
- voedingsstroom: +2 mA max.
- aantal bits: 2 x 12
- parallel/serieel: parallel
- niet-lineariteit: figuur 12/7.8-54
- temp-coëf.: +/-5 ppm/°C
- settling-tijd: 1,5 μs
- externe referentie: +/-25 V max.
- glitch-energie: 7 nV.s
- kanaalseparatie: -84 dB
- uitgangscapaciteit: 70 tot 140 pF

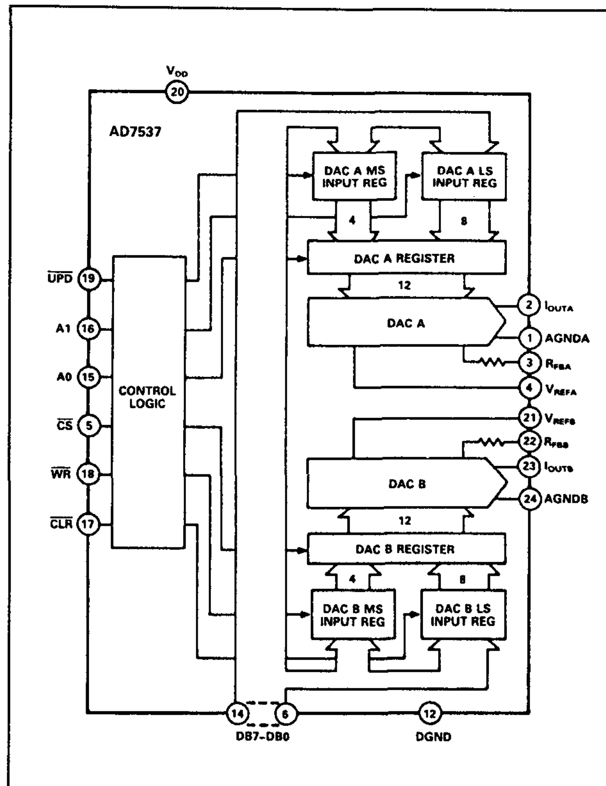
Werkingsprincipe

Het laden van de gegevens is afgestemd op een microprocessor met een 8 bit brede data-bus. De input-latch is onderverdeeld in een 8-bit brede latch en een 4-bit brede latch die de MSB-bits bevat. De gegevens uit deze latches worden getransporteerd naar de DAC-latch en het zijn deze gegevens die de analoge uitgangsspanning bepalen.
De signalen $\overline{CS}$, $\overline{WR}$, A0, A1 en $\overline{UPD}$ controleren de manier waarop de digitale gegevens in de ingangs- en DAC-latches worden geladen. De waarheidstabel van deze acties is gegeven in figuur 12/7.8-55. Gegevens worden in de ingangs-latches geladen als $\overline{CS}$ en $\overline{WR}$ "L" zijn. De gegevens worden overgebracht naar de DAC-latches als $\overline{UPD}$ "L" wordt. De twee adres-lijnen A0 en A1 bepalen welke ingangs-latch wordt geladen. De timing van de AD 7537 is gegeven in figuur 12/7.8-56.



Figuur 12/7.8-52: Aansluitgegevens van de AD 7537.

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-53: Intern blokschema van de AD 7537.

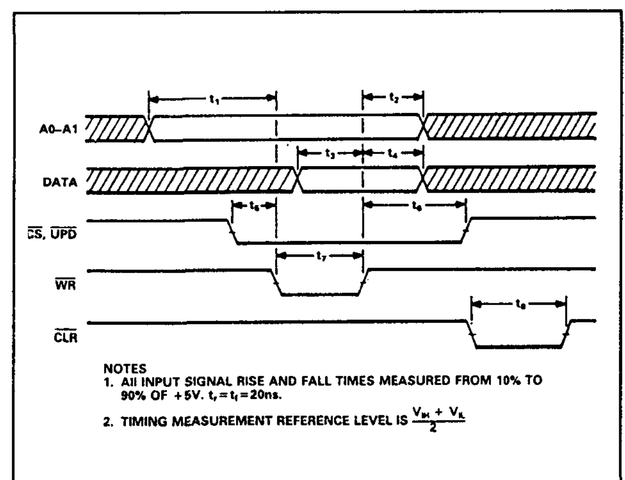
De schakeling verwerkt woorden van 12 bit die in één write-cyclus worden ingelezen. Iedere DAC heeft een eigen 12 bit register en een eigen $\overline{CS}$-signaal. Het IC heeft echter een gemeenschappelijke $\overline{WR}$-ingang voor beide deelschakelingen.

$\overline{CLR}$	$\overline{UPD}$	$\overline{CS}$	$\overline{WR}$	A1	A0	FUNCTION
1	1	1	X	X	X	No Data Transfer
1	1	X	1	X	X	No Data Transfer
0	X	X	X	X	X	All Registers Cleared
1	1	0	0	0	0	DAC A LS Input Register Loaded with DB7-DB0 (LSB)
1	1	0	0	0	1	DAC A MS Input Register Loaded with DB3 (MSB)-DB0
1	1	0	0	1	0	DAC B LS Input Register Loaded with DB7-DB0 (LSB)
1	1	0	0	1	1	DAC B MS Input Register Loaded with DB3 (MSB)-DB0
1	0	1	0	X	X	DAC A, DAC B Registers Updated Simultaneously from Input Registers
1	0	0	0	X	X	DAC A, DAC B Registers are Transparent

Figuur 12/7.8-55: De waarheidstabel van de AD 7537.

Relative Accuracy T_{min}–T_{max}	Gain Error T_{min}–T_{max}	Temperature Range and Package Options[3] 0 to +70°C	−25°C to +85°C	−55°C to +125°C
		Plastic DIP (N-24)	Hermetic (Q-24)	Hermetic (Q-24)
±1LSB	±6LSB	AD7537JN	AD7537AQ	AD7537SQ
±1/2LSB	±3LSB	AD7537KN	AD7537BQ	AD7537TQ
±1/2LSB	±1LSB	AD7537LN	AD7537CQ	
±1/2LSB	±2LSB			AD7537UQ
		PLCC[4] (P-28A)		LCCC[5] (E-28A)
±1LSB	±6LSB	AD7537JP		AD7537SE
±1/2LSB	±3LSB	AD7537KP		AD7537TE
±1/2LSB	±1LSB	AD7537LP		
±1/2LSB	±2LSB			AD7537UQ

Figuur 12/7.8-54: Niet-lineariteit van de verschillende versies van de AD 7537.



Figuur 12/7.8-65: De timing van de AD 7537.

AD 7547

2 x 12 bit, 1,5 µs, I-uitgang

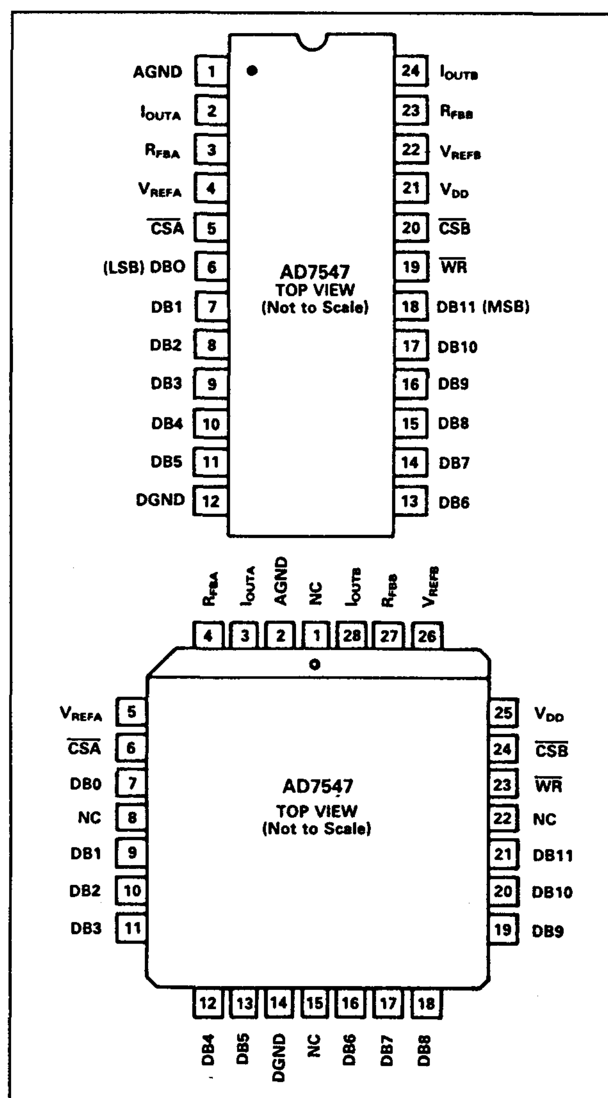
Een microprocessor-compatibele 2 x 12 bit omzetter met stroomuitgang en twee individuele referentie-ingangen.

Technische gegevens

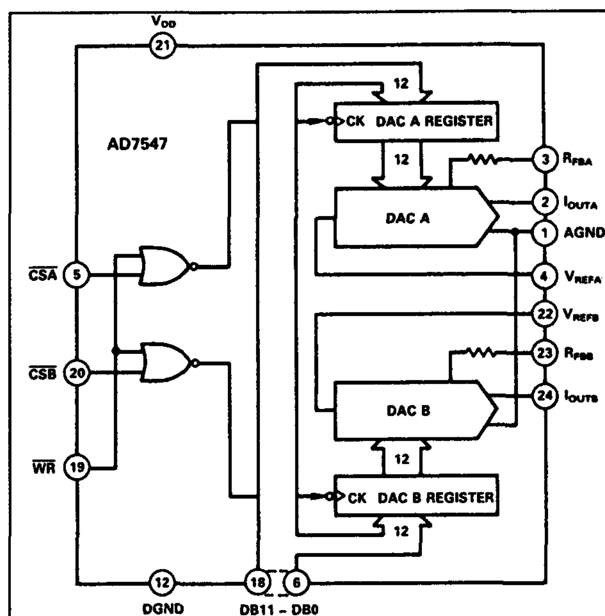
- fabrikant: Analog Devices
- behuizing: DIL-24, PLCC
- aansluitgegevens: figuur 12/7.8-57
- intern blokschema: figuur 12/7.8-58

7.8 Type-beschrijving tweevoudige DAC'S

- voedingsspanning: +10,8 V min, +16,5 V max.
- voedingsstroom: +2 mA max.
- aantal bits: 2 x 12
- parallel/serieel: parallel
- niet-lineariteit: figuur 12/7.8-59
- temp-coëf.: +/-5 ppm/°C
- settling-tijd: 1,5 µs
- externe referentie: +/-25 V max.
- glitch-energie: 7 nV.s
- kanaalseparatie: -84 dB
- uitgangscapaciteit: 70 tot 140 pF



Figuur 12/7.8-57: Aansluitgegevens van de AD 7547.



Figuur 12/7.8-58: Intern blokschema van de AD 7546.

Relative Accuracy T_{min} to T_{max}	Gain Error T_{min} to T_{max}	Temperature Range and Package Options[3]		
		−40°C to +85°C Plastic DIP (N-24)	−40°C to +85°C Hermetic (Q-24)	−55°C to +125°C Hermetic (Q-24)
±1LSB	±6LSB	AD7547JN	AD7547AQ	AD7547SQ
±1/2LSB	±3LSB	AD7547KN	AD7547BQ	AD7547TQ
±1/2LSB	±1LSB	AD7547LN	AD7547CQ	
±1/2LSB	±2LSB			AD7547UQ
		PLCC[4] (P-28A)		LCCC[5] (E-28A)
±1LSB	±6LSB	AD7547JP		AD7547SE
±1/2LSB	±3LSB	AD7547KP		AD7547TE
±1/2LSB	±1LSB	AD7547LP		
±1/2LSB	±2LSB			AD7547UQ

Figuur 12/7.8-59: Niet-lineariteit van de verschillende versies van de AD 7547.

Werkingsprincipe

Het laden van de gegevens is afgestemd op een microprocessor met een 12 of 16 bit brede data-bus. De gegevens op deze data-bus worden getransporteerd naar de DAC-latches op de stijgende flank van het $\overline{WR}$-signaal.

De DAC-latch wordt geselecteerd door het "H" maken van het respectievelijke $\overline{CS}$-signaal.

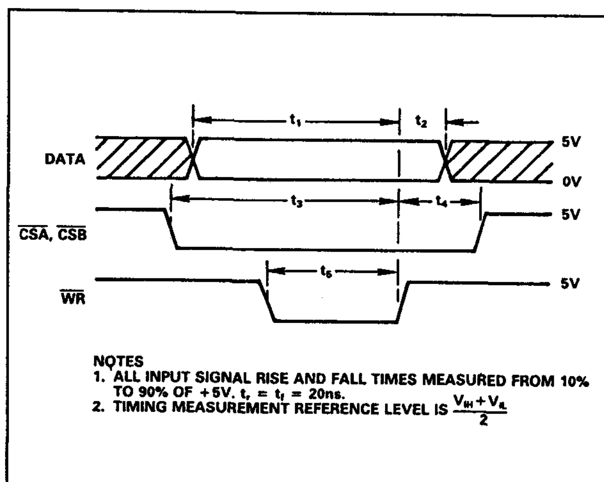
7.8 Type-beschrijving tweevoudige DAC'S

De waarheidstabel van de AD 7547 is gegeven in figuur 12/7.8-60, terwijl de timing van de AD 7547 is gegeven in figuur 12/7.8-61.

$\overline{CSA}$	$\overline{CSB}$	$\overline{WR}$	FUNCTION
X	X	1	No Data Transfer
1	1	X	No Data Transfer
↑	↑	0	A Rising Edge on $\overline{CSA}$ or $\overline{CSB}$ Loads Data to the Respective DAC from the Data Bus
0	1	↑	DAC A Register Loaded from Data Bus
1	0	↑	DAC B Register Loaded from Data Bus
0	0	↑	DAC A and DAC B Registers Loaded from Data Bus

NOTES
1. X = Don't care
2. ↑ means rising edge triggered

Figuur 12/7.8-60: De waarheidstabel van de AD 7547.



Figuur 12/7.8-61: De timing van de AD 7547.

AD 7549

2 x 12 bit, 1,5 µs, I-uitgang

Een microprocessor-compatibele 2 x 12 bit omzetter met stroomuitgang en twee individuele referentie-ingangen. De schakeling verwerkt woorden van 4 bit die in drie write-cycli worden ingelezen.
Iedere DAC heeft drie 4 bit brede ingangsregisters en een eigen 12 bit DAC-register.

De besturing volgt uit de microprocessor-compatibele signalen $\overline{CS}$, $\overline{WR}$, CLR en de register-selectie signalen A0, A1 en A2. Beide schakelingen kunnen in een keer geupdated worden met behulp van het $\overline{UPD}$-signaal.

Technische gegevens

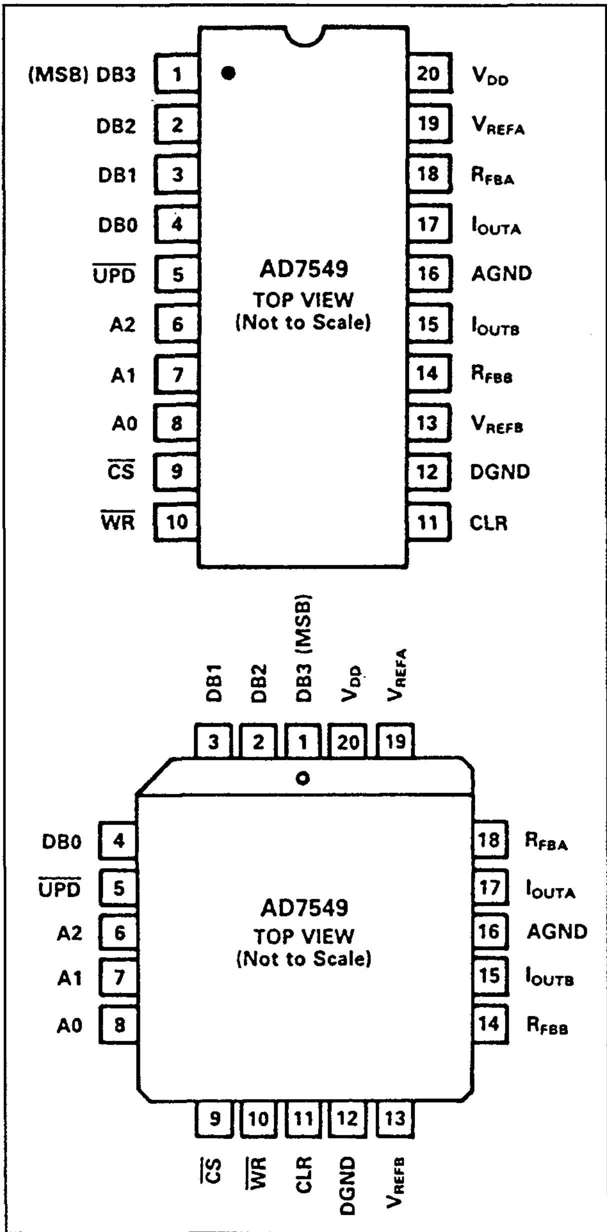
- fabrikant: Analog Devices
- behuizing: DIL-20, PLCC
- aansluitgegevens: figuur 12/7.8-62
- intern blokschema: figuur 12/7.8-63
- voedingsspanning: +17 V max.
- voedingsstroom: +5 mA max.
- aantal bits: 2 x 12
- parallel/serieel: parallel
- niet-lineariteit: figuur 12/7.8-64
- temp-coëf.: +/-5 ppm/°C
- settling-tijd: 1,5 µs
- externe referentie: +/-25 V max.
- glitch-energie: 10 nV.s
- kanaalseparatie: -62 dB
- uitgangscapaciteit: 80 tot 160 pF

Werkingsprincipe

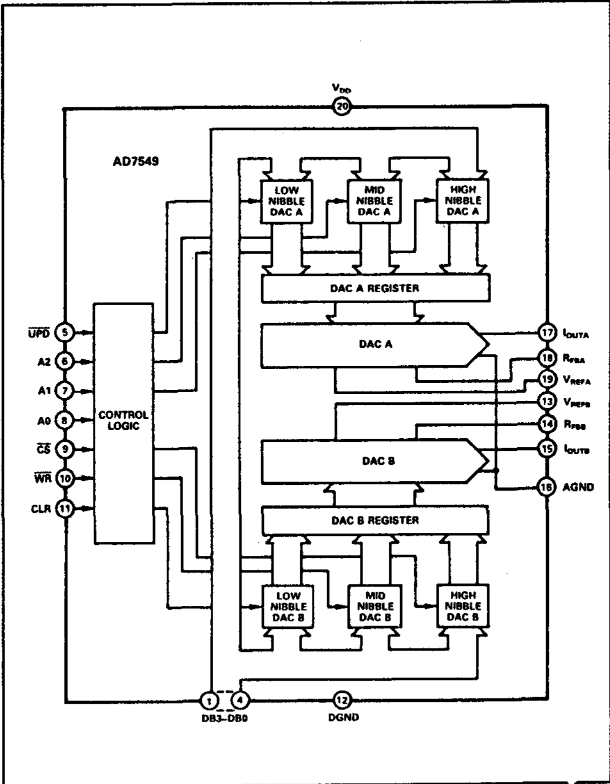
Het laden van de gegevens is afgestemd op een microprocessor met een 4 bit brede data-bus.
De drie 4 bit brede nibbles worden in drie schrijf-cycli naar de drie ingangs-latches overgebracht door middel van de selectielijnen A0, A1 en A2 en de microprocessorlijnen $\overline{CS}$ en $\overline{WR}$.
Nadien kunnen de gegevens van de ingangs-latches naar de 12 bit brede DAC-latches worden overgebracht met behulp van het $\overline{UPD}$-signaal. Dit signaal werkt in op beide DAC's.

De waarheidstabel van de AD 7549 is gegeven in figuur 12/7.8-65, terwijl de timing van de AD 7547 is gegeven in figuur 12/7.8-66.

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-62: Aansluitgegevens van de AD 7549.



Figuur 12/7.8-63: Intern blokschema van de AD 7549.

Relative Accuracy T_{min} to T_{max}	Full-Scale Error T_{min} to T_{max}	Temperature Range and Package Options[2]		
		0 to +70°C	−25°C to +85°C	−55°C to +125°C
		Plastic DIP (N-20)	Hermetic (D-20)	Hermetic (D-20)
±1LSB	±6LSB	AD7549JN	AD7549AD	AD7549SD
±1/2LSB	±3LSB	AD7549KN	AD7549BD	AD7549TD
		PLCC[3] (P-20A)		LCCC[4] (E-20A)
±1LSB	±6LSB	AD7549JP		AD7549SE
±1/2LSB	±3LSB	AD7549KP		AD7549TE

NOTES
[1]To order MIL-STD-883, Class B processed parts, add/883B to part number. Contact your local sales office for military data sheet.
[2]See Section 14 for package outline information.
[3]PLCC: Plastic Leaded Chip Carrier.
[4]LCCC: Leadless Ceramic Chip Carrier.

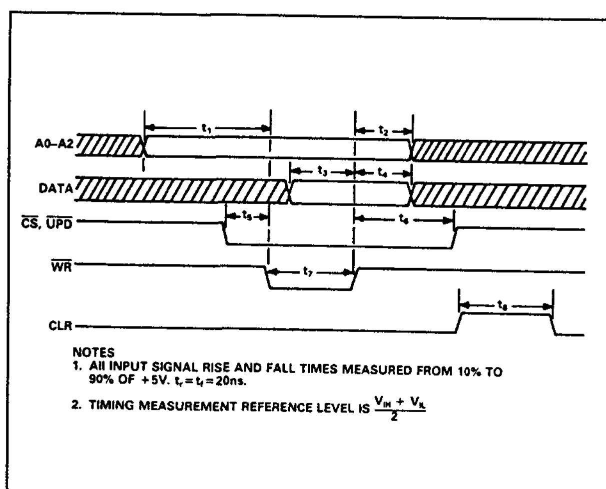
Figuur 12/7.8-64: Niet-lineariteit van de verschillende versies van de AD 7549.

7.8 Type-beschrijving tweevoudige DAC'S

CLR	$\overline{UPD}$	$\overline{CS}$	$\overline{WR}$	A2	A1	A0	FUNCTION
0	X	X	1	X	X	X	No data transfer.
0	1	1	X	X	X	X	No data transfer.
1	X	X	X	X	X	X	All registers cleared.
0	1	0	⊔	0	0	0	DAC A LOW NIBBLE REGISTER loaded from Data Bus.
0	1	0	⊔	0	0	1	DAC A MID NIBBLE REGISTER loaded from Data Bus.
0	1	0	⊔	0	1	0	DAC A HIGH NIBBLE REGISTER loaded from Data Bus.
0	1	0	⊔	0	1	1	DAC A Register loaded from Input Registers.
0	1	0	⊔	1	0	0	DAC B LOW NIBBLE REGISTER loaded from Data Bus.
0	1	0	⊔	1	0	1	DAC B MID NIBBLE REGISTER loaded from Data Bus.
0	1	0	⊔	1	1	0	DAC B HIGH NIBBLE REGISTER loaded from Data Bus.
0	1	0	⊔	1	1	1	DAC B Register loaded from Input Registers.
0	0	1	⊔	X	X	X	DAC A, DAC B Registers updated simultaneously from Input Registers.

NOTE: X = Don't Care

Figuur 12/7.8-65: De waarheidstabel van de AD 7549.

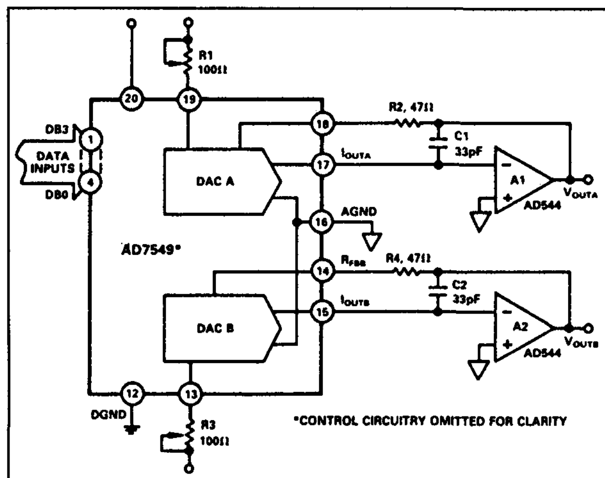


Figuur 12/7.8-66: De timing van de AD 7549.

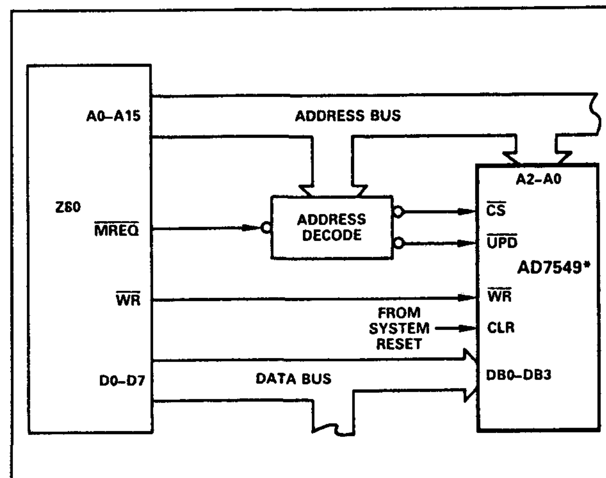
Voorbeeld-schakelingen

– figuur 12/7.8-67:
Standaard-schakeling voor unipolaire werking.
De condensatoren C1 en C2 verzorgen de fase-compensatie van de operationele versterkers en verkleinen de overshoot op het analoge uitgangssignaal.
De schakeling levert voor ingangscode "H-H-H-H-H-H-H-H-H-H-H-H" een maximale negatieve uitgangsspanning gelijk aan de absolute waarde van de referentiespanning en voor code "L-L-L-L-L-L-L-L-L-L-L-L" een uitgangsspanning van 0 V. Met de trimmers R1 en R3 kan in het eerste geval de volle schaalwaarde van de DAC's worden afgeregeld.
Met de (niet getekende) offset-compensatie van de operationele versterkers kan in het tweede geval de uitgangsspanning op 0 V worden afgeregeld.
– figuur 12/7.8-68:
Basis-schakeling voor bipolaire werking
Door middel van twee extra operationele versterkers wordt uit de referentiespanning een offset afgeleid waardoor het uitgangsbereik zo verschoven wordt dat de schakelingen symmetrisch werken.
Dat wil zeggen dat als alleen het MSB "H" is en de overige bits "L" zijn de uitgangsspanning gelijk moet zijn aan 0 V.
Dit wordt afgeregeld met de trimmers R1 en R3.
Voor code "H-H-H-H-H-H-H-H-H-H-H-H" levert de schakeling een maximale positieve spanning af die gelijk is aan de waarde van de referentie-spanning. Voor code "L-L-L-L-L-L-L-L-L-L-L-L" is de uitgangsspanning gelijk aan dezelfde absolute waarde, maar dan negatief.
– figuur 12/7.8-69:
Basis-schema voor het interfacen van een AD 7549 met een Z80 microprocessor.
– figuur 12/7.8-70:
Basis-schema voor het interfacen van een AD 7549 met een 8085 microprocessor. Alleen de vier laagste bits van de data-bus worden gebruikt.
De adresdecoder levert de CS- en $\overline{UPD}$-signalen uit de adresbus van de processor.
De adreslijnen A0, A1 en A2 leveren de selectiesignalen voor de zes ingangs-latches.
– figuur 12/7.8-71:
Basis-schema voor het interfacen van een AD 7549 met een 6809 microprocessor van Motorola.
Het $\overline{WR}$-signaal wordt afgeleid uit de clock van de processor.
– figuur 12/7.8-72:
Basis-schema voor het interfacen van een AD 7549 op een 8048 microprocessor.

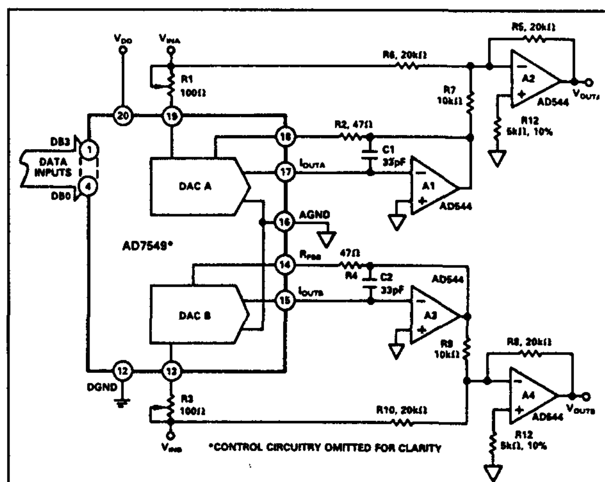
7.8 Type-beschrijving tweevoudige DAC'S



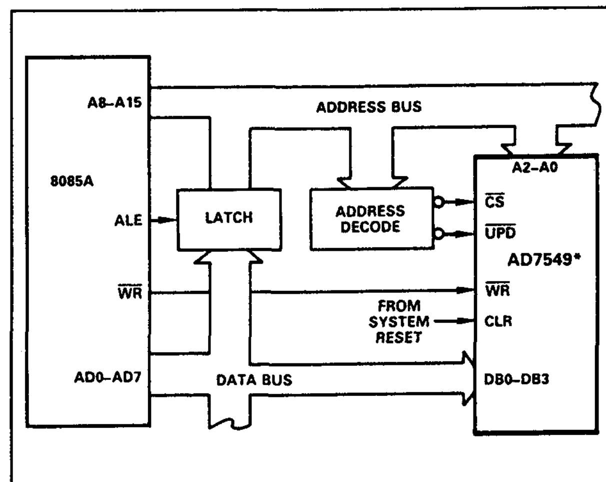
Figuur 12/7.8-67: Basis-schakeling voor unipolaire uitgang bij de AD 7549.



Figuur 12/7.8-69: Interfacing tussen een AD 7549 en een Z80 CPU.

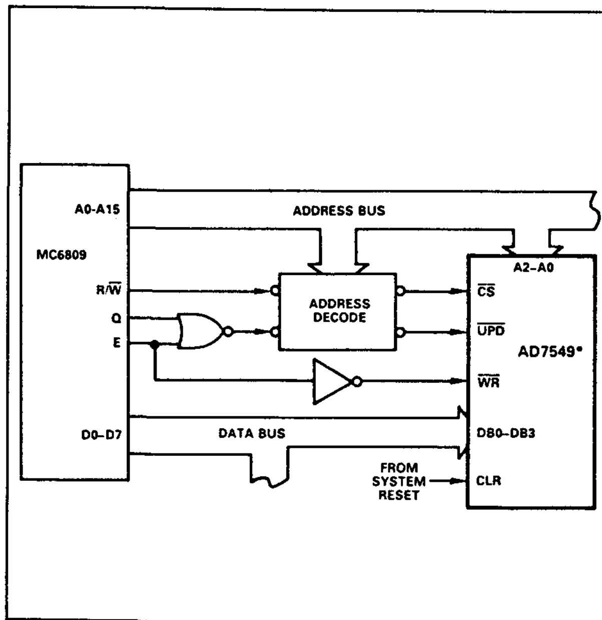


Figuur 12/7.8-68: Basis-schakeling voor bipolaire uitgang bij een AD 7549.

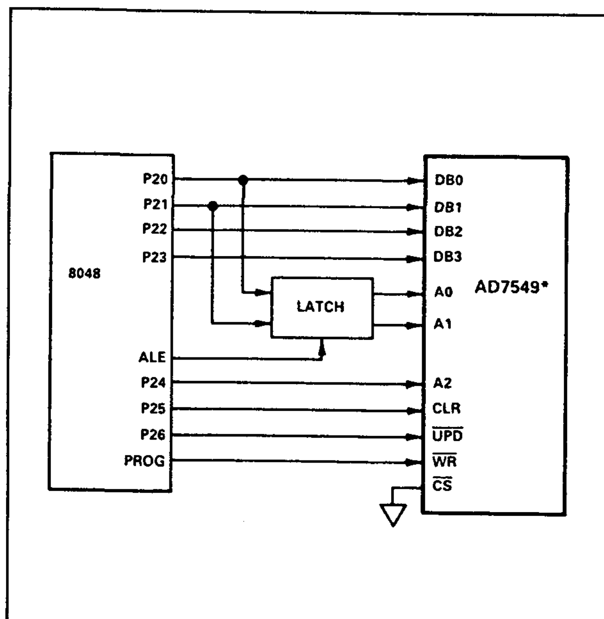


Figuur 12/7.8-70: Interfacing tussen een AD 7549 en een 8085 CPU.

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-71: Interfacing tussen een AD 7549 en een 6809 CPU.



Figuur 12/7.8-72: Interfacing tussen een AD 7549 en een 8048 CPU.

AD 7628

2 x 8 bit, 400 ns, I-uitgang

Een microprocessor-compatibele 2 x 8 bit omzetter met stroomuitgang en twee individuele referentie-ingangen.
De schakeling verwerkt woorden van 8 bit in een write-cyclus.
De schakeling heeft een gemeenschappelijke 8 bit brede ingangsbuffer, terwijl iedere DAC een eigen 8 bit DAC-register heeft.
De besturing volgt uit de microprocessor-compatibele signalen $\overline{CS}$, $\overline{WR}$ en $\overline{DACA}$/DACB.

Technische gegevens

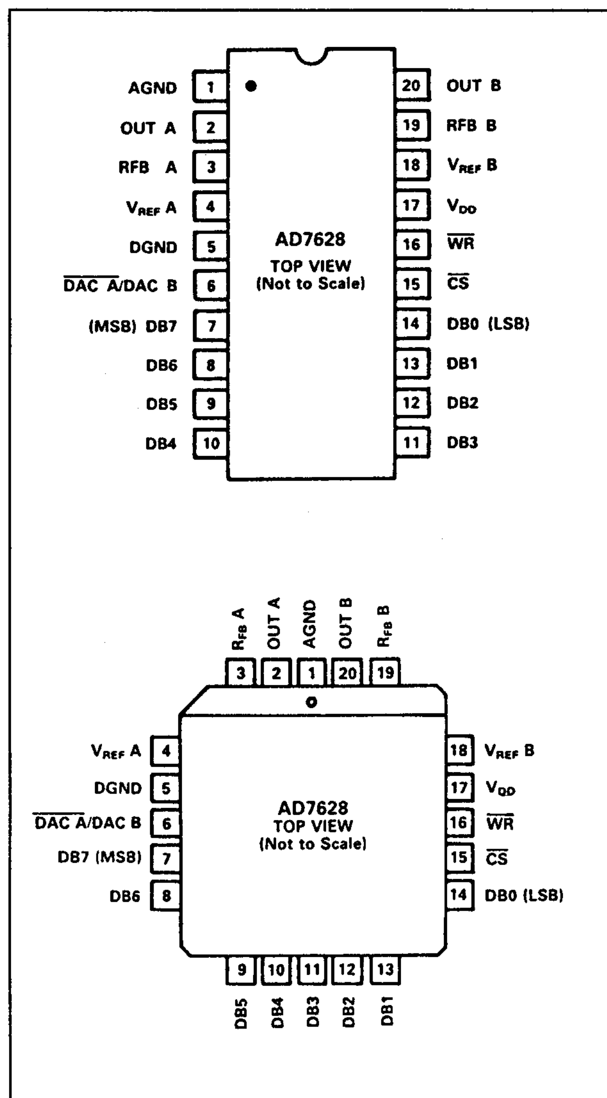
- fabrikant: Analog Devices
- behuizing: DIL-20, PLCC
- aansluitgegevens: figuur 12/7.8-73
- intern blokschema: figuur 12/7.8-74
- voedingsspanning: +17 V max.
- voedingsstroom: +2,5 mA max.
- aantal bits: 2 x 8
- parallel/serieel: parallel
- niet-lineariteit: figuur 12/7.8-75
- temp-coëf.: +/-0,0035 %/°C
- settling-tijd: 400 ns
- externe referentie: +/-25 V max.
- glitch-energie: 330 nV.s
- kanaalseparatie: -80 dB
- uitgangscapaciteit: 25 tot 60 pF

Werkingsprincipe

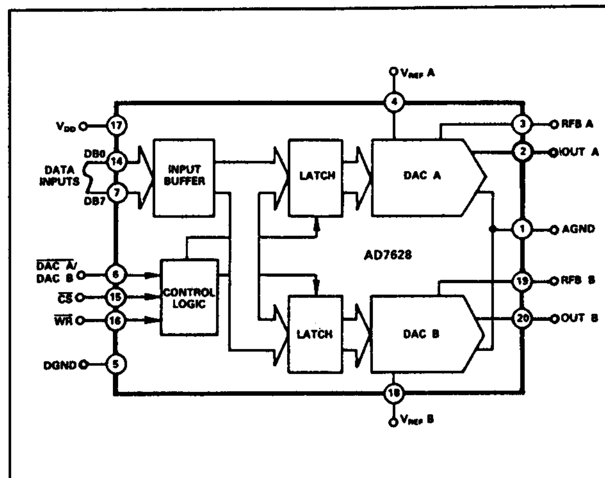
Het laden van de gegevens is afgestemd op een microprocessor met een 8 bit brede data-bus.
Het controle-signaal $\overline{DACA}$/DACB bepaalt welke latch wordt geladen met de ingangsgegevens.
Het laadproces is volledig analoog aan dat voor het schrijven van gegevens naar een RAM-geheugen met behulp van de $\overline{CS}$- en $\overline{WR}$-signalen, zodat interfacing van de AD 7628 op een microprocessor zeer eenvoudig is.

De waarheidstabel van de AD 7628 is gegeven in figuur 12/7.8-76, terwijl de timing van het IC volgt uit figuur 12/7.8-77.

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-73: Aansluitgegevens van de AD 7628.



Figuur 12/7.8-74: Intern blokschema van de AD 7628.

Relative Accuracy	Gain Error $T_A = +25°C$	Temperature Range and Package Options[2,3] 0 to +70°C	−25°C to +85°C	−55°C to +125°C
		Plastic DIP (N-20)	Hermetic (Q-20)	Hermetic (Q-20)
± 1/2LSB	± 2LSB	AD7628KN	AD7628BQ	AD7628TQ
		PLCC[4] (P-20A)		LCCC[5] (E-20A)
± 1/2LSB	± 2LSB	AD7628KP		AD7628TE

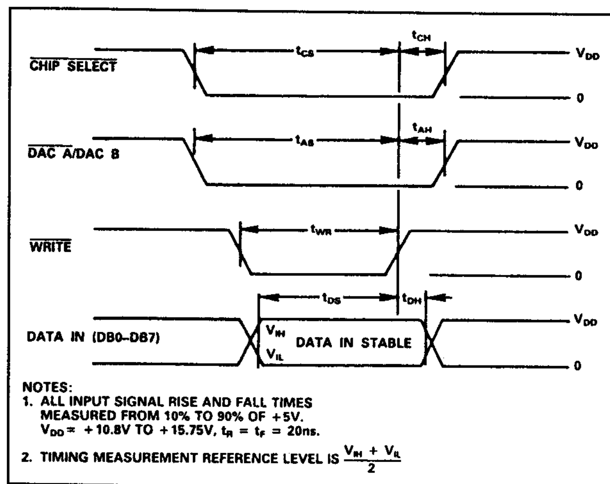
Figuur 12/7.8-75: Niet-lineariteit van de verschillende versies van de AD 7628.

$\overline{\text{DAC A}}$/DAC B	$\overline{\text{CS}}$	$\overline{\text{WR}}$	DAC A	DAC B
L	L	L	WRITE	HOLD
H	L	L	HOLD	WRITE
X	H	X	HOLD	HOLD
X	X	H	HOLD	HOLD

L = Low State H = High State X = Don't Care

Figuur 12/7.8-76: De waarheidstabel van de AD 7628.

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-77: De timing van de AD 7628.

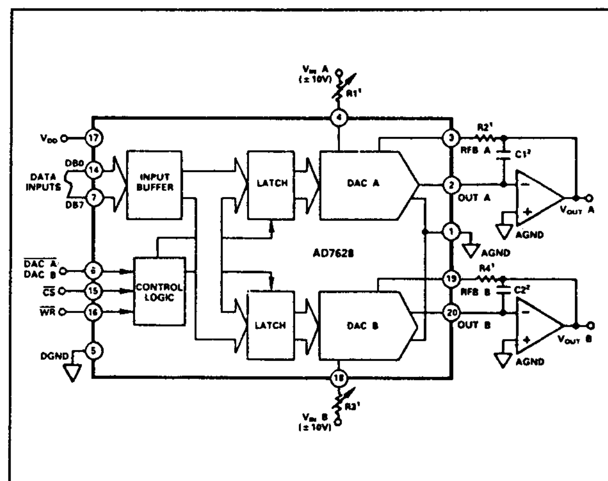
Voorbeeld-schakelingen

- figuur 12/7.8-78:

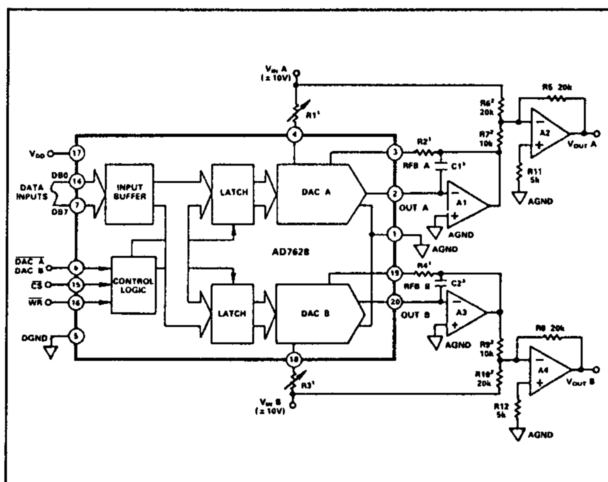
Standaard-schakeling voor unipolaire werking. De condensatoren C1 en C2 verzorgen de fase-compensatie van de operationele versterkers en verkleinen de overshoot op het analoge uitgangssignaal. De schakeling levert voor ingangscode "H-H-H-H-H-H-H-H" een maximale negatieve uitgangsspanning gelijk aan de absolute waarde van de referentiespanning en voor code "L-L-L-L-L-L-L-L" een uitgangsspanning van 0 V. Met de trimmers R1 en R3 kan in het eerste geval de volle schaalwaarde van de DAC's worden afgeregeld. Met de (niet getekende) offset-compensatie van de operationele versterkers kan in het tweede geval de uitgangsspanning op 0 V worden afgeregeld.

- figuur 12/7.8-79:

Basis-schakeling voor bipolaire werking. Door middel van twee extra operationele versterkers wordt uit de referentiespanning een offset afgeleid waardoor het uitgangsbereik zo verschoven wordt dat de schakelingen symmetrisch werken. Dat wil zeggen dat als alleen het MSB "H" is en de overige bits "L" zijn de uitgangsspanning gelijk moet zijn aan 0 V. Dit wordt afgeregeld met de trimmers R1 en R3. Voor code "H-H-H-H-H-H-H-H" levert de schakeling een maximale positieve spanning af die gelijk is aan de waarde van de referentie-spanning. Voor code "L-L-L-L-L-L-L-L" is de uitgangsspanning gelijk aan dezelfde absolute waarde, maar dan negatief.



Figuur 12/7.8-78: Basis-schakeling voor unipolaire uitgang bij de AD 7628.



Figuur 12/7.8-79: Basis-schakeling voor bipolaire uitgang bij een AD 7628.

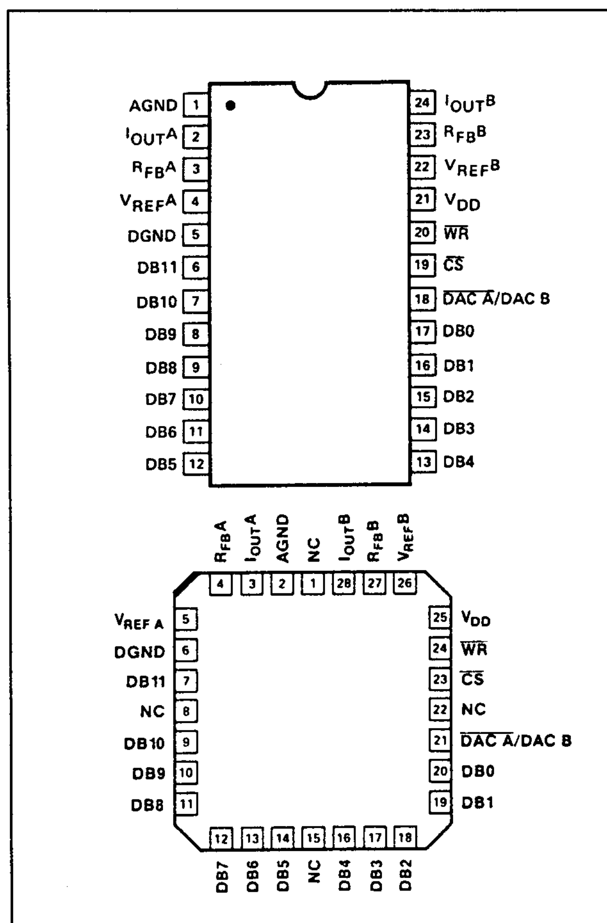
DAC-8212

2 x 12 bit, 1 µs, I-uitgang

Een microprocessor-compatibele 2 x 12 bit omzetter met stroomuitgang en twee individuele referentie-ingangen. De schakeling

7.8 Type-beschrijving tweevoudige DAC'S

verwerkt woorden van 12 bit in een write-cyclus.
De schakeling heeft een gemeenschappelijke 12 bit brede ingangsbuffer, terwijl iedere DAC een eigen 12 bit DAC-register heeft.
De besturing volgt uit de microprocessor-compatibele signalen $\overline{CS}$, $\overline{WR}$ en $\overline{DACA}$/DACB.



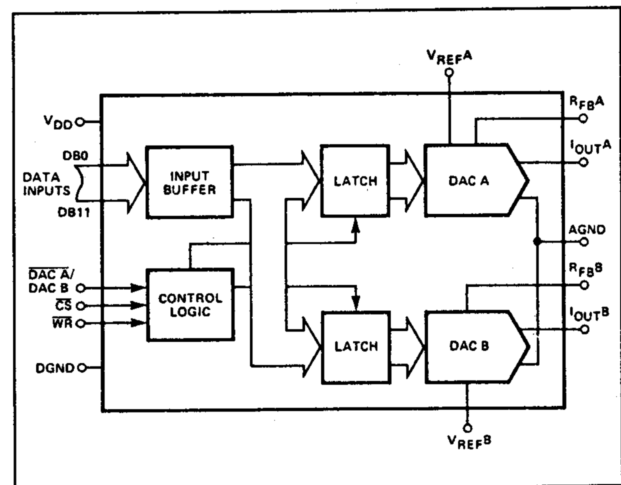
Figuur 12/7.8-80: Aansluitgegevens van de DAC-8212.

Technische gegevens

- fabrikant: PMI
- behuizing: DIL-24, PLCC
- aansluitgegevens: figuur 12/7.8-80
- intern blokschema: figuur 12/7.8-81
- voedingsspanning: +17 V max.
- voedingsstroom: +2 mA max.
- aantal bits: 2 x 12
- parallel/serieel: parallel
- niet-lineariteit: figuur 12/7.8-82
- temp-coëf.: +/-5 ppm/°C
- settling-tijd: 1 µs
- externe referentie: +/-25 V max.
- kanaalseparatie: -70 dB
- uitgangscapaciteit: 90 tot 120 pF

Werkingsprincipe

Het laden van de gegevens is afgestemd op een microprocessor met een 12 of 16 bit brede data-bus.
Het controle-signaal $\overline{DACA}$/DACB bepaalt welke latch wordt geladen met de ingangsgegevens. Het laadproces is volledig analoog aan dat voor het schrijven van gegevens naar een RAM-geheugen met behulp van de $\overline{CS}$- en $\overline{WR}$-signalen, zodat interfacing van de DAC-8212 op een microprocessor zeer eenvoudig is.
De timing van het IC volgt uit figuur 12/7.8-83.



Figuur 12/7.8-81: Intern blokschema van de DAC-8212.

Voorbeeld-schakelingen

- figuur 12/7.8-84:

Standaard-schakeling voor unipolaire werking. De condensatoren C1 en C2 verzorgen de fase-compensatie van de operationele versterkers en verkleinen de overshoot op het analoge uitgangssignaal. De schakeling levert voor ingangscode "H-H-H-H-H-H-H-H-

7.8 Type-beschrijving tweevoudige DAC'S

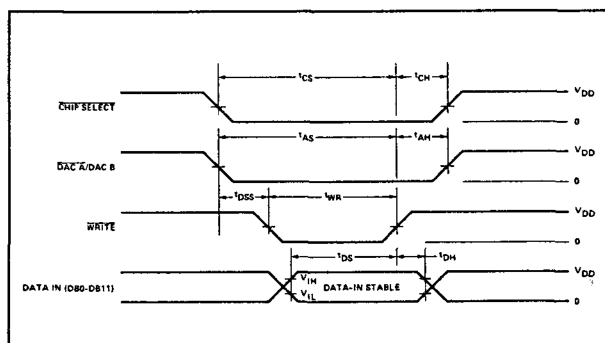
H-H-H-H" een maximale negatieve uitgangsspanning gelijk aan de absolute waarde van de referentiespanning en voor code "L-L-L-L-L-L-L-L-L-L-L-L" een uitgangsspanning van 0 V. Met de trimmers R1 en R3 kan in het eerste geval de volle schaalwaarde van de DAC's worden afgeregeld. Met de (niet getekende) offset-compensatie van de operationele versterkers kan in het tweede geval de uitgangsspanning op 0 V worden afgeregeld.

– figuur 12/7.8-85:
Basis-schakeling voor bipolaire werking. Door middel van twee extra operationele versterkers wordt uit de referentiespanning een offset afgeleid waardoor het uitgangsbereik zo verschoven wordt dat de schakelingen symmetrisch werken. Dat wil zeggen dat als alleen het MSB "H" is en de overige bits "L" zijn de uitgangsspanning gelijk moet zijn aan 0 V. Dit wordt afgeregeld met de trimmers R1 en R3. Voor code "H-H-H-H-H-H-H-H-H-H-H-H" levert de schakeling een maximale positieve spanning af die gelijk is aan de waarde van de referentie-spanning. Voor code "L-L-L-L-L-L-L-L-L-L-L-L" is de uitgangsspanning gelijk aan dezelfde absolute waarde, maar dan negatief.

		PACKAGE		
RELATIVE ACCURACY	GAIN ERROR	MILITARY* TEMPERATURE -55°C to +125°C	INDUSTRIAL TEMPERATURE -25°C to +85°C	COMMERCIAL TEMPERATURE 0°C to +70°C
±1/2 LSB	±2 LSB	DAC8212AV	DAC8212EV	DAC8212GP
±1 LSB	±4 LSB	DAC8212BV	DAC8212FV	DAC8212HP
±1 LSB	±4 LSB	—	—	DAC8212HPC††

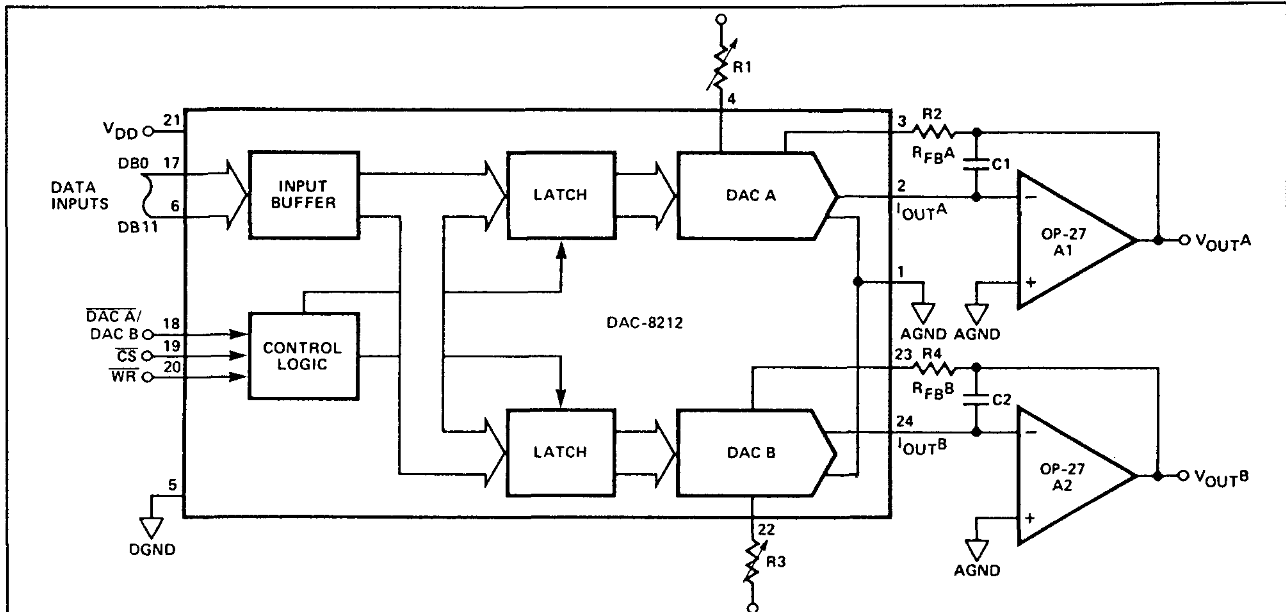
* For devices processed in total compliance to MIL-STD-883, add /883 after part number. Consult factory for 883 data sheet.
† Burn-in is available on commercial and industrial temperature range parts in cerdip, plastic dip, and TO-can packages. For ordering information, see 1988 Data Book, Section 2.
†† For availability and burn-in information on SO and PLCC packages, contact your local sales office.

Figuur 12/7.8-82: Niet-lineariteit van de verschillende versies van de DAC-8212.

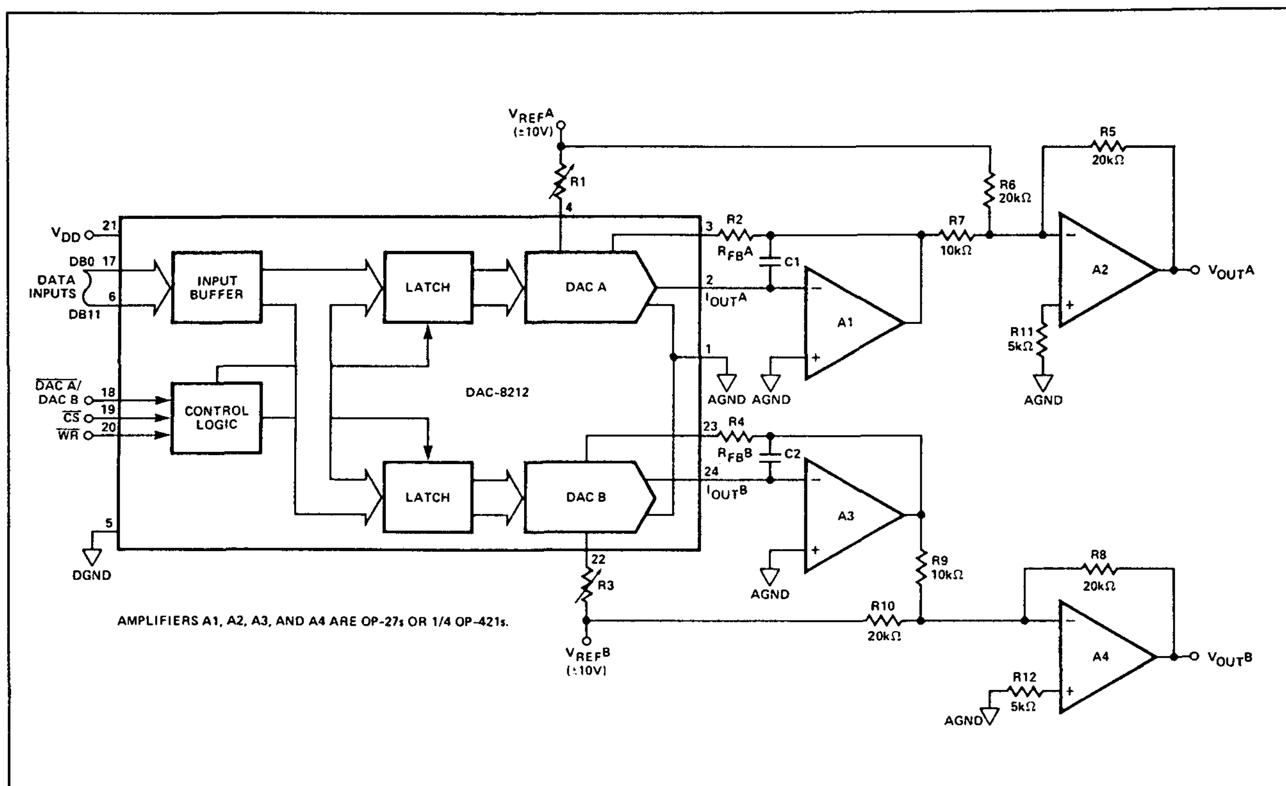


Figuur 12/7.8-83: De timing van de DAC-8212.

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-84: Basis-schakeling voor unipolaire uitgang bij de DAC-8212.



Figuur 12/7.8-85: Basis-schakeling voor bipolaire uitgang bij een DAC-8212.

7.8 Type-beschrijving tweevoudige DAC'S

DAC-8221

2 x 12 bit, 1 µs, I-uitgang

Een microprocessor-compatibele 2 x 12 bit omzetter met stroomuitgang en twee individuele referentie-ingangen.
De schakeling verwerkt woorden van 12 bit in één writecyclus.
De schakeling heeft een gemeenschappelijke 12 bit brede ingangsbuffer, terwijl iedere DAC een eigen 12 bit DAC-register heeft. De besturing volgt uit de microprocessor-compatibele signalen $\overline{CS}$, $\overline{WR}$ en $\overline{DACA}$/DACB.

Dit IC is functie- en pen-compatible met de DAC-8212. Het enige wezenlijke verschil is dat de DAC-8221 is ondergebracht in een DIL-behuizing waarbij de twee rijen pennen slechts 0,3" van elkaar staan.

Technische gegevens

- fabrikant: PMI
- behuizing: DIL-24 smal
- aansluitgegevens: figuur 12/7.8-80
- intern blokschema: figuur 12/7.8-81

Voor de overige gegevens en voorbeeldschakelingen wordt verwezen naar de DAC-8212.

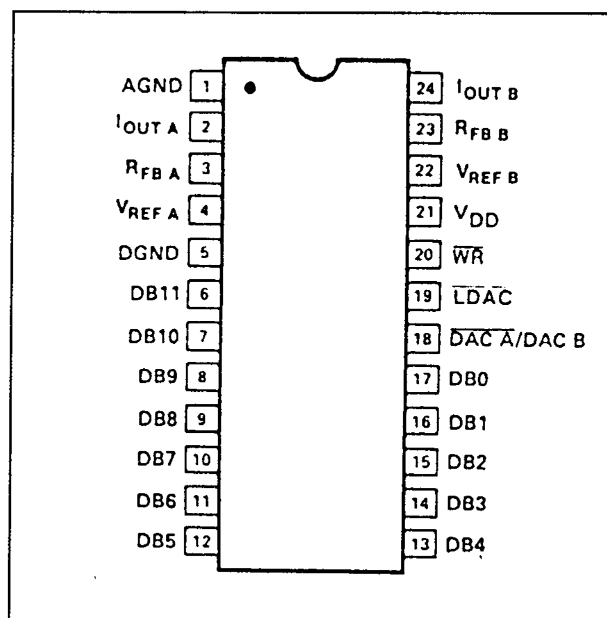
DAC-8222

2 x 12 bit, 1 µs, I-uitgang

Een microprocessor-compatibele 2 x 12 bit omzetter met stroomuitgang en twee individuele referentie-ingangen. De schakeling verwerkt woorden van 12 bit in één writecyclus. Iedere DAC heeft een eigen 12 bit brede ingangsbuffer en een eigen 12 bit DAC-register.
De besturing volgt uit de microprocessor-compatibele signalen $\overline{LDAC}$, $\overline{WR}$ en $\overline{DACA}$/DACB.
Het laden van de gegevens in de ingangslatches gaat op dezelfde manier als het schrijven van gegevens naar een RAM-geheugen en kan dus gemakkelijk in bestaande software geïntegreerd worden.

Technische gegevens

- fabrikant: PMI
- behuizing: DIL-24 smal
- aansluitgegevens: figuur 12/7.8-86
- intern blokschema: figuur 12/7.8-87
- voedingsspanning: +17 V max.
- voedingsstroom: +2 mA max.
- aantal bits: 2 x 12
- parallel/serieel: parallel
- niet-lineariteit: figuur 12/7.8-88
- temp-coëf.: +/-5 ppm/°C
- settling-tijd: 1 µs
- externe referentie: +/-25 V max.
- kanaalseparatie: -70 dB
- uitgangscapaciteit: 90 tot 120 pF



Figuur 12/7.8-86: Aansluitgegevens van de DAC-8222.

Werkingsprincipe

Het laden van de gegevens is afgestemd op een microprocessor met een 12 of 16 bit brede data-bus.
Het controle-signaal $\overline{DACA}$/DACB bepaalt welke ingangs-latch wordt geladen met de gegevens. Dit signaal is actief "L" voor DAC-A en actief "H" voor DACB. De gegevens worden naar de ingangs-latches verplaatst als $\overline{WR}$ "L" wordt. Een "H" op dit signaal bewaart de gegevens in de latches. Nadien

7.8 Type-beschrijving tweevoudige DAC'S

brengt een "L" op $\overline{\text{LDAC}}$ de gegevens over van de ingangs-latches naar de DAC-latches.
De waarheidstabel van de DAC-8222 is getekend in figuur 12/7.8-89, de timing van de signalen volgt uit de tijddiagrammen van figuur 12/7.8-90.

DAC-8228

2 x 8 bit, 1 µs, U-uitgang

Een microprocessor-compatibele 2 x 8 bit omzetter met spanningsuitgang en twee individuele referentie-ingangen. De schakeling verwerkt woorden van 8 bit in één write-cyclus.
De schakeling heeft een gemeenschappelijke 8 bit brede ingangsbuffer, terwijl iedere DAC een eigen 8 bit DAC-register heeft. De besturing volgt uit de microprocessor-compatibele signalen $\overline{\text{CS}}$, $\overline{\text{WR}}$ en $\overline{\text{DACA}}$/DACB.

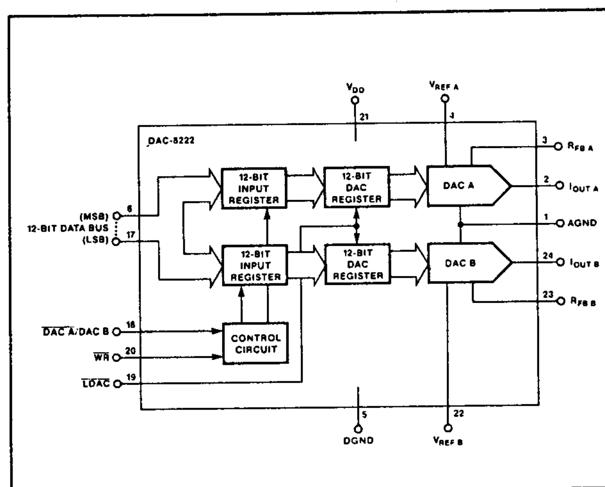
De DAC-8228 past in IC-voetjes voor de PM 7528 in bestaande schakelingen, maar bespaart het gebruik van externe operationele versterkers voor het omzetten van de stroom in een spanning.

Technische gegevens

- fabrikant: PMI
- behuizing: DIL-20
- aansluitgegevens: figuur 12/7.8-91
- intern blokschema: figuur 12/7.8-92
- voedingsspanning: +18 V max.
- aantal bits: 2 x 8
- parallel/serieel: parallel
- temp-coëf.: +/-5 ppm/°C
- settling-tijd: 1 µs
- kanaalseparatie: -70 dB
- externe referentie-spanning: +/-25 V max.

Werkingsprincipe

Het laden van de gegevens is afgestemd op een microprocessor met een 8 bit brede data-bus.
Het controle-signaal $\overline{\text{DACA}}$/DACB bepaalt welke latch wordt geladen met de ingangsgegevens. Het laadproces is volledig analoog aan dat voor het schrijven van gegevens naar een RAM-geheugen met behulp van de $\overline{\text{CS}}$- en $\overline{\text{WR}}$-signalen, zodat interfacing van de DAC-8228 op een microprocessor zeer eenvoudig is.
De waarheidstabel van de DAC-8228 is getekend in figuur 12/7.8-93, de timing van het IC volgt uit figuur 12/7.8-94.



Figuur 12/7.8-87: Intern blokschema van de DAC-8222.

		PACKAGE: 24-PIN DIP		
RELATIVE ACCURACY (+5V or +15V)	GAIN ERROR	MILITARY* TEMPERATURE -55°C to +125°C	INDUSTRIAL TEMPERATURE -40°C to +85°C	COMMERCIAL TEMPERATURE 0°C to +70°C
±1/2 LSB	±2 LSB	DAC8222AW	DAC8222EW	DAC8222GP
±1 LSB	±4 LSB	–	DAC8222FW	DAC8222HP
±1 LSB	±4 LSB	–	–	DAC8222HS††

* For devices processed in total compliance to MIL-STD-883, add /883 after part number. Consult factory for 883 data sheet.
† Burn-in is available on commercial and industrial temperature range parts in cerdip, plastic dip, and TO-can packages. For ordering information, see 1988 Data Book, Section 2.
†† For availability and burn-in information on SO and PLCC packages, contact your local sales office.

Figuur 12/7.8-88: Niet-lineariteit van de verschillende versies van de DAC-8222.

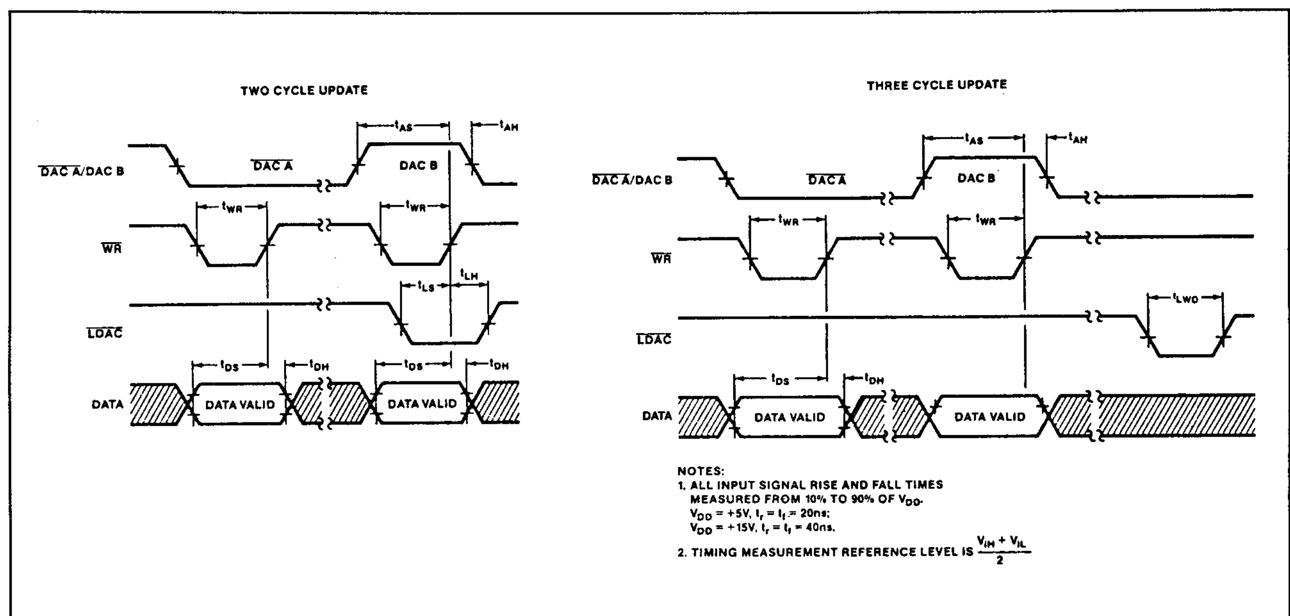
7.8 Type-beschrijving tweevoudige DAC'S

MODE SELECTION TABLE

DIGITAL INPUTS			DAC REGISTER STATUS			
			DAC A		DAC B	
DAC $\overline{A}$/B	$\overline{WR}$	$\overline{LDAC}$	INPUT LATCH	DAC LATCH	INPUT LATCH	DAC LATCH
L	L	L	WRITE	WRITE	LATCHED	WRITE
H	L	L	LATCHED	WRITE	WRITE	WRITE
L	L	H	WRITE	LATCHED	LATCHED	LATCHED
H	L	H	LATCHED	LATCHED	WRITE	LATCHED
X	H	L	LATCHED	WRITE	LATCHED	WRITE
X	H	H	LATCHED	LATCHED	LATCHED	LATCHED

L = Low H = High X = Don't Care

Figuur 12/7.8-89: De waarheidstabel van de DAC-8222.



Figuur 12/7.8-90: De timing van de DAC-8222 bij het laden van gegevens.

Voorbeeld-schakelingen

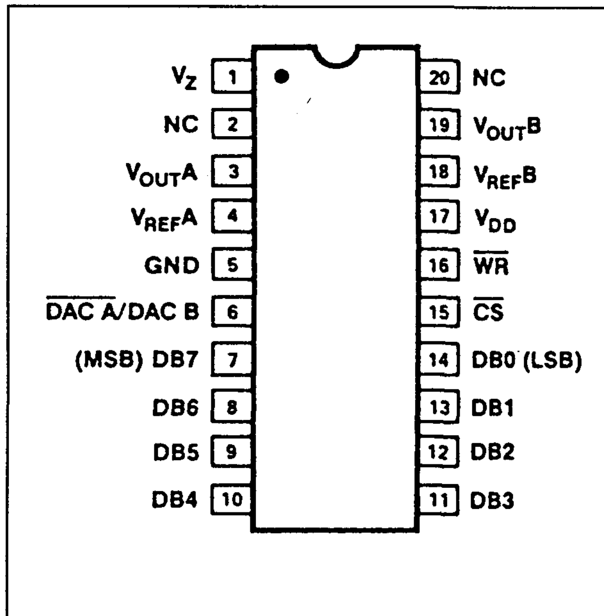
– figuur 12/7.8-95:
Standaard-schakeling voor unipolaire werking waarbij gebruik wordt gemaakt van een referentie-spanning van +5 V, die met de U_Z-ingang wordt verbonden. De waarde van de referentie-spanning bepaalt dan de nulwaarde van de uitgang, dat wil zeggen de analoge uitgangsspanning bij een ingangscode van "L-L-L-L-L-L-L-L". Het verband tussen de digitale code op de ingangen en de analoge uitgangsspanning wordt gegeven door de formule:

$U_{uit} = -[D/256 \times (U_{REF} - U_Z)] + U_Z$

waarin U_Z de waarde van de virtuele massa is en D het decimale gewicht van de ingangscode.

– figuur 12/7.8-96:
Vergroten van het uitgangsspanningsbereik binnen de grenzen 0 V en +10 V door gebruik te maken van een referentie-spanning van -10 V.

7.8 Type-beschrijving tweevoudige DAC'S



Figuur 12/7.8-91: Aansluitgegevens van de DAC-8228.

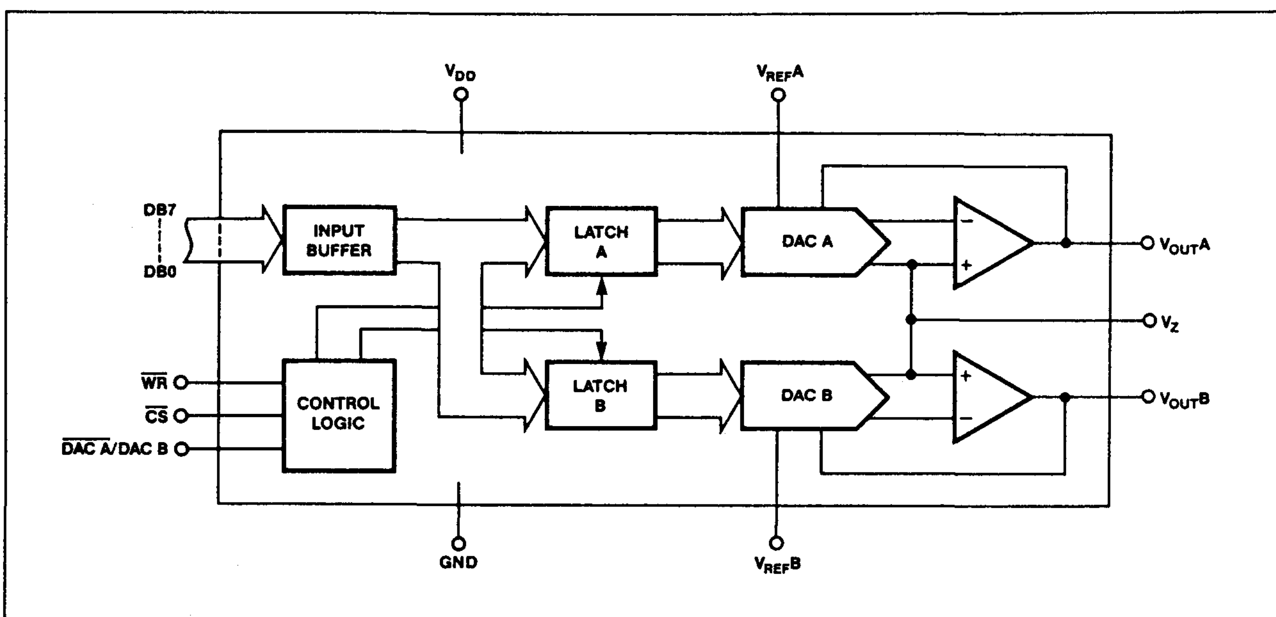
DAC-8248

2 x 12 bit, 1 µs, I-uitgang

Een microprocessor-compatibele 2 x 12 bit omzetter met stroomuitgang en twee individuele referentie-ingangen. De schakeling verwerkt woorden van 12 bit in twee write-cycli.

Iedere DAC heeft een eigen ingangs-latch die is opgebouwd uit twee delen van respectievelijk 8 en 4 bits.
Daarnaast heeft iedere DAC een eigen 12 bit brede DAC-latch waarin de gegevens van de ingangs-latches worden opgenomen.

Technische gegevens
- fabrikant: PMI
- behuizing: DIL-24
- aansluitgegevens: figuur 12/7.8-97
- intern blokschema: figuur 12/7.8-98
- voedingsspanning: +17 V max.
- voedingsstroom: +2 mA max.
- aantal bits: 2 x 12
- parallel/serieel: parallel
- niet-lineariteit: figuur 12/7.8-99
- temp-coëf.: +/-5 ppm/°C
- settling-tijd: 1 µs
- externe referentie: +/-25 V max.
- kanaalseparatie: -70 dB
- uitgangscapaciteit: 90 tot 120 pF

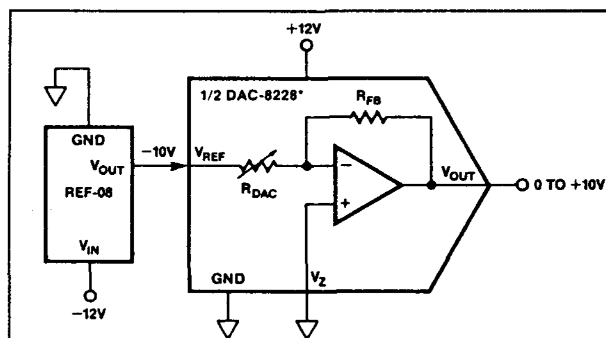


Figuur 12/7.8-92: Intern blokschema van de DAC-8228.

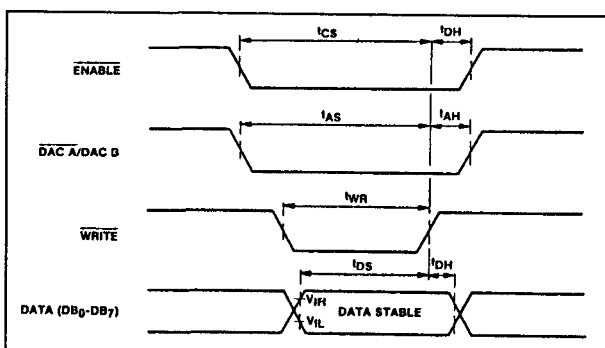
7.8 Type-beschrijving tweevoudige DAC'S

$\overline{\text{DAC A}}$/DAC B	$\overline{\text{CS}}$	$\overline{\text{WR}}$	DAC A	DAC B
L	L	L	WRITE	HOLD
H	L	L	HOLD	WRITE
X	H	X	HOLD	HOLD
X	X	H	HOLD	HOLD

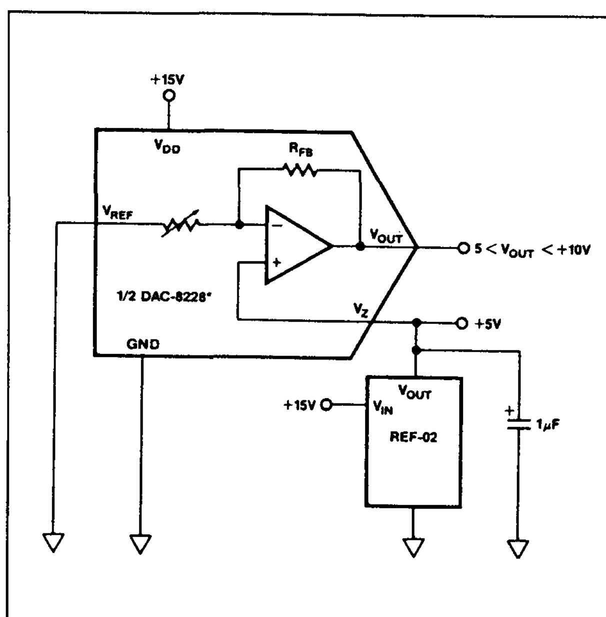
Figuur 12/7.8-93: De waarheidstabel van de DAC-8228.



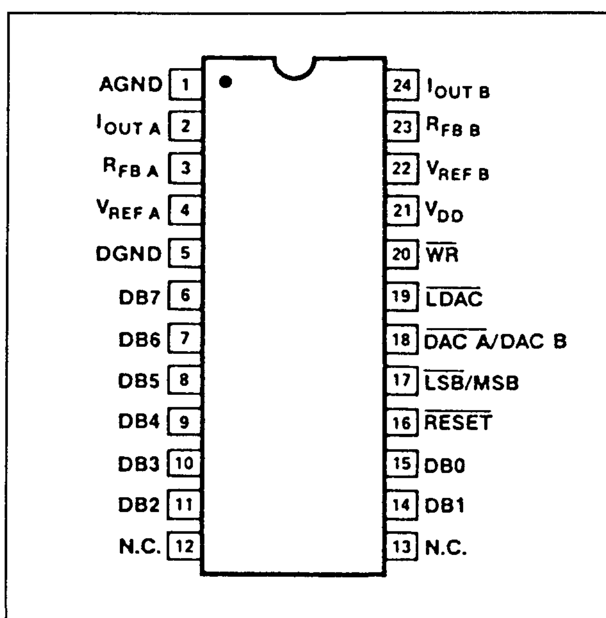
Figuur 12/7.8-96: Het vergroten van het uitgangsbereik van de DAC-8228.



Figuur 12/7.8-94: De timing van de DAC-8228.



Figuur 12/7.8-95: Basis-schakeling voor unipolaire uitgang bij de DAC-8228.



Figuur 12/7.8-97: Aansluitgegevens van de DAC-8248.

Werkingsprincipe

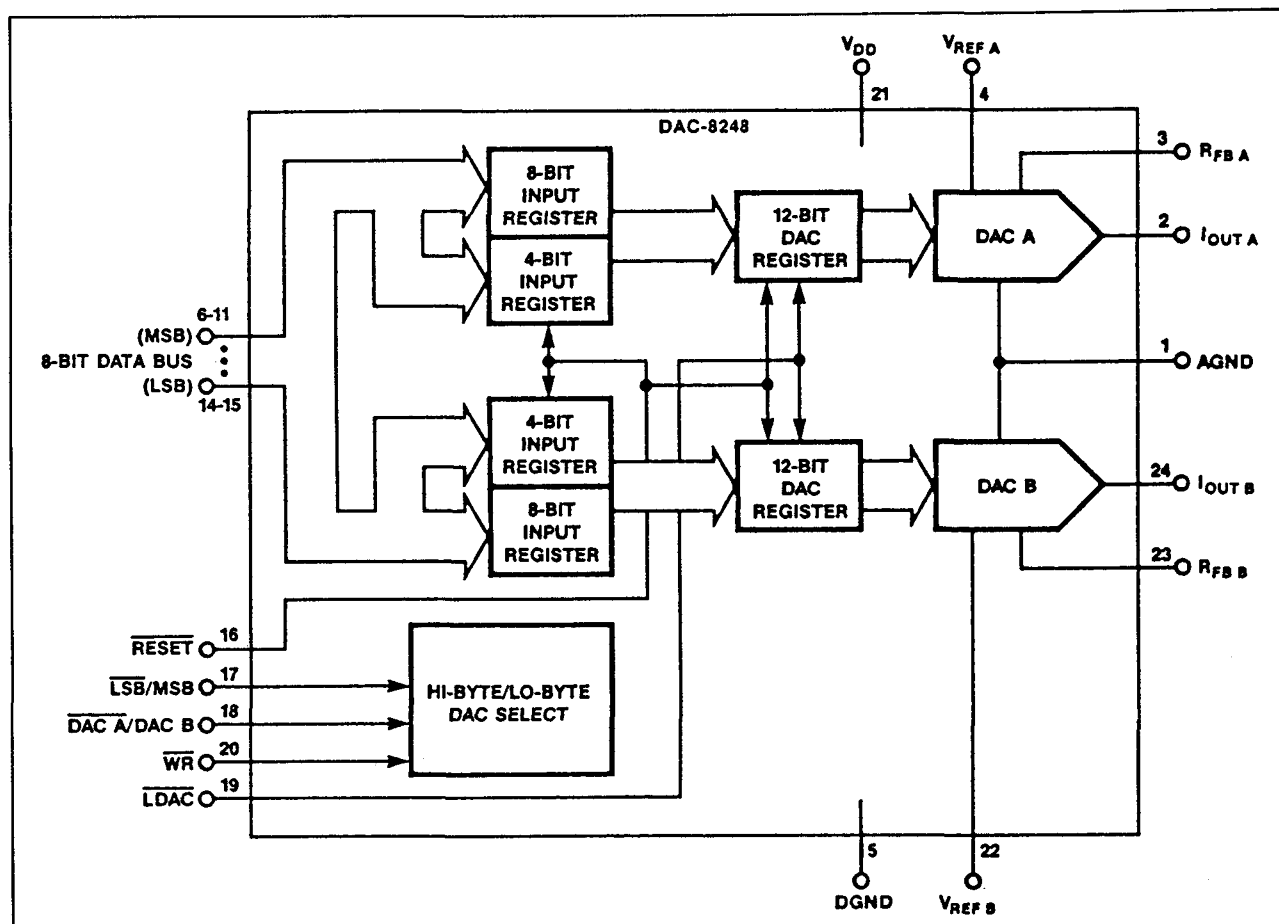
Het laden van de gegevens is afgestemd op een microprocessor met een 8 bit brede data-bus.

Het controle-signaal $\overline{\text{LSB}}$/MSB selecteert de 8 bit brede of 4 bit brede ingangs-latches. Het wordt samen met het $\overline{\text{WR}}$-signaal gebruikt om de ingangsregisters te laden.

Het signaal $\overline{\text{DACA}}$/DACB bepaalt welke DAC wordt geselecteerd. Dit signaal is actief "L" voor DACA.

7.8 Type-beschrijving tweevoudige DAC'S

Met behulp van het $\overline{\text{WR}}$-signaal worden de gegevens in de ingangs-registers geladen. Dit signaal is actief "L".
Het signaal $\overline{\text{LDAC}}$ wordt gebruikt om de gegevens van de ingangs-latches in één handeling over te brengen naar de twee DAC-registers. Dit is een actief "L" signaal, in de "H"-status blijven de gegevens in de DAC-registers bewaard.
Met $\overline{\text{RESET}}$, een actief "L" signaal, worden alle registers gecleared. Dit signaal heeft absolute voorrang op alle overige signalen.



Figuur 12/7.8-98: Intern blokschema van de DAC-8248.

		PACKAGE: 24-PIN DIP		
RELATIVE ACCURACY (+5V or +15V)	GAIN ERROR	MILITARY* TEMPERATURE -55°C TO +125°C	INDUSTRIAL TEMPERATURE -40°C TO +85°C	COMMERCIAL TEMPERATURE 0°C TO 70°C
±1/2 LSB	±2 LSB	DAC8248AW	DAC8248EW	DAC8248GP
±1 LSB	±4 LSB	—	DAC8248FW	DAC8248HP
±1 LSB	±4 LSB	—	—	DAC8248HS††

*For devices processed in total compliance to MIL-STD-883, add /883 after part number. Consult factory for /883 data sheet.
† Burn-in is available on commercial and industrial temperature range parts in cerdip, plastic dip, and TO-can packages. For ordering information, see 1988 Data Book, Section 2.
†† For availability and burn-in information on SO and PLCC packages, contact your local sales office.

Figuur 12/7.8-99: Niet-lineariteit van de verschillende versies van de DAC-8248.

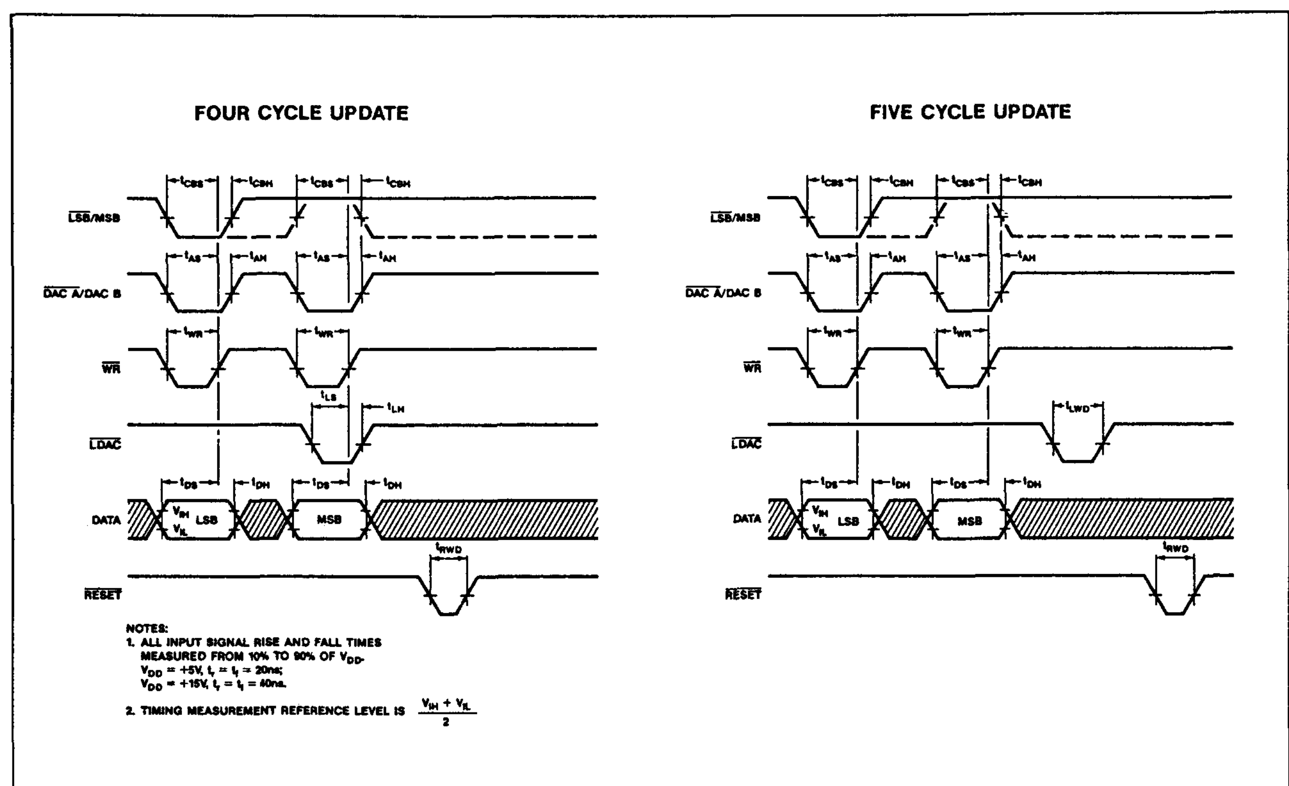
In figuur 12/7.8-100 is de waarheidstabel van de DAC-8248 getekend, terwijl de timingdiagrammen volgen uit figuur 12/7.8-101.

7.8 Type-beschrijving tweevoudige DAC'S

DIGITAL INPUTS					DAC REGISTER STATUS					
					DAC A			DAC B		
DAC $\overline{A}$/B	$\overline{WR}$	$\overline{LSB}$/MSB	$\overline{RESET}$	$\overline{LDAC}$	LSB	MSB	LDAC	LSB	MSB	LDAC
L	L	L	H	H	WR	LAT	LAT	LAT	LAT	LAT
L	L	L	H	L	WR	LAT	WR	LAT	LAT	WR
L	L	H	H	H	LAT	WR	LAT	LAT	LAT	LAT
L	L	H	H	L	LAT	WR	WR	LAT	LAT	WR
H	L	L	H	H	WR	LAT	LAT	LAT	LAT	LAT
H	L	L	H	L	WR	LAT	WR	LAT	LAT	WR
H	L	H	H	H	LAT	WR	LAT	LAT	LAT	LAT
H	L	H	H	L	LAT	WR	WT	LAT	LAT	WR
X	H	X	H	H	LAT	LAT	LAT	LAT	LAT	LAT
X	H	X	H	L	LAT	LAT	WR	LAT	LAT	WR
X	X	X	L	X	ALL REGISTERS ARE RESET TO ZEROS.					
X	H	X	↑	X	ALL REGISTERS ARE LATCHED TO ZEROS.					

L = Low H = High X = Don't Care WR = Registers Being Loaded LAT = Registers Latched

Figuur 12/7.8-100: De waarheidstabel van de DAC-8248.



Figuur 12/7.8-101: De timing van de DAC-8248.

7.8 Type-beschrijving tweevoudige DAC'S

12/7.9

Type-beschrijving meer dan tweevoudige DAC's

Opmerking

Door diverse fabrikanten worden drie- of viervoudige DAC's aangeboden, die ontwikkeld zijn voor het aansturen van video-display's. Dat zijn de zogenaamde "video-DAC's", "MEMDAC's" of "Color-pallette RAM-DAC's".
Vanwege het specifieke toepassingsgebied van deze schakelingen worden deze niet in dit subhoofdstuk besproken.

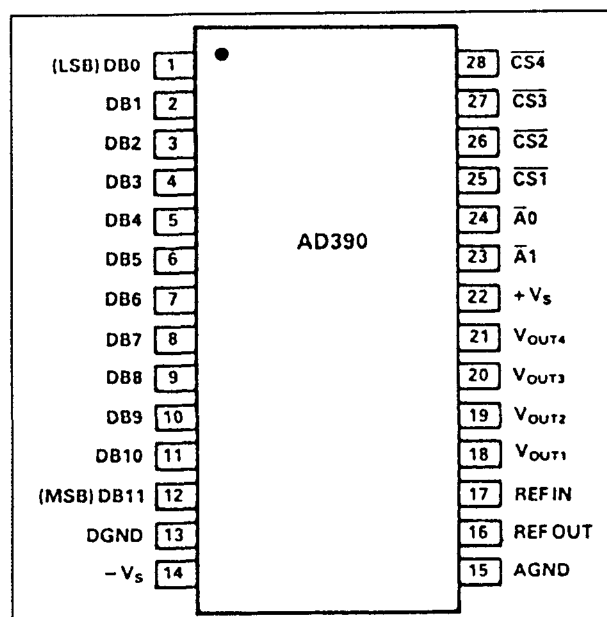
AD 390

4 x 12 bit, 8 µs, U-uitgang

Deze schakeling bevat vier identieke 12 bit brede gemiddeld-snelle omzetters met ingebouwde stroom-naar-spanning omzetters. De schakeling bevat een ingebouwde referentie van 10 V en een buffer die kan gebruikt worden voor het bufferen van de referentie-uitgang.
Iedere DAC is individueel te laden door middel van vier $\overline{CS}$-signalen.
De versterking en de offset worden tijdens de fabricage door middel van laser-trimming afgeregeld.

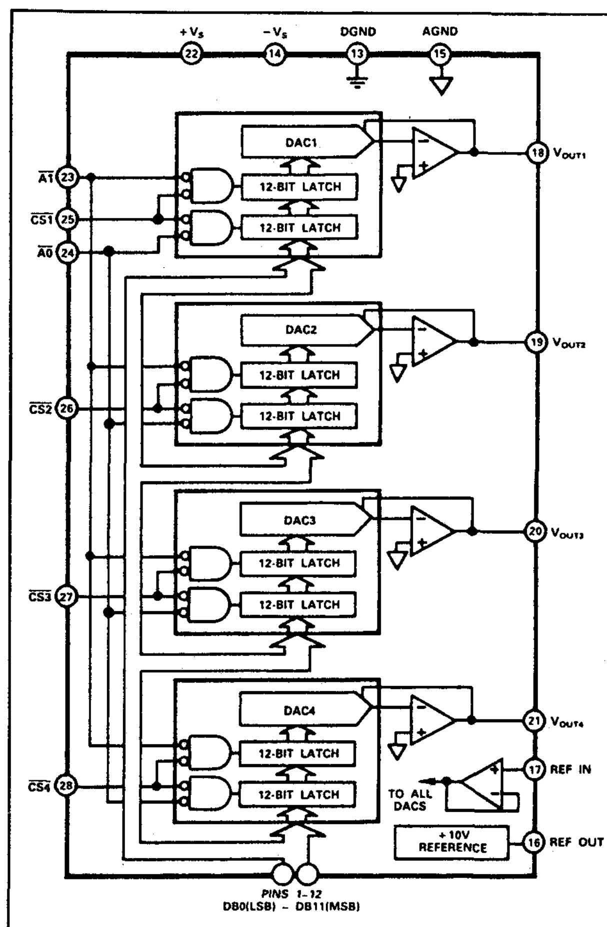
Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-28
- aansluitgegevens: figuur 12/7.9-1
- intern blokschema: figuur 12/7.9-2
- voedingsspanning:
  +/-13,5 V min.
  +/-15,0 V typisch
  +/-16,5 V max.
- voedingsstroom: +20/-90 mA max.
- aantal bits: 4 x 12
- niet-lineariteit: figuur 12/7.9-3
- temp-coëf.:
  type JD/SD: +/-40 ppm/°C
  type KD/TD: +/-20 ppm/°C
- settling-time:
  4 µs typisch
  8 µs max.
- uitgangsbereik: +/-10 V max.
- uitgangsstroom: 5 mA max.
- overspraak: 0,1 LSB
- referentie-uitgang:
  spanning: 10,000 V typisch
  stroom : 3,5 mA max.
  nauwkeurigheid: +/-0,95 %



Figuur 12/7.9-1: Aansluitgegevens van de AD 390.

7.9 Type-beschrijving meer dan tweevoudige DAC's



Figuur 12/7.9-2: Intern blokschema van de AD 390.

Model	Temperature Range	Gain Error 25°C	Linearity Error $T_{min}-T_{max}$	Package Option*
AD390JD	0 to +70°C	±4LSB	±3/4LSB	DH-28
AD390KD	0 to +70°C	±2LSB	±1/2LSB	DH-28
AD390SD	−55°C to +125°C	±4LSB	±3/4LSB	DH-28
AD390TD	−55°C to +125°C	±2LSB	±1/2LSB	DH-28

*See Section 14 for package outline information.

Figuur 12/7.9-3: Lineariteit en nauwkeurigheid van de verschillende versies van de AD 390.

Timing

De ingangs-registers van iedere DAC zijn dubbel gebufferd, zodat iedere DAC individueel geladen kan worden.

De vier $\overline{CS}$-lijnen worden gebruikt voor het selecteren van een DAC (zie waarheidstabel van figuur 12/7.9-4). De eerste buffer van een register wordt geladen door zowel de $\overline{CS}$-lijn van de DAC als de stuurlijn $\overline{A0}$ "L" te maken. De tweede buffer wordt geladen door zowel de $\overline{CS}$-lijn als de stuurlijn $\overline{A1}$ "L" te maken. Dat kan uiteraard voor alle vier de schakelingen gezamenlijk.

De timing van de signalen volgt uit figuur 12/7.9-5.

$\overline{CS1}$	$\overline{CS2}$	$\overline{CS3}$	$\overline{CS4}$	$\overline{A1}$	$\overline{A0}$	Operation
1	1	1	1	X	X	No Operation
X	X	X	X	1	1	No Operation
0	1	1	1	1	0	Enable 1st rank of DAC 1
1	0	1	1	1	0	Enable 1st rank of DAC 2
1	1	0	1	1	0	Enable 1st rank of DAC 3
1	1	1	0	1	0	Enable 1st rank of DAC 4
0	1	1	1	0	1	Load DAC 1 second rank from first rank
1	0	1	1	0	1	Load DAC 2 second rank from first rank
1	1	0	1	0	1	Load DAC 3 second rank from first rank
1	1	1	0	0	1	Load DAC 4 second rank from first rank
0	0	0	0	0	0	All latches transparent

Figuur 12/7.9-4: De waarheidstabel voor het besturen van de AD 390.

Voorbeeld-schakelingen

– figuur 12/7.9-6:

Principiële schakeling voor gebruikt van de AD 390 in een 16-bit systeem. De tweede buffers van de registers worden transparant geschakeld door $\overline{A1}$ "L" te maken. De $\overline{WR}$ van het systeem wordt gebruikt voor het besturen van de $\overline{A0}$-ingang. De vier $\overline{CS}$-ingangen worden gestuurd uit een decoder, die uit de hoogste bits van de data-bus gestuurd wordt. Met dit schema kan alleen één DAC tegelijk geladen worden.

– figuur 12/7.9-7:

Alternatief systeem voor het besturen van de schakeling uit een 16-bit brede bus.

– figuur 12/7.9-8:

Het laden en besturen van de AD 390 uit een 8-bit brede data-bus. Iedere DAC heeft nu twee adressen nodig om geladen te kunnen worden.

7.9 Type-beschrijving meer dan tweevoudige DAC's

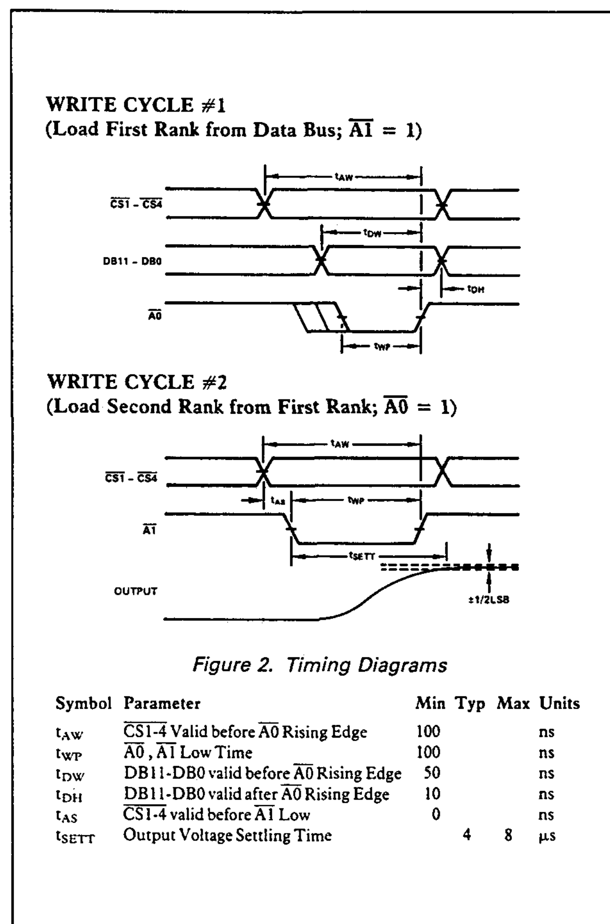
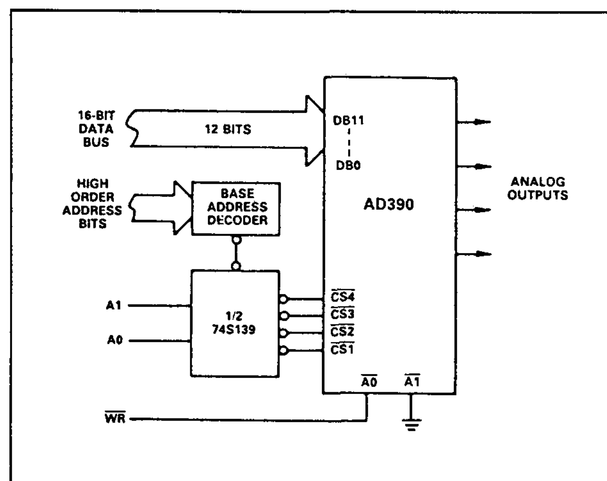


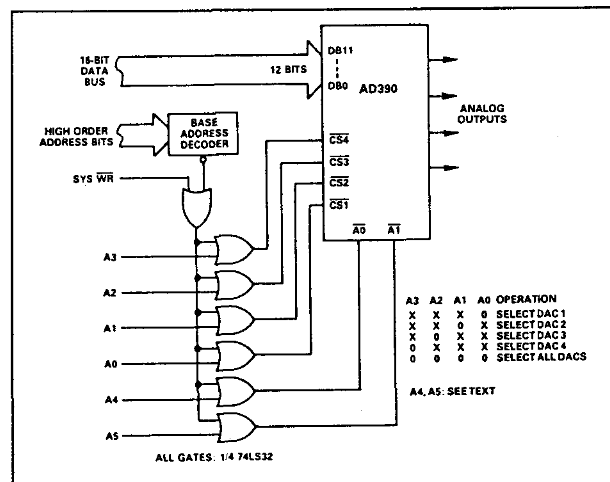
Figure 2. Timing Diagrams

Symbol	Parameter	Min	Typ	Max	Units
t_{AW}	CS1-4 Valid before A0 Rising Edge	100			ns
t_{WP}	A0, A1 Low Time	100			ns
t_{DW}	DB11-DB0 valid before A0 Rising Edge	50			ns
t_{DH}	DB11-DB0 valid after A0 Rising Edge	10			ns
t_{AS}	CS1-4 valid before A1 Low	0			ns
t_{SETT}	Output Voltage Settling Time		4	8	µs

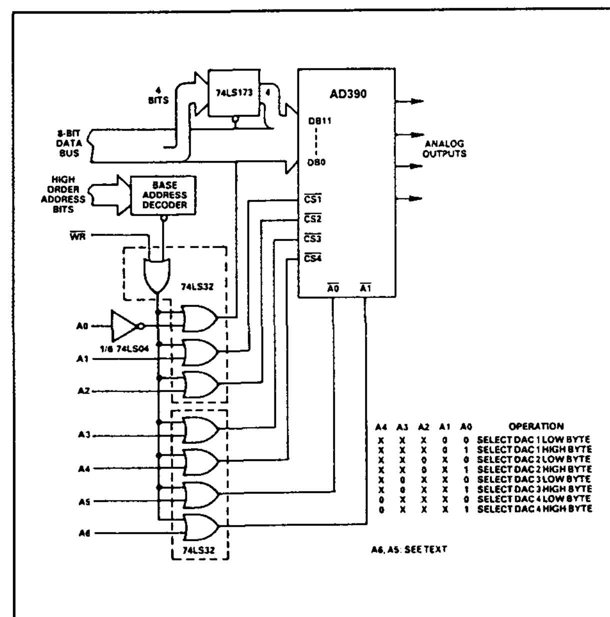
Figuur 12/7.9-5: Timing van de besturing van de AD 390.



Figuur 12/7.9-6: Het besturen van de AD 390 uit een 16-bit brede bus.



Figuur 12/7.9-7: Alternatief systeem bij 16-bit gebruik.



Figuur 12/7.9-8: Het besturen en laden van de AD 390 uit een 8-bit brede bus.

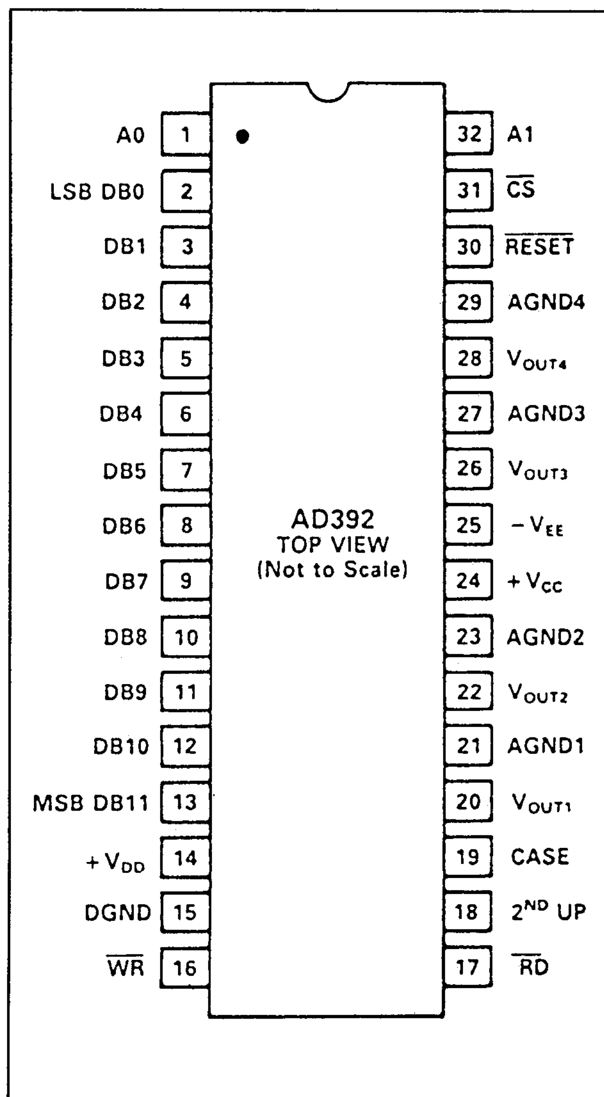
AD 392

4 x 12 bit, 4 µs, U-uitgang

Deze schakeling bevat vier identieke 12 bit brede gemiddeld-snelle omzetters met ingebouwde stroom-naar-spanning omzetters met ieder een eigen analoge massa.

7.9 Type-beschrijving meer dan tweevoudige DAC's

Dit IC beschikt ook over een "Readback"-faciliteit, waarmee men kan controleren of de data die door de microprocessor zijn geleverd ook echt overeen stemmen met de gegevens die in de DAC's zijn ingelezen. De schakeling bezit een algemene $\overline{\text{RESET}}$, waarmee alle registers worden gereset. Iedere DAC is individueel te laden door middel van vier besturings-signalen. Door de dubbele buffers kan men, na het individueel laden, wel alle vier de analoge uitgangen op hetzelfde moment up-daten.

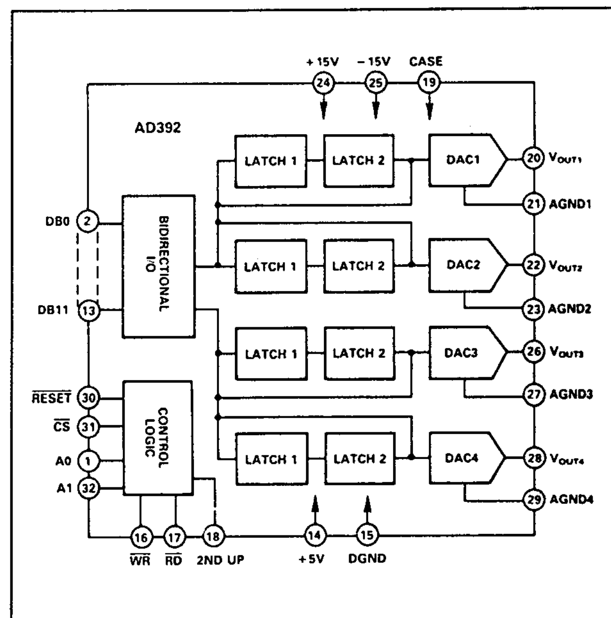


Figuur 12/7.9-9: Aansluitgegevens van de AD 392.

De versterking en de offset worden tijdens de fabricage door middel van laser-trimming afgeregeld.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-32
- aansluitgegevens: figuur 12/7.9-9
- intern blokschema: figuur 12/7.9-10
- voedingsspanning:
  +/-13,5 V, +4,5 V min.
  +/-15,0 V, +5,0 V typisch
  +/-16,5 V, +5,5 V max.
- voedingsstroom: +26/-62/+7,2 mA typisch
- aantal bits: 4 x 12
- niet-lineariteit: +/-0,05 % FS typisch
- temp-coëf.: +/-20 ppm/°C typisch
- settling-time: 4 µs typisch
- uitgangsbereik: +/-10 V max.
- uitgangsstroom: 5 mA max.



Figuur 12/7.9-10: Intern blokschema van de AD 392.

Timing

De ingangs-registers van iedere DAC zijn dubbel gebufferd, zodat iedere DAC individueel geladen kan worden.

7.9 Type-beschrijving meer dan tweevoudige DAC's

Een DAC kan geselecteerd worden in de eerste buffer door de in de waarheidstabel van figuur 12/7.9-11 vermelde combinatie van A0, A1 en $\overline{CS}$ signalen aan te leggen.
De tweede buffers worden gecontroleerd door het signaal 2ND UP. Het gebruik van deze lijn zorgt ervoor dat de DAC's gelijktijdig hun analoge uitgangen aanpassen aan de nieuwe in de registers gelezen digitale waarden.
De digitale codes kunnen teruggelezen worden uit de tweede buffers van de registers door de signalen A0, A1, $\overline{RD}$ en 2ND UP de juiste combinatie te geven (zie waarheidstabel).
De $\overline{RD}$ en $\overline{WR}$ signalen controleren de bidirectionele I/O-poort.
De $\overline{RESET}$ zet alle analoge uitgangen op 0 V.
Deze faciliteit is bruikbaar om de schakelingen automatisch en snel te calibreren.

$\overline{CS}$	A1	A0	$\overline{WR}$	$\overline{RD}$	$\overline{RESET}$	2ND Up	Output
1	X	X	X	X	1	X	Chip Read/Write Disable
X	X	X	X	X	0	X	MSBs Go to 1, All Others Go to 0
0	X	X	X	X	1	1	All 2ND Rank Latches Transparent
0	X	X	X	X	1	0	All 2ND Rank Latches Latched
0	0	0	1	0	1	X	Read Back DAC1 2ND Rank
0	0	0	⌐∫	1	1	X	Write to 1ST Rank DAC1
0	0	1	1	0	1	X	Read Back DAC2 2ND Rank
0	0	1	⌐∫	1	1	X	Write to 1ST Rank DAC2
0	1	0	1	0	1	X	Read Back DAC3 2ND Rank
0	1	0	⌐∫	1	1	X	Write to 1ST Rank DAC3
0	1	1	1	0	1	X	Read Back DAC4 2ND Rank
0	1	1	⌐∫	1	1	X	Write to 1ST Rank DAC4

Symbols: X = Don't Care
1 = Logic High
0 = Logic Low
⌐∫ = Positive Trailing Edge Triggered

Figuur 12/7.9-11: De waarheidstabel voor het besturen van de AD 392.

Symbol	Parameter	Min	Max	Unit
t_{DS}	Device Select	15		ns
t_W	Write/Update/Reset Pulse Width	15		ns
t_{SU}	Data Setup Time	15		ns
t_{HD}	Data Hold Time	15		ns
t_{RS}	Reset Valid for Read		35	ns
t_{VR}	Read Valid After Write	30		ns
t_{DDS}	Device De-Select (from Read Data to Tristate		40	ns
t_{BA} On	Bus Access On Time		40	ns
t_{BA} Off	Bus Access Off Time		30	ns
t_{2L1}	Minimum Latch Delay after Write/	10		ns
t_{2L2}	Minimum Latch Delay after Next Write/	5		ns
t_{2TR}	2ND Rank Transparent for Valid Read	25		ns
t_{2TD}	2ND Rank Transparent to DAC Port Outputs		40	ns
t_R, t_F	Data Rise, Fall Times	0	5	ns

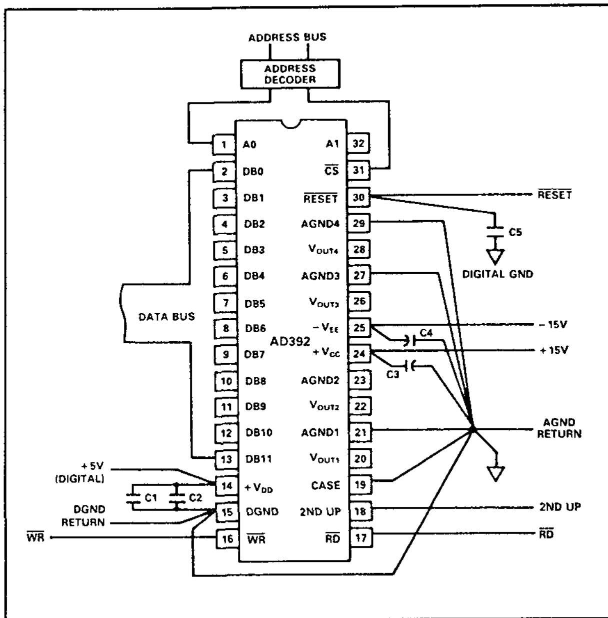
NOTES
Timing between pulses measured at 50% points.
Bus access on time measured from 50% point of read going low to active high (2.4) or active low (0.4) (see Figures 4 and 5).
Bus access off time measured from 50% point of read going high to point at which voltage trails away from active high or low under standard tristate load conditions (see Figure 6).

Figuur 12/7.9-12: Timing van de besturing van de AD 392.

De timing van de signalen voor het schijven van gegevens en het weer uitlezen van gegevens is getekend in figuur 12/7.9-12.

Voorbeeld-schakeling

– figuur 12/7.9-13:
Algemene schakeling voor gebruikt van de AD 392, met aangave van de manier waarop de massa-signalen moeten gerouted worden.



Figuur 12/7.9-13: Het besturen van de AD 392.

7.9 Type-beschrijving meer dan tweevoudige DAC's

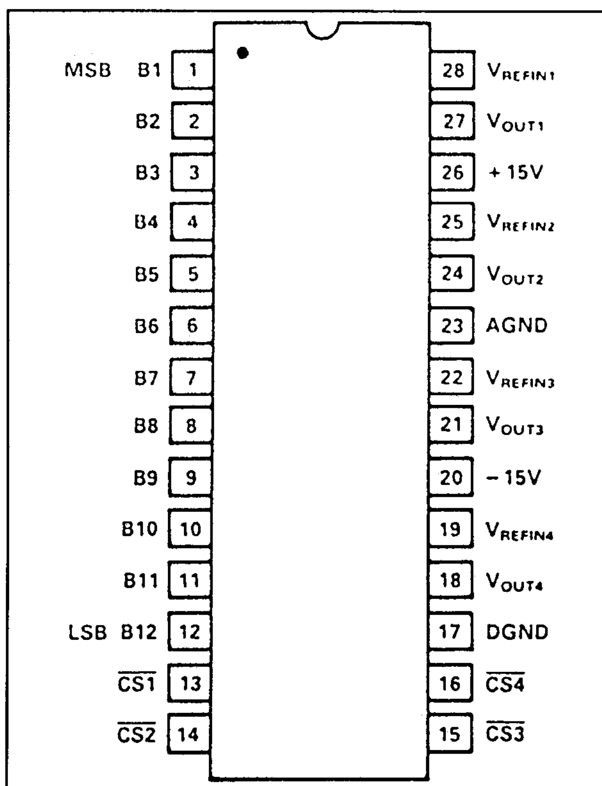
AD 394

4 x 12 bit, 10 µs, U-uitgang

Deze schakeling bevat vier identieke 12 bit brede redelijk snelle omzetters met ingebouwde stroom-naar-spanning omzetters. Iedere DAC is individueel te laden door middel van vier $\overline{CS}$-signalen. De versterking en de offset worden tijdens de fabricage door middel van laser-trimming afgeregeld.

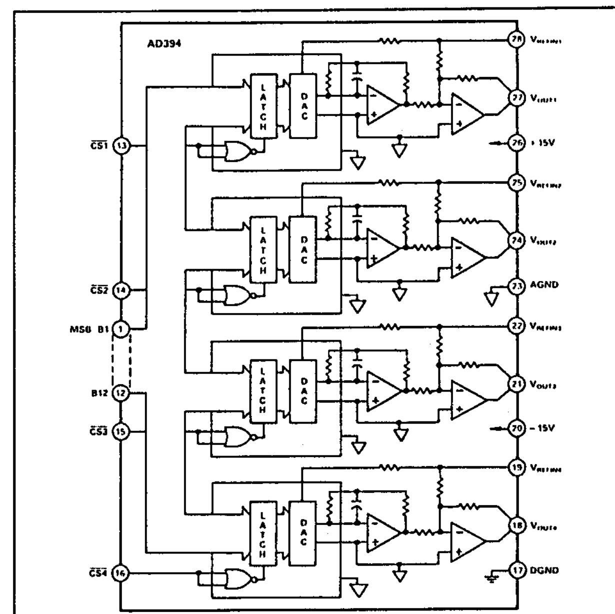
Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-28
- aansluitgegevens: figuur 12/7.9-14
- intern blokschema: figuur 12/7.9-15
- voedingsspanning:
  +/-13,5 V min.
  +/-15,0 V typisch
  +/-16,5 V max.
- voedingsstroom: +22/-28 mA max.
- aantal bits: 4 x 12
- niet-lineariteit: figuur 12/7.9-16



Figuur 12/7.9-14: Aansluitgegevens van de AD 394.

- temp-coëf.:
  type JD/SD: +/-10 ppm/°C
  type KD/TD: +/-5 ppm/°C
- settling-time:
  10 µs typisch
  15 µs max.
- uitgangsbereik: +/-U_{REF} max.
- uitgangsstroom: 5 mA min.
- referentie-ingang:
  spanning: +/-11 V max.
  impedantie: 5 - 25 kΩ



Figuur 12/7.9-15: Intern blokschema van de AD 394.

Timing

De ingangs-registers van iedere DAC zijn enkelvoudig uitgevoerd, zodat weliswaar iedere DAC individueel geladen kan worden, maar de analoge uitgang zich onmiddellijk na het laden aanpast. De vier $\overline{CS}$-lijnen worden gebruikt voor het selecteren van een DAC (zie waarheidstabel van figuur 12/7.9-17).

De timing van de signalen volgt uit figuur 12/7.9-18.

7.9 Type-beschrijving meer dan tweevoudige DAC's

Model	Temperature Range	Gain Error	Linearity Error T_{min}-T_{max}	Package Option*
AD394JD	0 to +70°C	±4LSB	±3/4LSB	DH-28A
AD395JD	0 to +70°C	±4LSB	±3/4LSB	DH-28A
AD394KD	0 to +70°C	±2LSB	±1/2LSB	DH-28A
AD395KD	0 to +70°C	±2LSB	±1/2LSB	DH-28A
AD394SD	−55°C to +125°C	±4LSB	±3/4LSB	DH-28A
AD395SD	−55°C to +125°C	±4LSB	±3/4LSB	DH-28A
AD394TD	−55°C to +125°C	±2LSB	±1/2LSB	DH-28A
AD395TD	−55°C to +125°C	±2LSB	±1/2LSB	DH-28A

*See Section 14 for package outline information.

Figuur 12/7.9-16: Lineariteit en nauwkeurigheid van de verschillende versies van de AD 394.

$\overline{CS1}$	$\overline{CS2}$	$\overline{CS3}$	$\overline{CS4}$	Operation
1	1	1	1	All DACs Latched
0	1	1	1	Load DAC 1 From Data Bus
1	0	1	1	Load DAC 2 From Data Bus
1	1	0	1	Load DAC 3 From Data Bus
1	1	1	0	Load DAC 4 From Data Bus
0	0	0	0	All DACs Simultaneously Loaded

Figuur 12/7.9-17: De waarheidstabel voor het besturen van de AD 394.

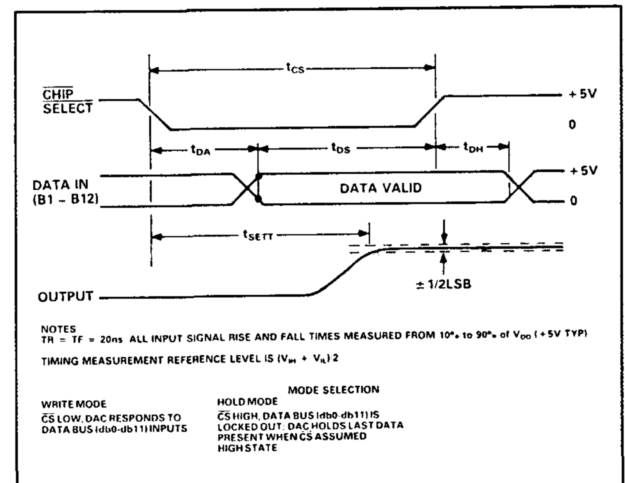
Voorbeeld-schakelingen

– figuur 12/7.9-19:
Principiële schakeling waaruit duidelijk blijkt hoe men de massa-signalen rond de AD 394 moet verbinden met het IC.

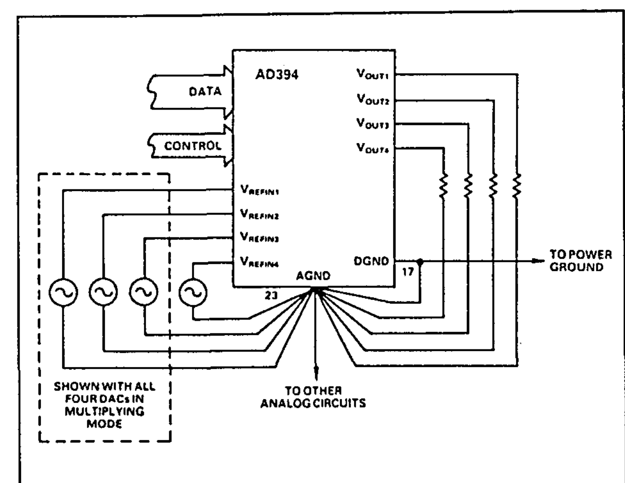
– figuur 12/7.9-20:
Het aansluiten van de externe referentiespanning op de referentie-ingang van de AD 394 voor een maximale uitgangsspanning van +/-8,192 V.

– figuur 12/7.9-21:
Het laden en besturen van de AD 394 uit een 16-bit brede data-bus. De hoogste orde-bits van de data-bus sturen via een adresdecoder de ENABLE-ingang van een 74LS139. Deze decoder wordt gestuurd uit de twee adresseersignalen A1 en A0, die bepalen welke DAC wordt ingelezen. Het $\overline{WR}$-signaal van het systeem stelt het moment waarop dit gebeurt vast.

– figuur 12/7.9-22:
Het laden en besturen van de AD 394 uit een 8-bit data-bus. De 74LS244 buffert de databus, zijn uitgangen worden ge-enabled als het adres waarmee de DAC wordt aangesproken op de adres-bus verschijnt. Het eerste byte op de data-bus wordt in de 74LS373 geladen, het tweede byte wordt rechtstreeks naar de DAC gestuurd en wordt daar gecombineerd met de inhoud van de latch. De pull-up weerstanden op de uitgang van de latch zijn noodzakelijk om er zeker van te zijn dat de ingangen van de DAC nooit zweven.

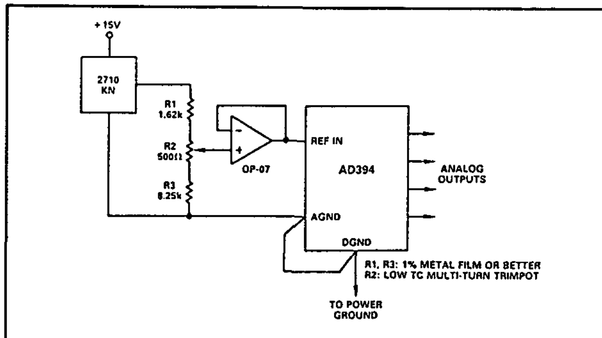


Figuur 12/7.9-18: Timing van de besturing van de AD 394.

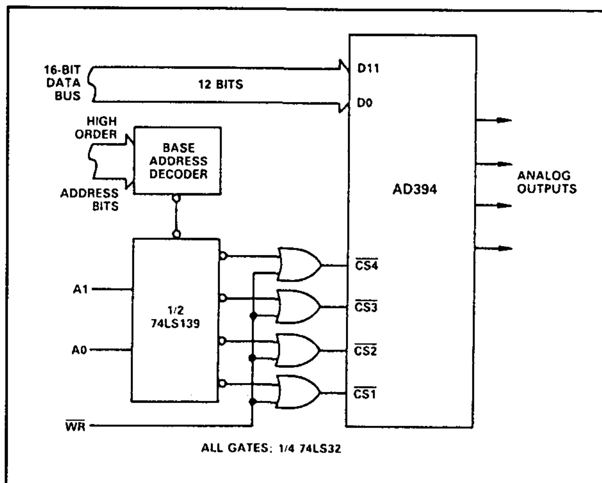


Figuur 12/7.9-19: Het verbinden van de massa's met de AD 394.

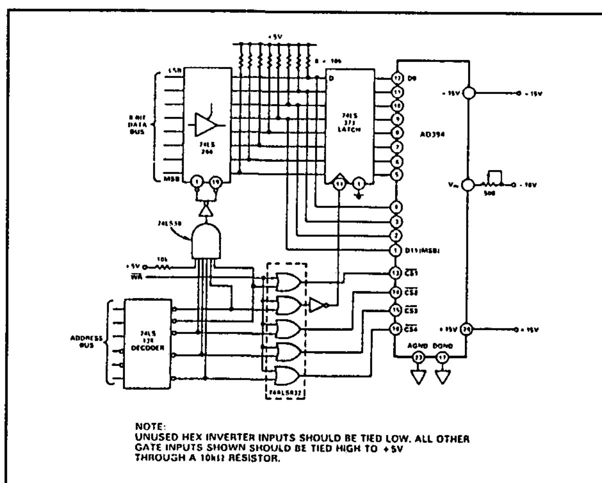
7.9 Type-beschrijving meer dan tweevoudige DAC's



Figuur 12/7.9-20: Het aansluiten van de externe referentie op een AD 394.



Figuur 12/7.9-21: Het besturen en laden van de AD 394 uit een 16-bit brede bus.



Figuur 12/7.9-22: Het besturen en laden van de AD 394 uit een 8-bit brede bus.

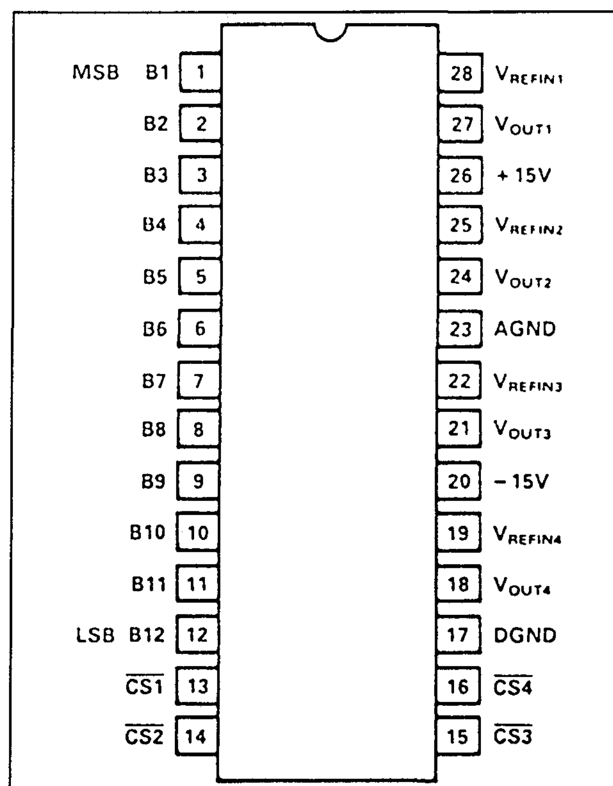
AD 395

4 x 12 bit, 10 µs, U-uitgang

Deze schakeling bevat vier identieke 12 bit brede redelijk snelle omzetters met ingebouwde stroom-naar-spanning omzetters. Iedere DAC is individueel te laden door middel van vier $\overline{CS}$-signalen. De versterking en de offset worden tijdens de fabricage door middel van laser-trimming afgeregeld. Deze schakeling wekt een unipolair negatief analoog uitgangssignaal op!

Technische gegevens

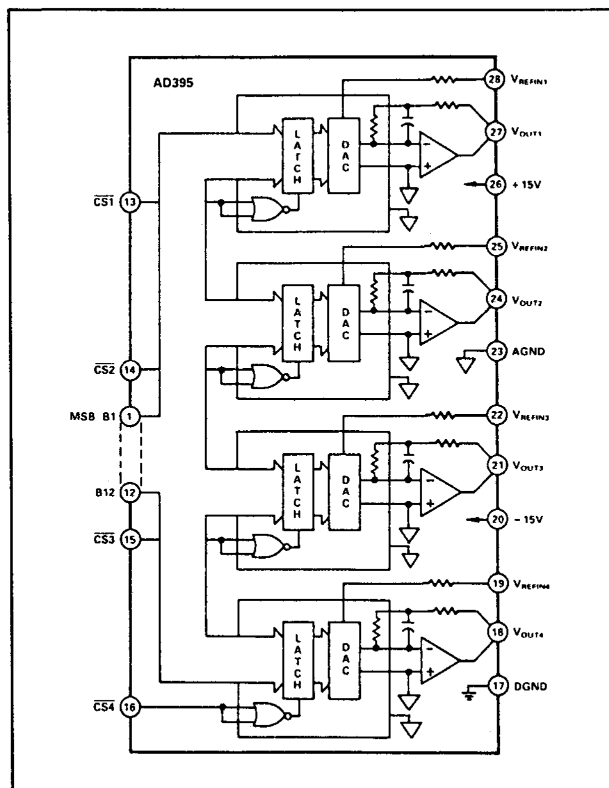
- fabrikant: Analog Devices
- behuizing: DIL-28
- aansluitgegevens: figuur 12/7.9-23
- intern blokschema: figuur 12/7.9-24
- voedingsspanning:
  +/-13,5 V min.
  +/-15,0 V typisch
  +/-16,5 V max.
- voedingsstroom: +22/-28 mA max.



Figuur 12/7.9-23: Aansluitgegevens van de AD 395.

7.9 Type-beschrijving meer dan tweevoudige DAC's

- aantal bits: 4 x 12
- niet-lineariteit: figuur 12/7.9-25
- temp-coëf.:
  type JD/SD: +/-10 ppm/°C
  type KD/TD: +/-5 ppm/°C
- settling-time:
  10 µs typisch
  15 µs max.
- uitgangsbereik: $-U_{REF}$ max.
- uitgangsstroom: 5 mA min.
- referentie-ingang:
  spanning: +/-11 V max.
  impedantie: 5 - 25 kΩ



Figuur 12/7.9-24: Intern blokschema van de AD 395.

Timing

De ingangs-registers van iedere DAC zijn enkelvoudig uitgevoerd, zodat weliswaar iedere DAC individueel geladen kan worden, maar de analoge uitgang zich onmiddellijk na het laden aanpast. De vier $\overline{CS}$-lijnen worden gebruikt voor het selecteren van een DAC (zie waarheidstabel van figuur 12/7.9-26).

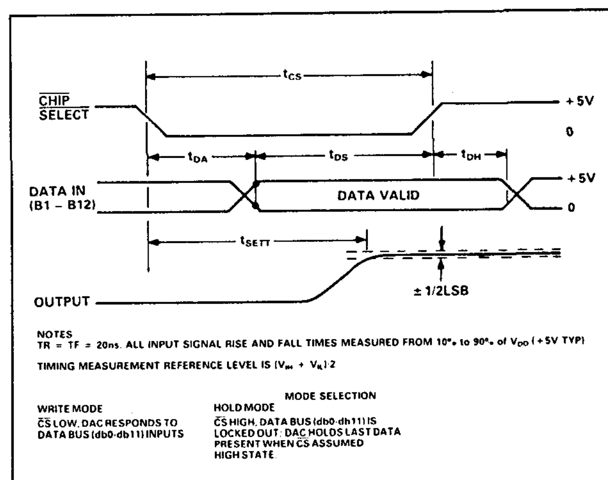
Model	Temperature Range	Gain Error	Linearity Error T_{min}-T_{max}	Package Option*
AD394JD	0 to +70°C	±4LSB	±3/4LSB	DH-28A
AD395JD	0 to +70°C	±4LSB	±3/4LSB	DH-28A
AD394KD	0 to +70°C	±2LSB	±1/2LSB	DH-28A
AD395KD	0 to +70°C	±2LSB	±1/2LSB	DH-28A
AD394SD	−55°C to +125°C	±4LSB	±3/4LSB	DH-28A
AD395SD	−55°C to +125°C	±4LSB	±3/4LSB	DH-28A
AD394TD	−55°C to +125°C	±2LSB	±1/2LSB	DH-28A
AD395TD	−55°C to +125°C	±2LSB	±1/2LSB	DH-28A

*See Section 14 for package outline information.

Figuur 12/7.9-25: Lineariteit en nauwkeurigheid van de verschillende versies van de AD 395.

$\overline{CS1}$	$\overline{CS2}$	$\overline{CS3}$	$\overline{CS4}$	Operation
1	1	1	1	All DACs Latched
0	1	1	1	Load DAC 1 From Data Bus
1	0	1	1	Load DAC 2 From Data Bus
1	1	0	1	Load DAC 3 From Data Bus
1	1	1	0	Load DAC 4 From Data Bus
0	0	0	0	All DACs Simultaneously Loaded

Figuur 12/7.9-26: De waarheidstabel voor het besturen van de AD 395.



Figuur 12/7.9-27: Timing van de besturing van de AD 395.

7.9 Type-beschrijving meer dan tweevoudige DAC's

De timing van de signalen volgt uit figuur 12/7.9-27.

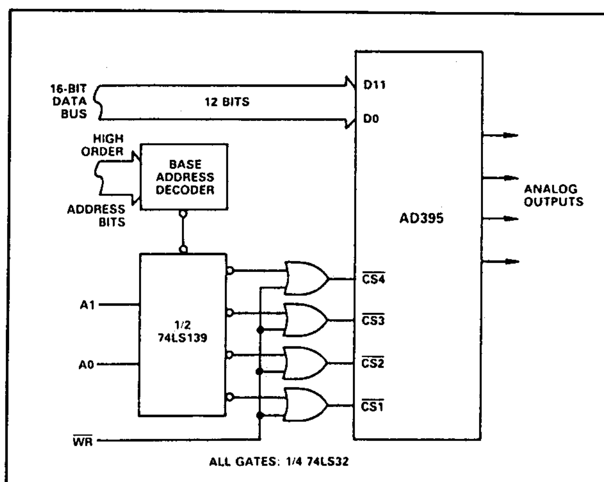
Voorbeeld-schakelingen

- figuur 12/7.9-28:

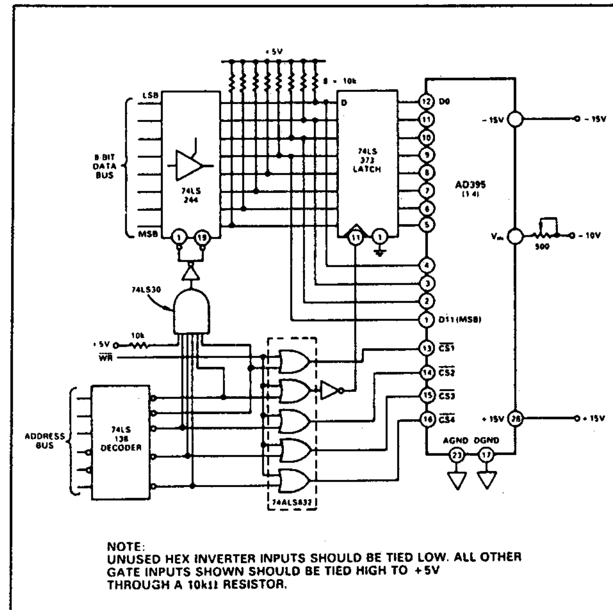
Het laden en besturen van de AD 395 uit een 16-bit brede data-bus.
De hoogste orde-bits van de data-bus sturen via een adres-decoder de ENABLE-ingang van een 74LS139. Deze decoder wordt gestuurd uit de twee adresseersignalen A1 en A0, die bepalen welke DAC wordt ingelezen. Het $\overline{WR}$-signaal van het systeem stelt het moment waarop dit gebeurt vast.

- figuur 12/7.9-29:

Het laden en besturen van de AD 395 uit een 8-bit data-bus.
De 74LS244 buffert de data-bus, zijn uitgangen worden ge-enabled als het adres waarmee de DAC wordt aangesproken op de adres-bus verschijnt.
Het eerste byte op de data-bus wordt in de 74LS373 geladen, het tweede byte wordt rechtstreeks naar de DAC gestuurd en wordt daar gecombineerd met de inhoud van de latch.
De pull-up weerstanden op de uitgang van de latch zijn noodzakelijk om er zeker van te zijn dat de ingangen van de DAC nooit zweven.



Figuur 12/7.9-28: Het besturen en laden van de AD 395 uit een 16-bit brede bus.



Figuur 12/7.9-29: Het besturen en laden van de AD 395 uit een 8-bit brede bus.

AD 396

4 x 14 bit, 10 μs, U-uitgang

Deze schakeling bevat vier identieke 14 bit brede redelijk snelle omzetters met ingebouwde stroom-naar-spanning omzetters.
Iedere DAC is individueel te laden door middel van vier $\overline{CS}$-signalen. De registers zijn dubbel gebufferd, zodat men na het laden van de DAC's de analoge uitgangen door middel van een stuursignaal kan up-daten.
De data-bus is slechts 8 bit breed, zodat de DAC's in twee cycli uit een 8-bit brede databus geladen moeten worden.
De versterking en de offset worden tijdens de fabricage door middel van laser-trimming afgeregeld.

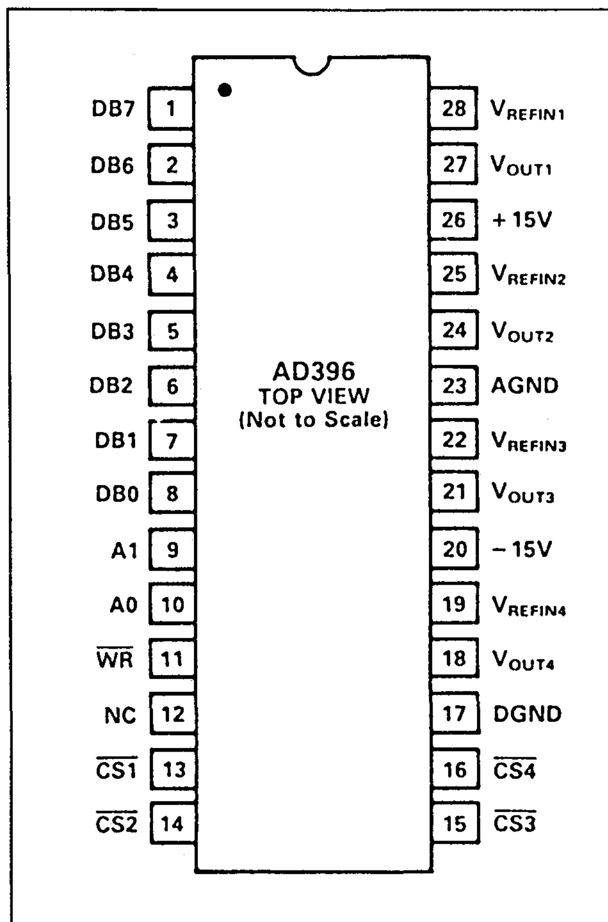
Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-28
- aansluitgegevens: figuur 12/7.9-30
- intern blokschema: figuur 12/7.9-31
- functie van de pennen: figuur 12/7.9-32
- voedingsspanning:
  +/-13,5 V min.

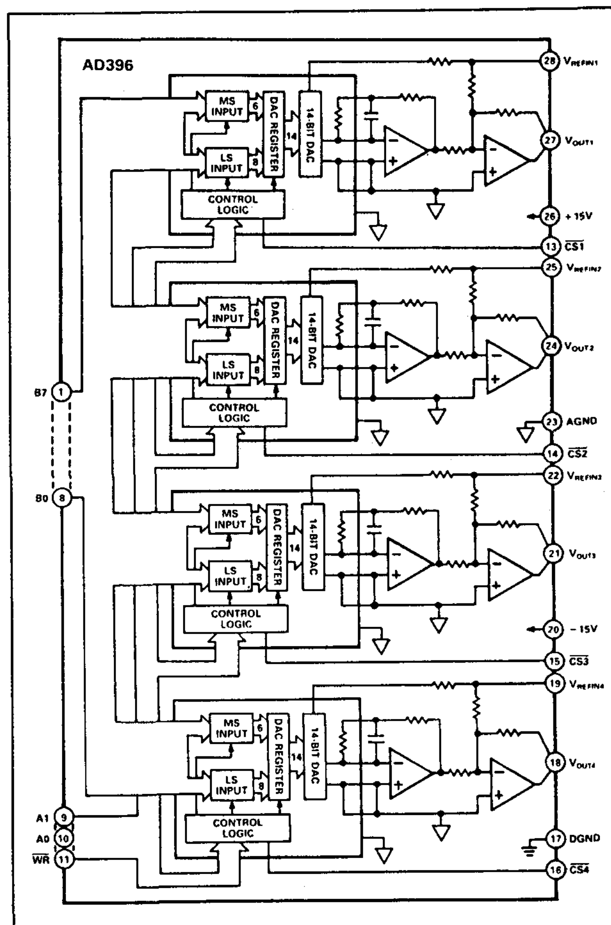
7.9 Type-beschrijving meer dan tweevoudige DAC's

+/-15,0 V typisch
+/-16,5 V max.

- voedingsstroom: +22/-28 mA max.
- aantal bits: 4 x 14
- niet-lineariteit: figuur 12/7.9-33
- temp-coëf.:
  type JD/SD: +/-10 ppm/°C
  type KD/TD: +/-5 ppm/°C
- settling-time:
  10 µs typisch
  15 µs max.
- uitgangsbereik: +/-U_{REF} V max.
- uitgangsstroom: 5 mA min.
- referentie-ingang:
  spanning: +/-11 V max.
  impedantie: 5 - 25 kΩ



Figuur 12/7.9-30: Aansluitgegevens van de AD 396.



Figuur 12/7.9-31: Intern blokschema van de AD 396.

Timing

De 14 data-bits worden geladen in twee afzonderlijke registers per DAC. Nadien worden deze gegevens overgedragen op een derde 14 bit breed register. Het LS-register moet geladen worden met de acht laagste bits van het 14-bit woord.

Dit wordt gedaan door de adres-lijnen A0 en A1 te programmeren, zie de waarheidstabel van figuur 12/7.9-34. Het MS-register wordt nadien op dezelfde manier geladen met de 6 hoogste bits van het woord.

Bij deze transacties moet zowel $\overline{CS}$ als $\overline{WR}$ "L" gestuurd worden. Nadien kan, door de twee adres-lijnen "H" te maken, het uitgangsregister geladen worden met de gegevens.

7.9 Type-beschrijving meer dan tweevoudige DAC's

De signalen op de vier $\overline{CS}$-lijnen bepalen welke van de vier DAC's geladen wordt.
Als alle $\overline{CS}$-signalen "L" worden gemaakt worden alle vier de DAC's gestuurd met de data in de uitgangsregisters.
Als de twee adres-lijnen "L" worden gestuurd, dan worden alle vier de DAC's rechtstreeks geladen vanuit de data-bus. Op deze manier kan men met één bewerking alle uitgangen op 0 V of op volle schaal zetten voor calibratie-doeleinden.
De timing van de signalen is gegeven in figuur 12/7.9-35.

PIN	FUNCTION	DESCRIPTION
1	DB7	DATA BIT 7
2	DB6	DATA BIT 6
3	DB5	DATA BIT 5/DATA BIT 13 (DAC MSB)
4	DB4	DATA BIT 5/DATA BIT 12
5	DB3	DATA BIT 3/DATA BIT 11
6	DB2	DATA BIT 2/DATA BIT 10
7	DB1	DATA BIT 1/DATA BIT 9
8	DB0	DATA BIT 0/DATA BIT 8
9	A1	ADDRESS LINE 0
10	A0	ADDRESS LINE 1
11	$\overline{WR}$	WRITE INPUT. ACTIVE LOW
12	NC	NO CONNECTION
13	$\overline{CS1}$	CHIP SELECT DAC 1. ACTIVE LOW
14	$\overline{CS2}$	CHIP SELECT DAC 2. ACTIVE LOW
15	$\overline{CS3}$	CHIP SELECT DAC 3. ACTIVE LOW
16	$\overline{CS4}$	CHIP SELECT DAC 4. ACTIVE LOW
17	DGND	DIGITAL GROUND
18	V_{OUT4}	DAC 4 VOLTAGE OUTPUT
19	V_{REFIN4}	DAC 4 REFERENCE INPUT
20	−15V	−15V SUPPLY INPUT
21	V_{OUT3}	DAC 3 VOLTAGE OUTPUT
22	V_{REFIN3}	DAC 3 REFERENCE INPUT
23	AGND	ANALOG GROUND
24	V_{OUT2}	DAC 2 VOLTAGE OUTPUT
25	V_{REFIN2}	DAC 2 REFERENCE INPUT
26	+15V	+15V SUPPLY INPUT
27	V_{OUT1}	DAC 1 VOLTAGE OUTPUT
28	V_{REFIN1}	DAC 1 REFERENCE INPUT

Figuur 12/7.9-32: Functie van de pennen van de AD 396.

Model	Temperature Range	Gain Error	Linearity Error T_{min}-T_{max}	Package Option*
AD396JD	0 to +70°C	±16LSB	±2LSB	DH-28A
AD396KD	0 to +70°C	± 8LSB	±1LSB	DH-28A
AD396SD	−55°C to +125°C	±16LSB	±2LSB	DH-28A
AD396TD	−55°C to +125°C	± 8LSB	±1LSB	DH-28A

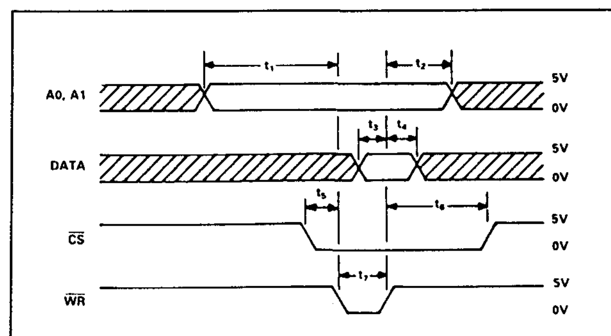
*See Section 14 for package outline information.

Figuur 12/7.9-33: Lineariteit en nauwkeurigheid van de verschillende versies van de AD 396.

$\overline{WR}$	$\overline{CS}$	A1	A0	Function
X	1	X	X	Device not selected
1	X	X	X	No data transfer
0	0	0	0	DAC loaded directly from Data Bus
0	0	0	1	MS Input Register loaded from Data Bus
0	0	1	0	LS Input Register loaded from Data Bus
0	0	1	1	DAC Register loaded from Input Registers.

$\overline{CS1}$	$\overline{CS2}$	$\overline{CS3}$	$\overline{CS4}$	Operation
1	1	1	1	All DACs Latched
0	1	1	1	Load DAC 1 From Data Register
1	0	1	1	Load DAC 2 From Data Register
1	1	0	1	Load DAC 3 From Data Register
1	1	1	0	Load DAC 4 From Data Register
0	0	0	0	All DACs Simultaneously Loaded

Figuur 12/7.9-34: De waarheidstabel voor het besturen van de AD 396.



Figuur 12/7.9-35: Timing van de besturing van de AD 396.

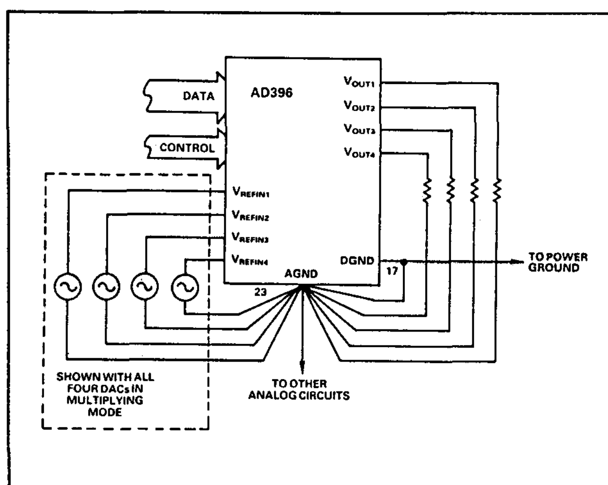
Voorbeeld-schakelingen

- figuur 12/7.9-36:

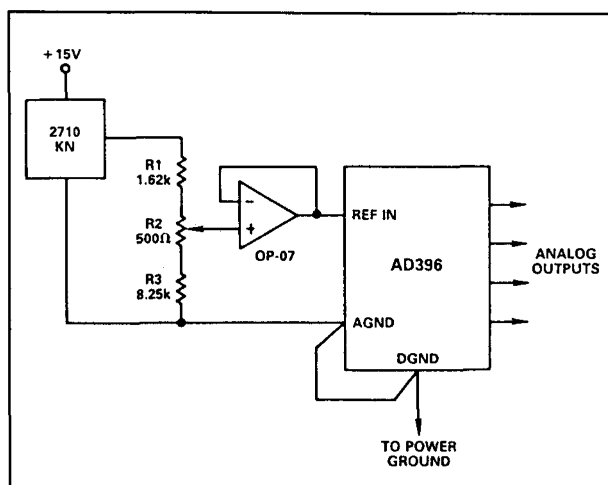
Principiële schakeling waaruit duidelijk blijkt hoe men de massa-signalen rond de AD 396 moet verbinden met het IC.

- figuur 12/7.9-37:

Het aansluiten van de externe referentie-spanning op de referentie-ingang van de AD 396 voor een maximale uitgangsspanning van +/-8,192 V.



Figuur 12/7.9-36: De geadviseerde manier om de massa's met de AD 396 te verbinden.



Figuur 12/7.9-37: Het aansluiten van de externe referentie op een AD 396.

AD 664

4 x 12 bit, 8 µs, U-uitgang

Deze schakeling, die in twee uitvoeringen leverbaar is, bevat vier identieke 12 bit brede gemiddeld-snelle omzetters met ingebouwde stroom-naar-spanning omzetters.

Deze schakelingen worden gekenmerkt door zeer uitvoerige programmerings-mogelijkheden van de modes en van het laden van gegevens.

De ene versie met de meeste mogelijkheden is ondergebracht in een 44-pens PLCC-behuizing.

Er bestaat een tweede versie in een DIL-28 behuizing, die aanzienlijk minder programmerings-mogelijkheden heeft.

Door een dubbele buffering van de registers kan men de vier schakelingen individueel laden en nadien met één besturingssignaal de vier analoge uitgangen op hetzelfde moment up-daten. De data-bus is 12-bit breed, zodat de schakeling in één cyclus geladen kan worden.

De schakeling is voorzien van een Read-back-faciliteit, waarmee men de ingelezen data terug op de data-bus van het systeem kan zetten.

Met een "$\overline{\text{Reset to zero}}$" kan men alle uitgangen naar 0 V zetten. Ieder van de vier DAC's kan in een transparante modus geschakeld worden, waardoor de analoge uitgang onmiddellijk reageert op codewijzigingen op de ingangen.

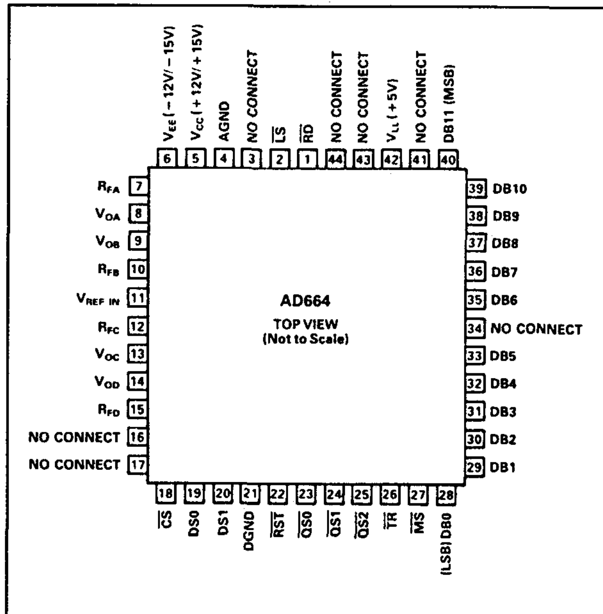
De 44-pens versie heeft bovendien de mogelijkheid de versterking en het uitgangsbereik te programmeren.

De vier DAC's worden bestuurd uit een microprocessor-compatibele I/O-poort, die toelaat de schakeling zowel uit 4-, 8- of 12-bit brede data-bussen te laden.

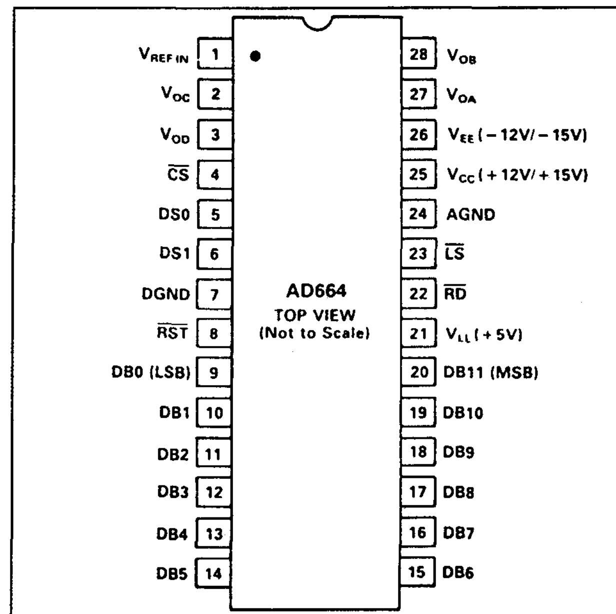
Dit laatste geldt alleen voor de 44-pens uitvoering, de 28-pens uitvoering kan alleen geladen worden uit 12-bit bussen.

De versterking en de offset worden tijdens de fabricage door middel van laser-trimming afgeregeld.

7.9 Type-beschrijving meer dan tweevoudige DAC's



Figuur 12/7.9-38: Aansluitgegevens van de AD 664 in PLCC 44-pens behuizing.



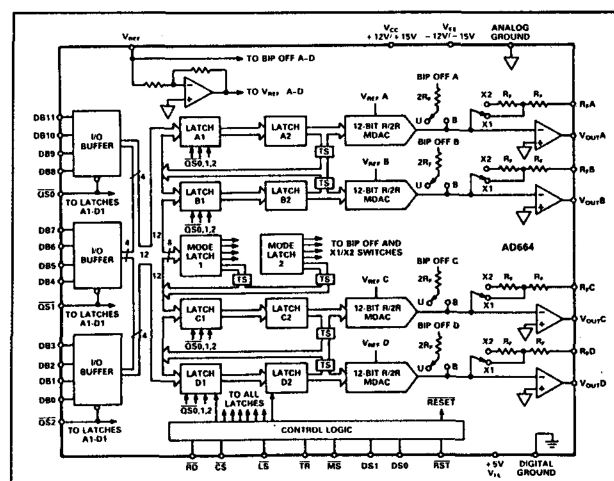
Figuur 12/7.9-39: Aansluitgegevens van de AD 664 in DIL-28 behuizing.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-28, PLCC-44
- aansluitgegevens:
  figuren 12/7.9-38 en -39
- intern blokschema:
  figuren 12/7.9-40 en -41
- voedingsspanning:
  +/-11,4 V, +4,5 V min.
  +/-15,0 V, +5 V typisch
  +/-16,5 V, +5,5 V max.
- voedingsstroom: +15/-19 mA, +1 mA max.
- aantal bits: 4 x 12
- niet-lineariteit: figuur 12/7.9-42
- temp-coëf.:
  +/-10 ppm/°C
- settling-time:
  8 µs typisch
  10 µs max.
- uitgangsbereik:
  unipolaire versie: 0 tot (VCC-2 V) max.
  bipolaire versie: VCC/EE +/-2 V max.
- uitgangsstroom: 5 mA max.
- referentie-ingang:
  spanning: VCC/EE +/-2 V max.
  impedantie: 1,3 - 2,6 kΩ

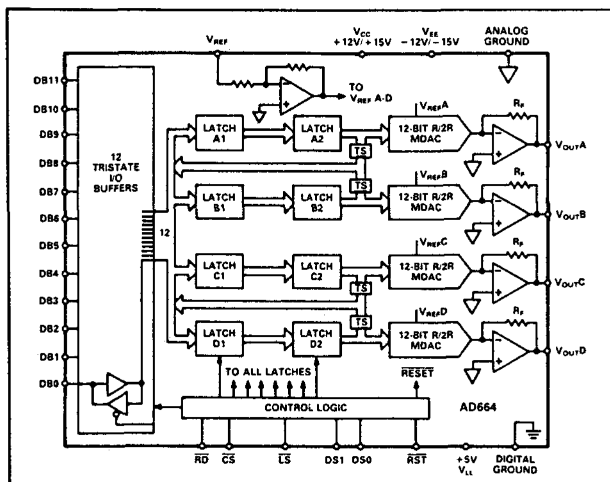
Timing

- Algemene waarheidstabel:
  De algemene waarheidstabel voor het besturen van de AD 664 is getekend in figuur 12/7.9-43, de algemeen timing-voorwaarden van de signalen volgen uit de tabel van figuur 12/7.9-44.



Figuur 12/7.9-40: Intern blokschema van de AD 664, 44-pens versie.

7.9 Type-beschrijving meer dan tweevoudige DAC's



Figuur 12/7.9-41: Intern blokschema van de AD 664, 28-pens versie.

- Laden en up-daten van één DAC:
  Eerst moeten de adres-signalen worden geselecteerd voor de DAC.
  Nadien wordt LATCH SELECT $\overline{LS}$ laag getrokken, CHIP SELECT $\overline{CS}$ laag getrokken, $\overline{LS}$ hersteld en nadien $\overline{CS}$. Als $\overline{CS}$ laag gaat, worden de gegevens in de eerste buffer van het register geladen. Als $\overline{LS}$ weer hoog wordt, gaan de gegevens naar de tweede buffer van het register en wordt de analoge uitgang aangepast aan de nieuwe digitale gegevens. De overige signalen moeten hoog blijven. De timing van deze procedure is geschetst in figuur 12/7.9-45.
- Laden van gegevens in de eerste buffer:
  Bij deze procedure wordt de eerste buffer van een DAC geladen met gegevens, maar wordt de analoge uitgang niet aangepast. Eerst worden, net zoals in het vorige voorbeeld, de data op de ingangen gezet en de adres-lijnen aangepast aan de selectie van de DAC. $\overline{LS}$ wordt laag getrokken, gevolgd door het laag maken van $\overline{CS}$. Nu moet echter eerst $\overline{CS}$ en dan pas $\overline{LS}$ weer hoog gemaakt worden, zie figuur 12/7.9-46. De data worden nu alleen in de eerste buffer van het register geschreven, maar worden niet doorgekoppeld naar de tweede buffer, zodat de analoge uitgang niet wordt aangepast.
- Gegevens naar de tweede buffer transporteren:
  Door $\overline{CS}$ laag te trekken, terwijl alle overige besturingssignalen hoog blijven, kan men de gegevens van de eerste naar de tweede buffer overbrengen, waardoor de analoge uitgang wordt aangepast. De timing van deze procedure is getekend in figuur 12/7.9-47.
  Het is niet noodzakelijk dat er binaire gegevens op de data-ingangen aanwezig zijn. De in de eerste buffer aanwezige gegevens blijven bovendien bewaard.

Model	Output Range	Temperature Range	Gain Error	Linearity Error	Package Options[2]
AD664BD-UNI	0 to V_{REF}	Ind	±5LSB	±0.5LSB	D-28
AD664BD-BIP	$-V_{REF}$ to V_{REF}	Ind	±5LSB	±0.5LSB	D-28
AD664TD-UNI/883B[3]	0 to V_{REF}	Mil	±5LSB	±0.5LSB	D-28
AD664TD-BIP/883B[3]	$-V_{REF}$ to V_{REF}	Mil	±5LSB	±0.5LSB	D-28
AD664BE	Programmable	Ind	±5LSB	±0.5LSB	E-44A
AD664TE/883B[3]	Programmable	Mil	±5LSB	±0.5LSB	E-44A

NOTES
[1]AD664KN and AD664KP commercial devices to be available soon.
[2]See Section 14 for package outline information.
[3]Consult Military Products Databook for complete specifications.

Figuur 12/7.9-42: Lineariteit en nauwkeurigheid van de verschillende versies van de AD 664.

7.9 Type-beschrijving meer dan tweevoudige DAC's

Function	DS1,DS0	$\overline{LS}$	$\overline{MS}$	$\overline{TR}$	$\overline{QS0}$, $\overline{1}$, $\overline{2}$[1]	$\overline{RD}$	$\overline{CS}$	$\overline{RST}$
Load 1st Rank (data)								
DACA	00	0	1	1	Select Quad	1	1→0	1
DACB	01	0	1	1	Select Quad	1	1→0	1
DACC	10	0	1	1	Select Quad	1	1→0	1
DACD	11	0	1	1	Select Quad	1	1→0	1
Load 2nd Rank (data)	XX	1	1	1	XXX	1	1→0	1
Readback 2nd Rank (data)	Select D/A	X	1	1	Select Quad	0	1→0	1
Reset	XX	X	X	X	XXX	X	X	0
Transparent[1]								
All DACs	XX	1	1	0	000	1	1→0	1
DACA	00	0	1	0	000	1	1→0	1
DACB	01	0	1	0	000	1	1→0	1
DACC	10	0	1	0	000	1	1→0	1
DACD	11	0	1	0	000	1	1→0	1
Mode Select[1,2]								
1st Rank	XX	0	0	1	00X	1	1→0	1
2nd Rank	XX	1	0	1	XXX	1	1→0	1
Readback Mode[1]	XX	X	0	1	00X	0	1→0	1

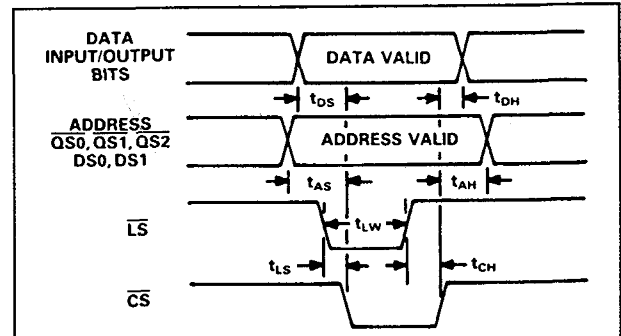
Notes: X = don't care.
[1]For 44-pin versions only
[2]For $\overline{MS}$, $\overline{TR}$, $\overline{LS}$ = 0, a $\overline{MS}$ 1st write occurs.

Figuur 12/7.9-43: De algemene waarheidstabel voor het besturen van de AD 664.

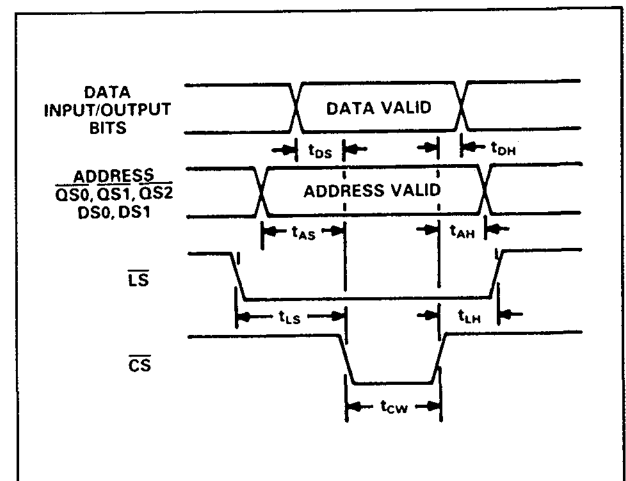
7.9 Type-beschrijving meer dan tweevoudige DAC's

DIGITAL TIMING (V_{IN} = 0.8, 2.4V)	
Data Input Mode	
$\overline{CS}$ Pulse Width t_{CW}	80
Data Setup t_{DS}	0
Data Hold t_{DH}	100
Address Setup t_{AS}	0
Address Hold t_{AH}	30
$\overline{LS}$ Setup t_{LS}	0
$\overline{LS}$ Hold t_{LH}	30
Data Input Mode	
Data Setup t_{DS}	0
Data Hold t_{DH}	0
$\overline{LS}$ Width t_{LW}	80
$\overline{LS}$ Setup t_{LS}	0
$\overline{CS}$ Hold t_{CH}	50
Address Setup t_{AS}	0
Address Hold t_{AH}	30
Mode Select	
$\overline{LS}$ Setup t_{LS}	20
Address Setup t_{AS}	0
Data Setup t_{DS}	0
$\overline{LS}$ Width t_{LW}	80
$\overline{CS}$ Hold t_{CH}	260
Data Hold t_{DH}	0
$\overline{MS}$ Hold t_{MH}	0
Mode Select	
$\overline{MS}$ Setup t_{MS}	20
$\overline{MS}$ Hold t_{MH}	0
$\overline{LS}$ Setup t_{LS}	0
Data Setup t_{DS}	0
$\overline{CS}$ Width t_{W}	80
$\overline{LS}$ Hold t_{LH}	85
Data Hold t_{DH}	100
Readback Mode	
Address Setup t_{AS}	20
Address Hold t_{AH}	30
$\overline{RD}$ Setup t_{RS}	20
$\overline{RD}$ Hold t_{RH}	30
$\overline{MS}$ Setup t_{MS}	20
$\overline{MS}$ Hold t_{MH}	30
Data Access t_{DV}	240
Data Release t_{DF}	75
Address Hold t_{AH}	0
Asynchronous Reset	
Reset Width t_{W}	90

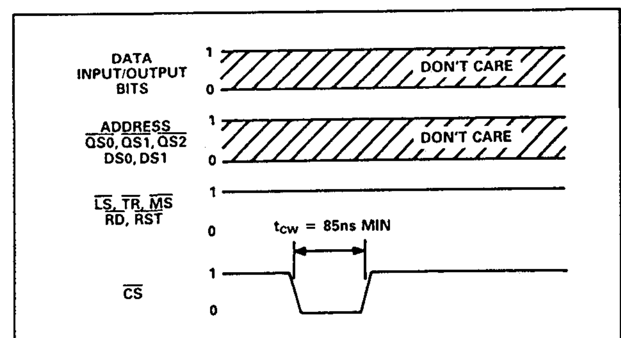
Figuur 12/7.9-44: De algemene timing voor de besturingssignalen.



Figuur 12/7.9-45: De timing voor het laden en updaten van één individuele DAC.



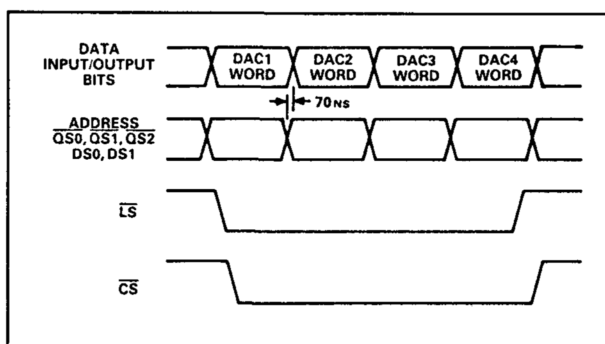
Figuur 12/7.9-46: Het laden van gegevens in de eerste buffer van het register van een DAC.



Figuur 12/7.9-47: Het transporteren van de gegevens van de eerste naar de tweede buffer.

7.9 Type-beschrijving meer dan tweevoudige DAC's

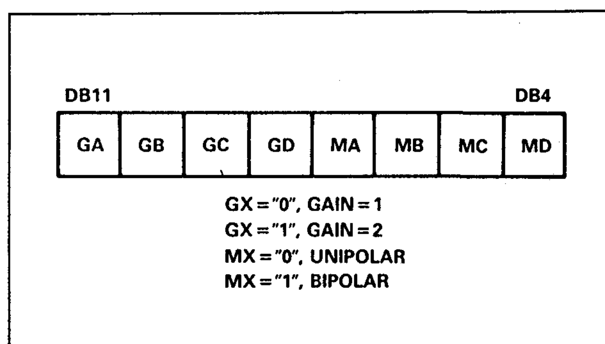
– Laden en up-daten van meer dan een DAC:
Als men alle analoge uitgangen met één bewerking wil up-daten moet men als volgt te werk gaan. De bewerking wordt ingeluid door het laag maken van $\overline{CS}$, gevolgd door het laag maken van $\overline{LS}$. Nadien worden de vier DAC's achtereenvolgens geadresseerd. De bewerking wordt, zie figuur 12/7.9-48, afgesloten met het eerst weer hoog maken van $\overline{LS}$ en nadien van $\overline{CS}$.



Figuur 12/7.9-48: Het laden en up-daten van alle vier de DAC's.

– Het selecteren van de versterking en van de mode bij de 44-pens versie:
Deze schakeling bevat intern acht elektronische schakelaars, waarmee men de versterkingsfactor en het uni- of bipolaire karakter van de uitgangsspanning kan instellen. Deze schakelaars worden ingesteld door een "Mode Select"-woord, dat wordt ingelezen via de I/O-poort. Dit woord bevat 8 bits en beslaat de acht hoogste bits van het normale 12-bit brede woord. De laatste vier bits van het woord hebben geen invloed op de programmatie en kunnen dus "don't care" zijn.
Het formaat van dit woord is geschetst in figuur 12/7.9-49. De vier eerste bits bepalen de versterking van de schakeling, de vier laatste het uni- of bipolaire karakter van de uitgangsspanning. Iedere DAC wordt dus door twee eigen bits gecontroleerd.

Een versterking van 1 heeft tot gevolg dat de uitgang tot aan de waarde van de referentie-spanning kan gaan, een versterking van 2 voert de uitgangsspanning op tot maximaal twee maal de waarde van de referentie. Wordt de unipolaire mode ingeschakeld, dan kan de spanning op de analoge uitgang van 0 tot REF of van 0 tot 2.REF gaan.
Bij bipolaire werking wordt de uitgangsspanning begrensd tussen +/-REF/2 of +/-REF.



Figuur 12/7.9-49: Het bepalen van de versterking en van de mode van de DAC's bij de 44-pens versie van de AD 664.

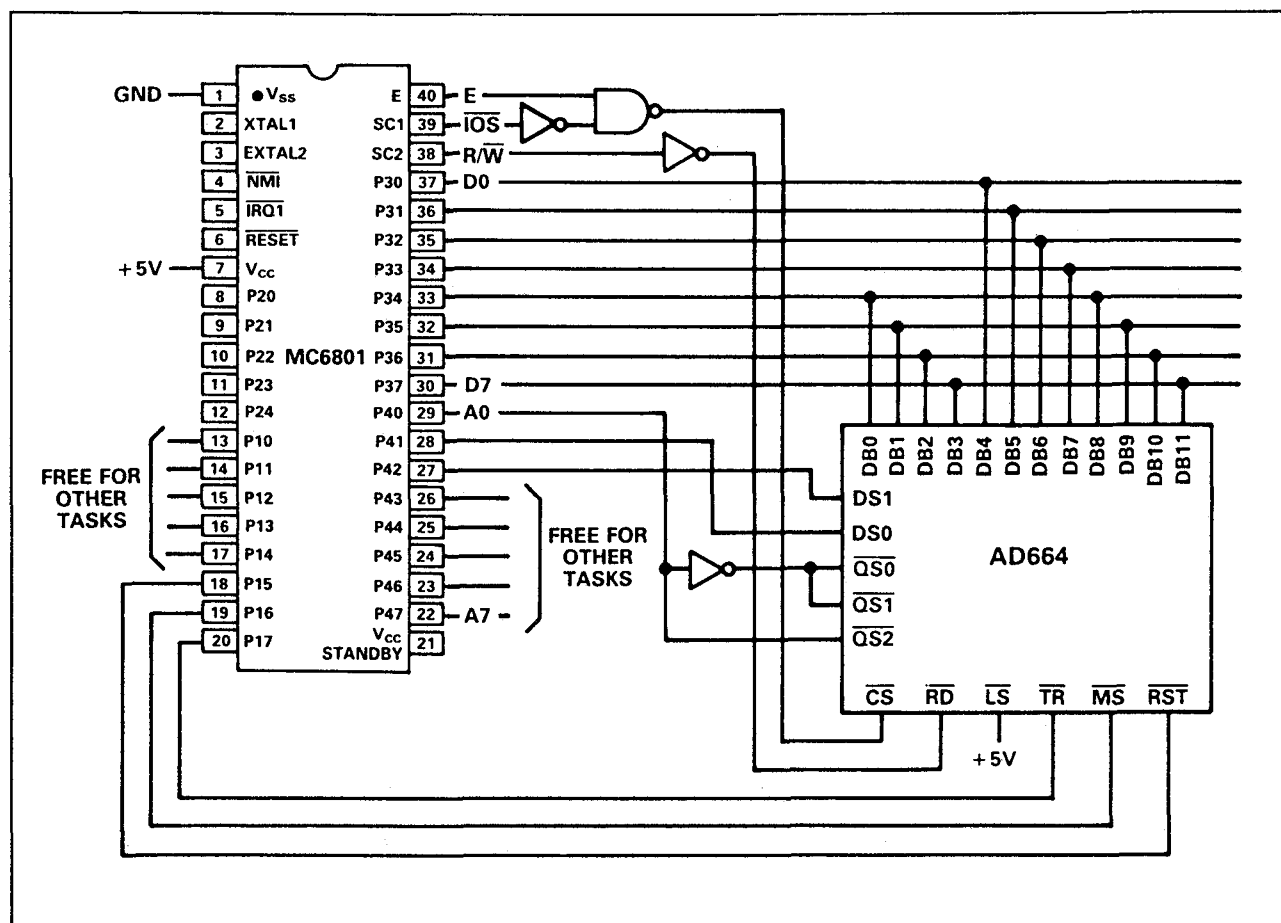
Voorbeeld-schakelingen

– figuur 12/7.9-50:
Het interfacen van een AD 664 op een 6801-systeem. De microprocessor moet in zijn expanded, non-multiplexed mode geschakeld worden. De processor kan dan 256 bytes extern geheugen adresseren over de 8-bit data- en adres-bussen (poorten 3 en 4). Daarnaast staan 8 multifunctionele I/O-lijnen (poort 1) ter beschikking. De drie LSB adresbits (P40, P41 en P42) worden gebruikt voor het adresseren van de AD 664. De drie I/O-lijnen P17, P16 en P15 worden ingeschakeld voor het selecteren van de modes van de DAC. IOS en E worden omgezet in een $\overline{CS}$-signaal.
– figuur 12/7.9-51:
Interfacen van een AD 664 op een 8051 microprocessor. De drie LSB-signalen van

7.9 Type-beschrijving meer dan tweevoudige DAC's

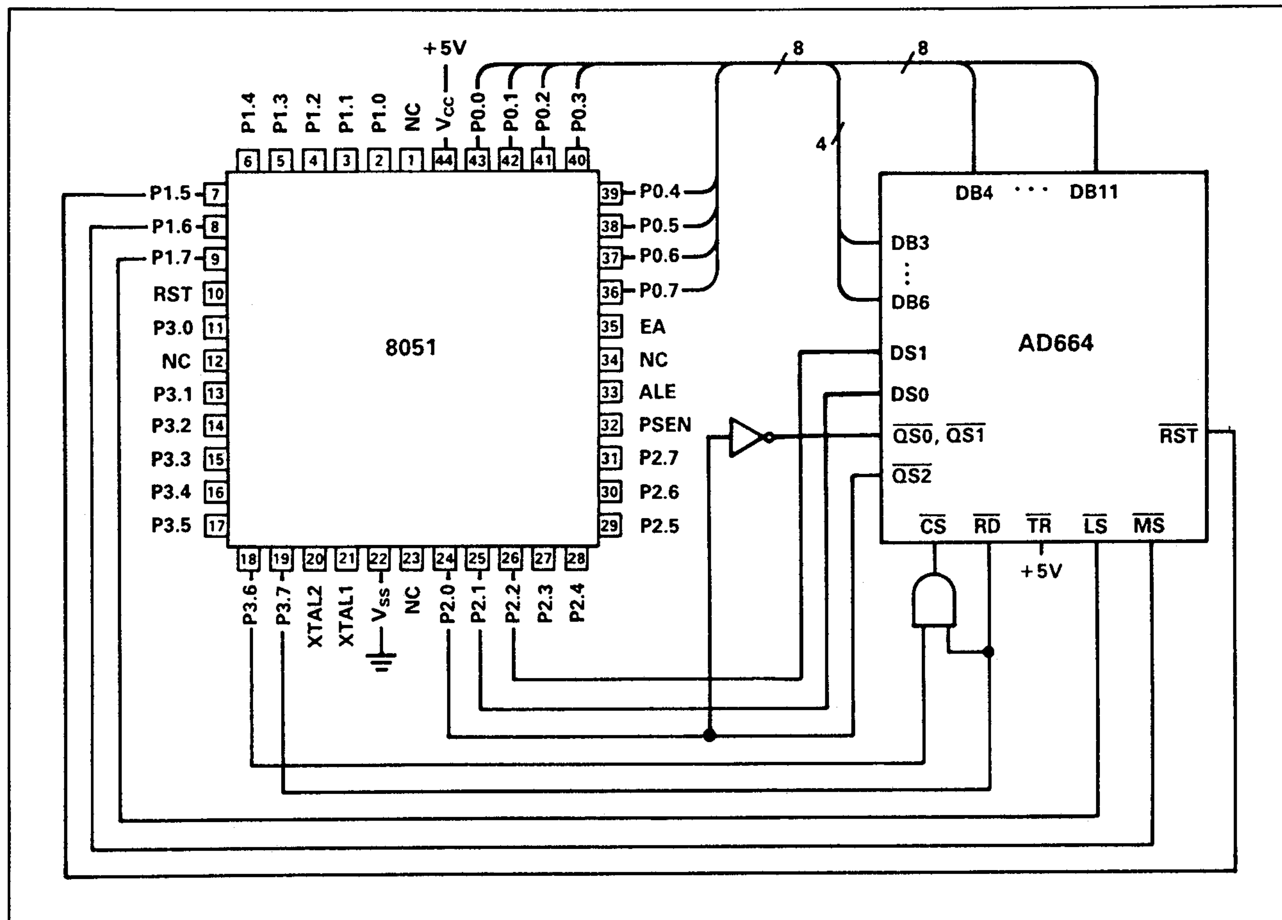
de adres-bus worden ingeschakeld voor het besturen van de DAC's.
De controle-signalen van poort 1 worden gebruikt voor het instellen van de mode van de AD 664. Het $\overline{CS}$-signaal wordt opgewekt uit de read- en write-signalen van de processor.
– figuur 12/7.9-52:
Interfacen van een AD 664 op een IBM-PC. De drie minst belangrijke adres-lijnen worden gebruikt voor het selecteren van de DAC's uit de AD 664.

De twee volgende adres-bits worden gebruikt voor het besturen van de $\overline{LS}$- en $\overline{MS}$-ingangen. In dit schema worden twee cycli gebruikt voor het laden van de AD 664. Eerst wordt een 8-bit breed woord verzonden, nadien een 4-bit breed woord. Nadien moet een tweede write-cyclus ingeschakeld worden voor het transporteren van de data naar de tweede buffer van het register. De $\overline{CS}$-strobe wordt gegenereerd uit het page-select signaal uit een adres in het bereik van 300H tot en met 31FH.



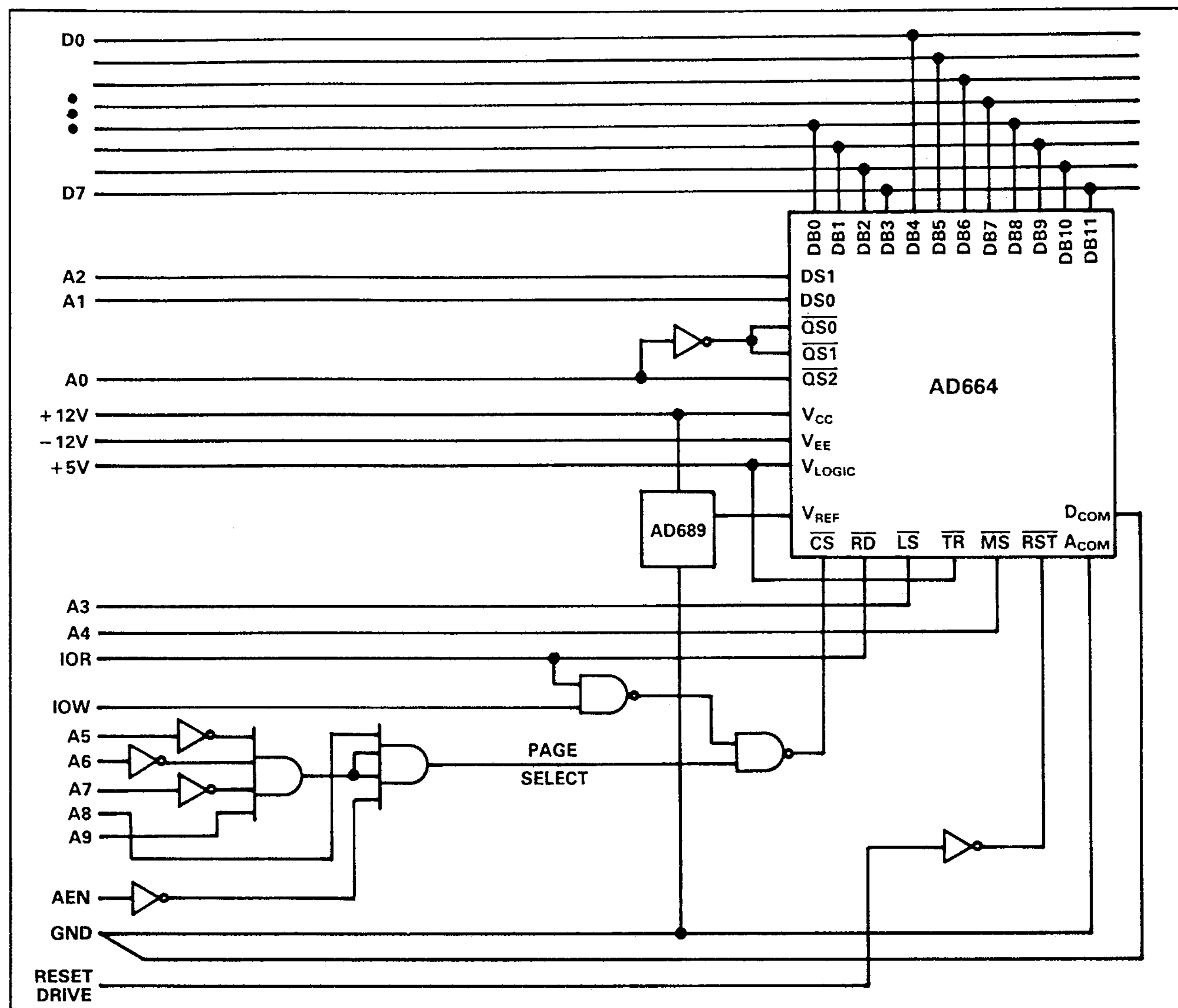
Figuur 12/7.9-50: Het interfacen van een AD 664 op een 6801-processor.

7.9 Type-beschrijving meer dan tweevoudige DAC's



Figuur 12/7.9-51: Het interfacen van een AD 664 op een 8051-processor.

7.9 Type-beschrijving meer dan tweevoudige DAC's



Figuur 12/7.9-52: Het interfacen van een AD 664 op een PC.

7.9 Type-beschrijving meer dan tweevoudige DAC's

12/7.10

Type-beschrijving DAC's met seriële ingangen

PCM 56 P

16 bit, 1,5 μs, U-uitgang

De PCM 56 P is in wezen ontwikkeld voor audiotoepassingen, bijvoorbeeld als DAC in compact disk spelers. Omdat de seriële data echter op een zeer eenvoudige manier in het IC geklokt kunnen worden, kan men deze schakeling ook voor andere, niet al te snelle toepassingen gebruiken.

De PCM 56 P maakt gebruik van een weerstandsnetwerk dat is samengesteld uit zeer stabiele nikkelchroom weerstanden in dunne film techniek.

Deze technologie staat garant voor een zeer hoge lineariteit en absoluut monotone werking over het volledige gebied.

Technische gegevens

- fabrikant: Burr-Brown
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.10-1
- intern blokschema: figuur 12/7.10-2
- voedingsspanning: +/-13,5 V max.
- voedingsstroom: +17/-35 mA
- aantal bits: 16
- niet-lineariteit: +/-0,001 volle schaal
- vervorming: 0,002% typisch
- temp-coëf.: +/-25 ppm/°C
- settling-tijd: 1,5 μs
- uitgangsbereik: figuur 12/7.10-3
- uitgangsimpedantie:
  0,1 Ω is U-mode
  1,2 kΩ in I-mode

Opmerkingen

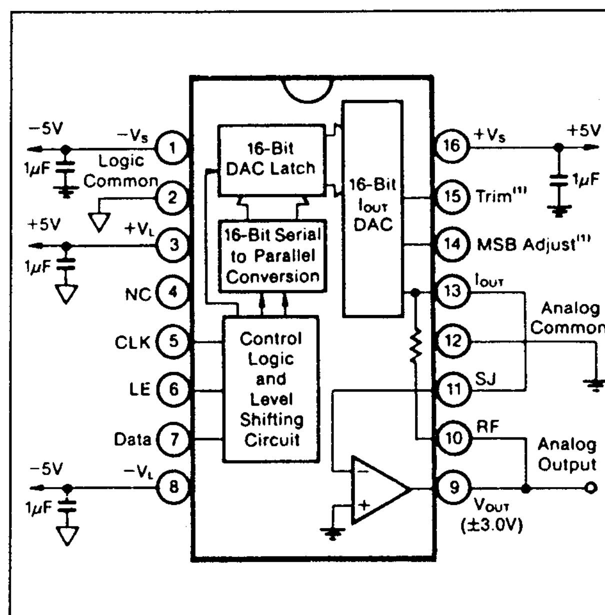
De PCM 56 P beschikt over drie ingangspennen:

- Data input;
- Clock input;
- Latch enable.

De seriële data moet worden aangeleverd in het Two's Complement formaat met het MSB als eerste bit van de bitstroom.

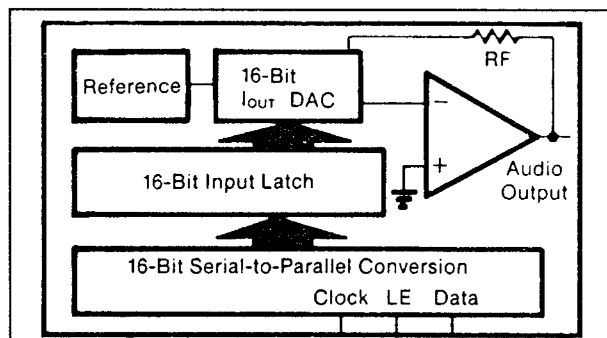
De data wordt op de positieve flanken van het Clock-signaal ingeklokt en wordt in de interne latch opgenomen op de negatieve flank van het Enable signaal. Als de datastroom meer dan 16 bits bevat worden de allereerste bits weer uit de latch verwijderd.

In de figuren 12/7.10-4 en 12/7.10-5 wordt de timing voor het inlezen van data geschetst.



Figuur 12/7.10-1: Aansluitgegevens van de PCM 56 P.

7.10 Type-beschrijving DAC's met seriële ingangen



Figuur 12/7.10-2: Intern blokschema van de PCM 56 P.

Digital Input	Analog Output		
Binary Twos Complement (BTC)	DAC Output	Voltage (V), V_{OUT} Mode	Current (mA), I_{OUT} Mode
7FFF Hex	+ Full Scale	+2.999908	−0.999970
8000 Hex	− Full Scale	−3.000000	+1.000000
0000 Hex	Bipolar Zero	0.000000	0.000000
FFFF Hex	Zero − 1LSB	−0.000092	+0.030500µA

Figuur 12/7.10-3: Verband tussen de digitale code en de uitgangswaarden.

Voorbeeld-schakelingen

- figuur 12/7.10-6:

Het afregelen van het MSB. Bij audiotoepassingen is het zeer belangrijk dat het gewicht van het MSB precies wordt afgeregeld. Rond de nuldoorgang van het audiosignaal zal immers het MSB steeds van "L" naar "H" verspringen en vice versa. Gewichtsfouten leiden tot grote harmonische vervormingen in het analoge uitgangssignaal, net op het moment dat het audiosignaal het kleinst is.

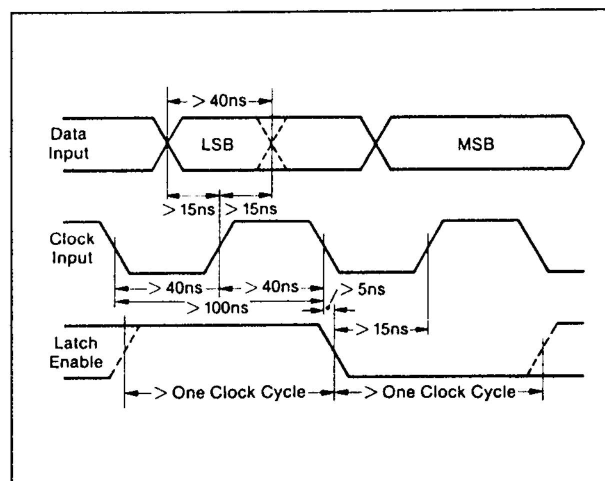
Na een opwarmingsperiode van ongeveer 10 minuten wordt aan de ingang van het IC de digitale code HEX-FFFF aangelegd.

Alle bits zijn dan "H", behalve het MSB. De uitgangsspanning van de schakeling wordt vervolgens gemeten met een 6,5 decade digitale voltmeter. Vervolgens wordt de code HEX-0000 ingelezen (alle bits "L" behalve het MSB). De potentiometer moet nu zo worden afgeregeld dat de uitgangsspanning 92 µV groter is dan bij de vorige code.

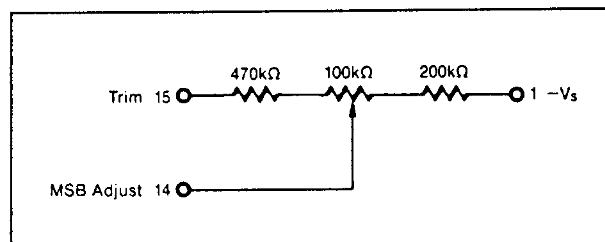
Een dynamische methode van afregelen gaat uit dat de PCM 56 P in een compact disk speler is geïnstalleerd. Via een test-CD wordt een sinusvormig signaal met een niveau van -80 dB aan de omzetter toegevoerd. De potentiometer kan nu worden afgeregeld op minimale harmonische vervorming in het uitgangssignaal.

- figuur 12/7.10-7:

Standaard schakeling rond de PCM 56 P, gebruikt als DAC in een compact disk speler. De digitale codes van de linker en rechter geluidsmonsters worden afwisselend aan de DAC toegevoerd. De uitgang wordt afgesloten met twee elektronische schakelaars, die de uitgangsmonsters naar de juiste geluidsuitgangen voeren en twee deglitcherschakelingen.

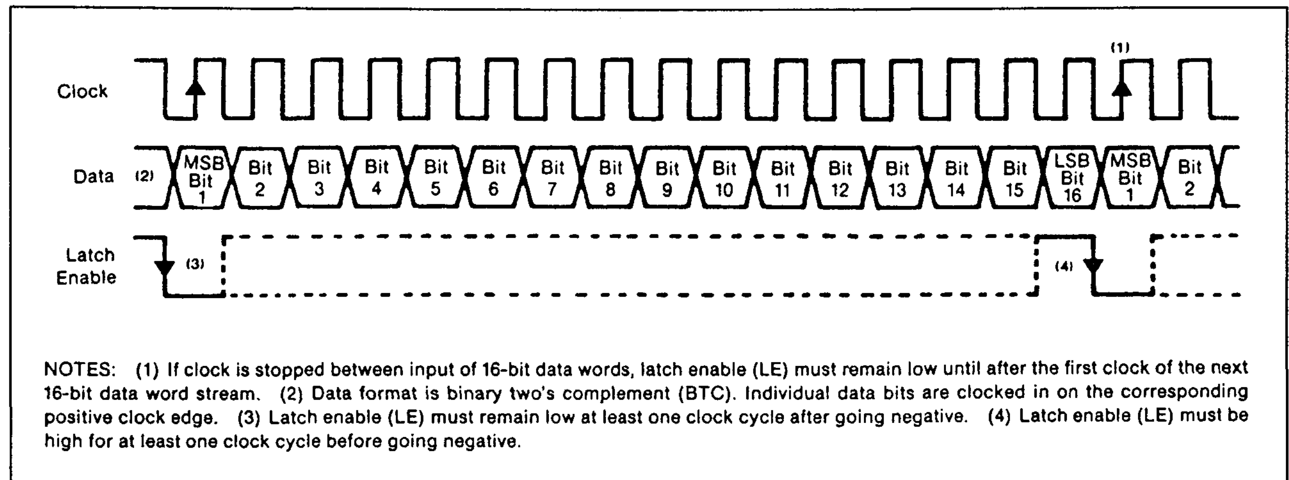


Figuur 12/7.10-4: Algemene timing tussen de drie ingangssignalen.

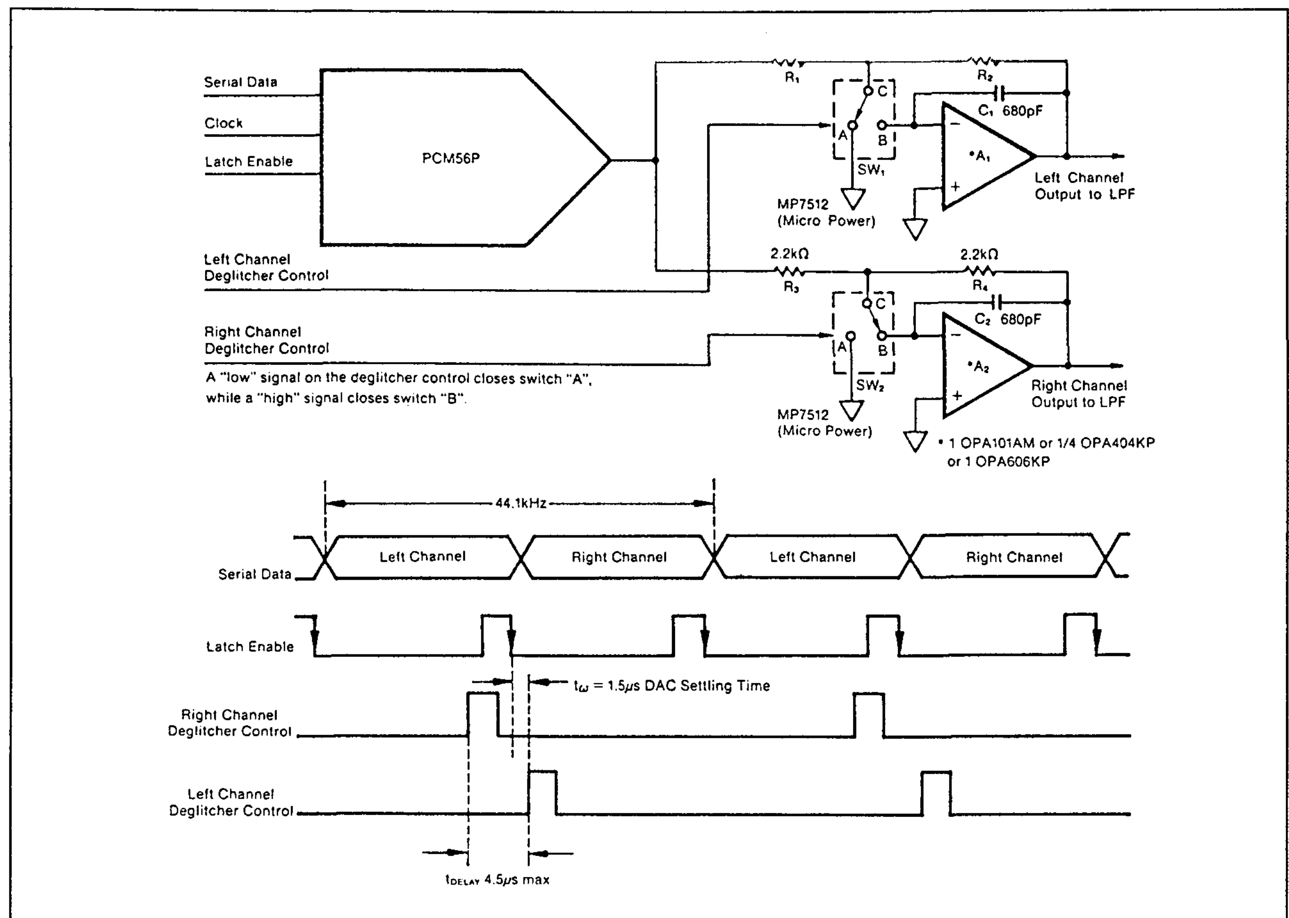


Figuur 12/7.10-6: Het afregelen van het gewicht van het hoogste bit.

7.10 Type-beschrijving DAC's met seriële ingangen



Figuur 12/7.10-5: Het inlezen van de data in de interne latch van de PCM 56 P.



Figuur 12/7.10-7: Voorbeeld-schakeling rond de PCM 56 P, gebruikt als digitaal naar analoog omzetter in een compact disk systeem.

7.10 Type-beschrijving DAC's met seriële ingangen

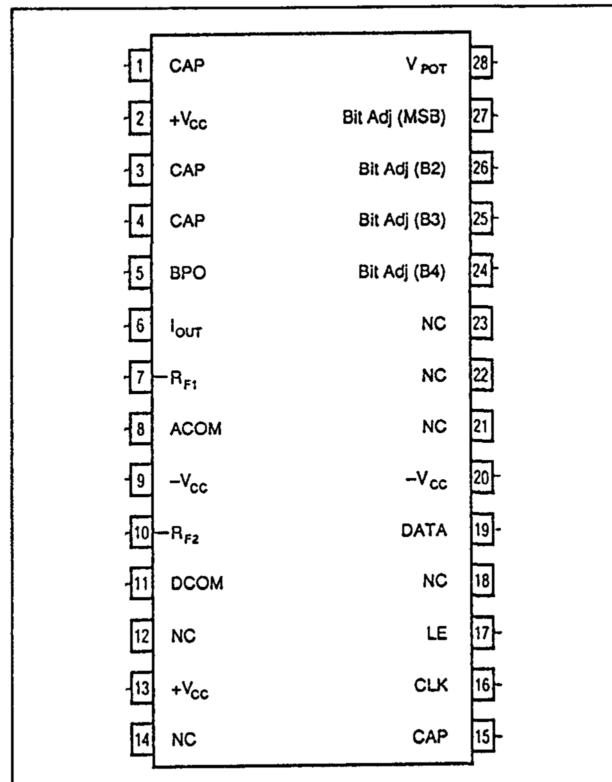
PCM 58 P

18 bit, 200 ns, I-uitgang

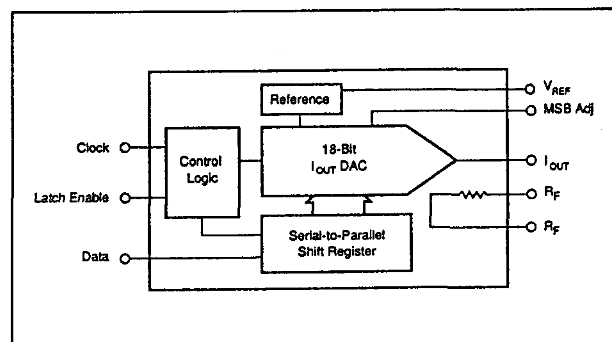
De PCM 58 P is in wezen ontwikkeld voor audiotoepassingen, bijvoorbeeld als zeer hoogwaardige DAC in compact disk spelers.
Dankzij de zeer kleine settling tijd kan dit IC gebruikt worden in systemen waarbij gebruik wordt gemaakt van vier- of achtvoudige oversampling van de digitale geluidscodes.
Omdat de seriële data echter op een zeer eenvoudige manier in het IC geklokt kunnen worden, kan men deze schakeling ook voor andere toepassingen gebruiken waar prijs wordt gesteld op een zo nauwkeurig mogelijke terugwinning van een traag tot middensnel analoog signaal.
De PCM 58 P maakt gebruik van een weerstandsnetwerk dat is samengesteld uit zeer stabiele nikkelchroom weerstanden in dunne film techniek.
Deze technologie staat garant voor een zeer hoge lineariteit en absoluut monotone werking over het volledige gebied. Maar er zijn voorzieningen getroffen om het gewicht van de vier hoogste bits extern af te regelen op minimale harmonische vervorming in het terug gewonnen analoge uitgangssignaal.
Er zijn drie versies van de PCM 58 P beschikbaar, die van elkaar afwijken in totale harmonische vervorming op het teruggewonnen analoge uitgangssignaal.

Technische gegevens

- fabrikant: Burr-Brown
- behuizing: DIL-28
- aansluitgegevens: figuur 12/7.10-8
- intern blokschema: figuur 12/7.10-9
- voedingsspanning: +6/-16 V max.
- voedingsstroom: +10/-30 mA max.
- aantal bits: 18
- niet-lineariteit: afhankelijk van afregeling
- vervorming: figuur 12/7.10-10
- temp-coëf.: +/-25 ppm/°C
- settling-tijd: 200 ns
- uitgangsbereik: figuur 12/7.10-11
- uitgangsimpedantie: 1,2 kΩ



Figuur 12/7.10-8: Aansluitgegevens van de PCM 58 P



Figuur 12/7.10-9: Intern blokschema van de PCM 58 P.

Opmerkingen

De PCM 58 P beschikt over drie ingangspennen:
- Data input;
- Clock input;
- Latch enable.

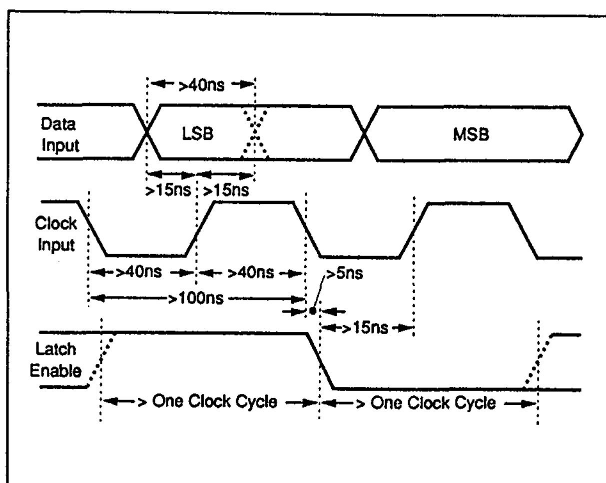
7.10 Type-beschrijving DAC's met seriële ingangen

TOTAL HARMONIC DISTORTION + N[2]		
PCM58P:		
f = 991Hz (0dB)[3]	−92	dB
f = 991Hz (−20dB)	−72	dB
f = 991Hz (−60dB)	−34	dB
PCM58P-J:		
f = 991Hz (0dB)	−94	dB
f = 991Hz (−20dB)	−74	dB
f = 991Hz (−60dB)	−34	dB
PCM58P-K		
f = 991Hz (0dB)	−96	dB
f = 991Hz (−20dB)	−80	dB
f = 991Hz (−60dB)	−40	dB

Figuur 12/7.10-10: Harmonische vervorming van de verschillende uitvoeringen van de PCM 58 P.

DIGITAL INPUT	ANALOG OUTPUT		
Binary Two's Complement (BTC)	DAC Output	Voltage (V) V_{out} Mode	Current (mA) I_{out} Mode
3FFFF Hex	+FS	+2.9999943	−0.9999981
20000 Hex	BPZ	0.0000000	0.0000000
1FFFF Hex	BPZ − 1LSB	−0.0000057	+0.0000019
00000 Hex	−FS	−3.0000000	+1.0000000

Figuur 12/7.10-11: Uitgangsbereik van de PCM 58 P.



Figuur 12/7.10-12: Algemene timing tussen de drie ingangssignalen van de PCM 58 P.

Alle ingangen zijn voorzien van Schmitt-trigger werking. De seriële data moet worden aangeleverd in het Two's Complement formaat met het MSB als eerste bit van de bitstroom. De data wordt op de positieve flanken van het Clock-signaal ingeklokt en wordt in de interne latch opgenomen op de negatieve flank van het Enable signaal. Als de datastroom meer dan 16 bits bevat worden de allereerste bits weer uit de latch verwijderd.

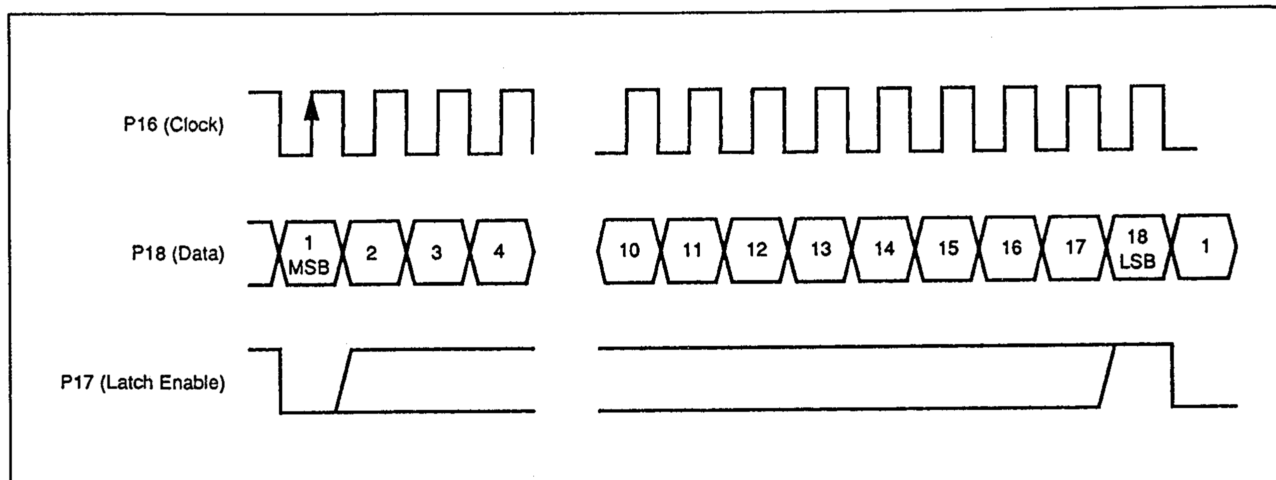
In de figuren 12/7.10-12 en 12/7.10-13 wordt de timing voor het inlezen van data geschetst.

Voorbeeld-schakeling

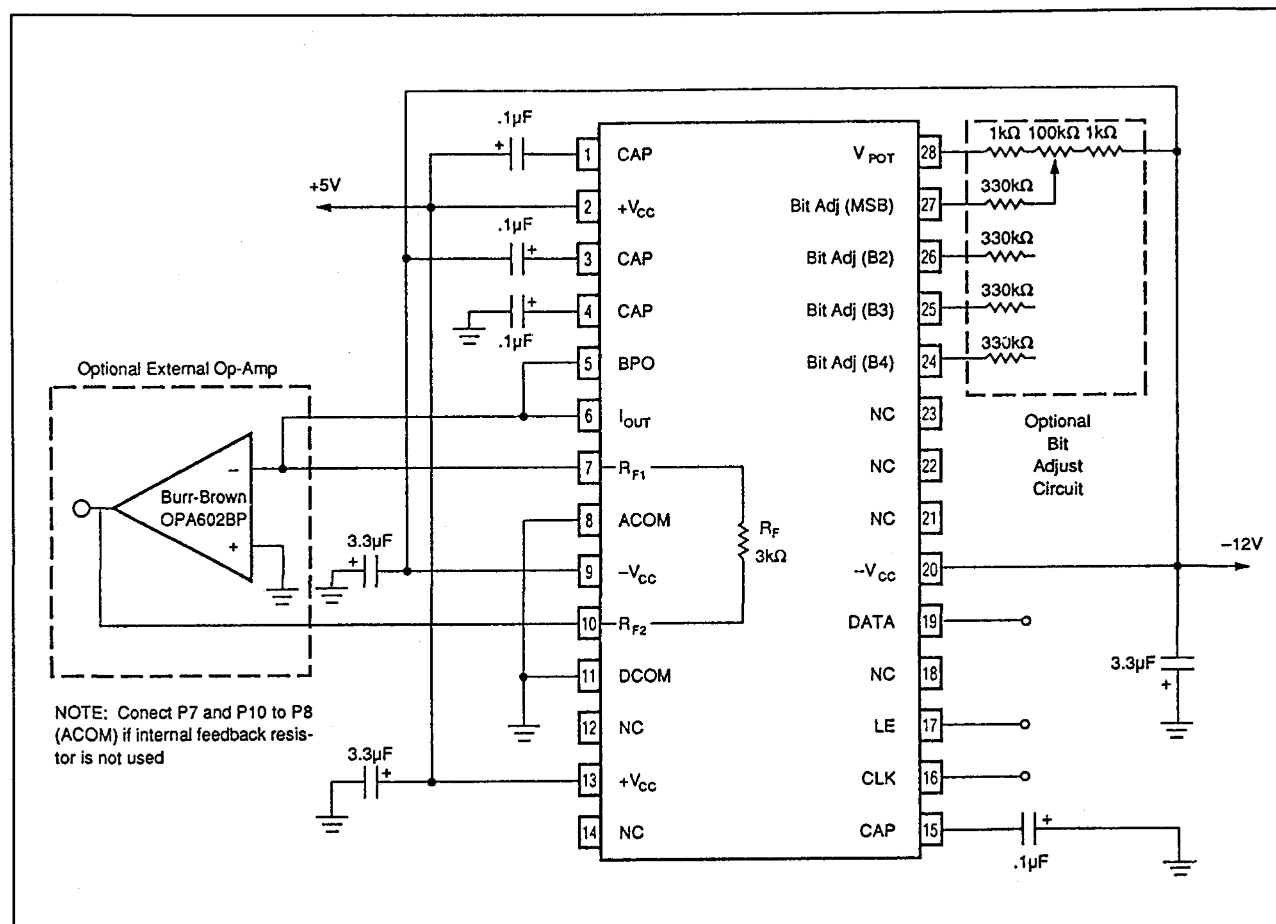
– figuur 12/7.10-14:

Standaard schakeling rond de PCM 58 P, gebruikt als DAC in een compact disk speler. De stroomuitgang wordt met behulp van een externe operationele versterker omgezet in een uitgangsspanning. Daarbij wordt gebruik gemaakt van de in het IC aanwezige terugkoppelweerstand tussen de pennen 7 en 10. Indien deze weerstand niet wordt gebruikt moeten beide pennen met de massa verbonden worden. Bij audio-toepassingen is het zeer belangrijk dat het gewicht van de hoogste bits precies wordt afgeregeld. Gewichtsfouten leiden tot grote harmonische vervormingen in het analoge uitgangssignaal, net op het moment dat het audiosignaal het kleinst is. Bij de PCM 58 P kan men het gewicht van de vier hoogste bits extern afregelen. Op de pennen 24, 25, 26 en 27 worden, via weerstanden van 330 kΩ, potentiometers van 100 kΩ aangesloten. Deze worden gevoed uit de negatieve voeding van -12 V en de interne referentiespanning V_{POT} op pen 28. Een dynamische methode van afregelen gaat uit dat de PCM 58 P in een compact disk speler is geïnstalleerd. Via een test-CD wordt een sinusvormig signaal met een niveau van -80 dB aan de omzetter toegevoerd. De potentiometers kunnen nu een na een worden afgeregeld op minimale harmonische vervorming in het uitgangssignaal. Men moet deze afregeling beginnen met het MSB op pen 27 en zo verder gaan tot het vierde hoogste bit op pen 24.

7.10 Type-beschrijving DAC's met seriële ingangen



Figuur 12/7.10-13: Het inlezen van de data in de interne latch van de PCM 58 P.



Figuur 12/7.10-14: Voorbeeld-schakeling rond de PCM 58 P, gebruikt als digitaal naar analoog omzetter in een compact disk systeem.

7.10 Type-beschrijving DAC's met seriële ingangen

TDA 1540

14 bit, 1 µs, I-uitgang

De TDA 1540 is het eerste IC dat door Philips werd ontwikkeld als DAC in compact disk spelers volgens het systeem van de "Dynamic Element Matching". Omdat de seriële data echter op een zeer eenvoudige manier in het IC geklokt kunnen worden, kan men deze schakeling ook voor andere toepassingen gebruiken waar prijs wordt gesteld op een zo nauwkeurig mogelijke terugwinning van een traag analoog signaal.
Dit IC is verouderd en opgevolgd door dubbele DEM-schakelingen met 16 en 18 bit.

Technische gegevens

- fabrikant: Philips
- behuizing: DIL-28
- aansluitgegevens: figuur 12/7.10-17
- intern blokschema: figuur 12/7.10-15
- voedingsspanning: +5/-5/-17 V max.
- voedingsstroom: +12/-20/-11 mA max.
- aantal bits: 14
- niet-lineariteit: 1/2 bit
- temp-coëf.: +/-30 ppm/°C
- settling-tijd: 1 µs
- uitgangsbereik: 4,2 mA max.

Opmerkingen

De TDA 1540 beschikt over drie ingangspennen:

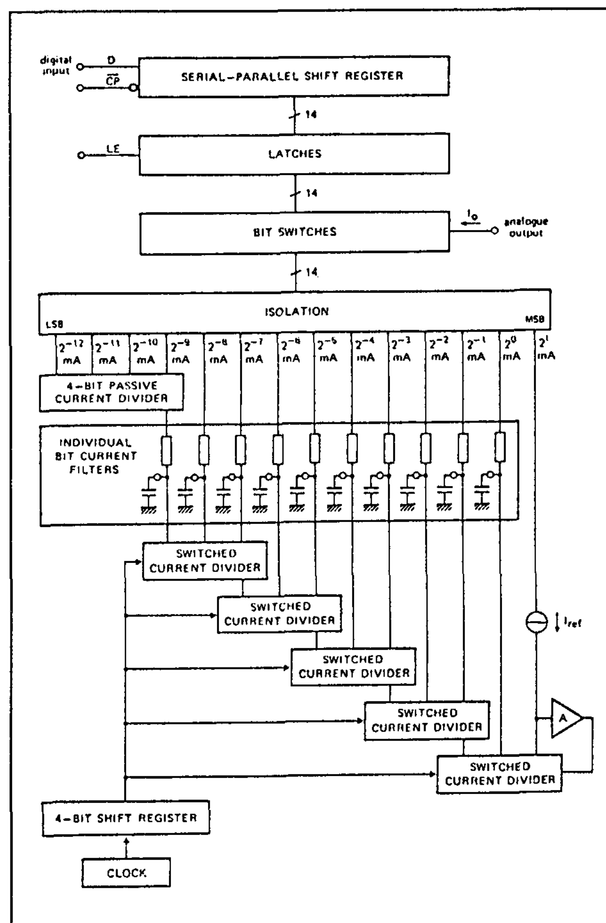
- Data input;
- Clock input;
- Latch enable.

De seriële data moet worden aangeleverd in het Two's Complement formaat met het MSB als eerste bit van de bit- stroom. De data wordt op de positieve flanken van het Clocksignaal ingeklokt en wordt in de interne latch opgenomen op de negatieve flank van het Enable signaal. In figuur 12/7.10-16 wordt de timing voor het inlezen van data geschetst.

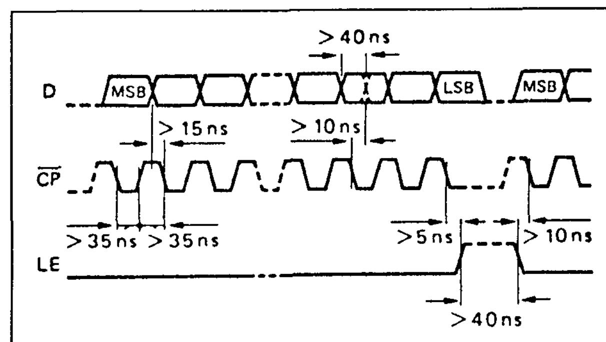
Voorbeeld-schakeling

- figuur 12/7.10-17:

Standaard schakeling rond de TDA 1540, gebruikt als DAC in een compact disk speler.



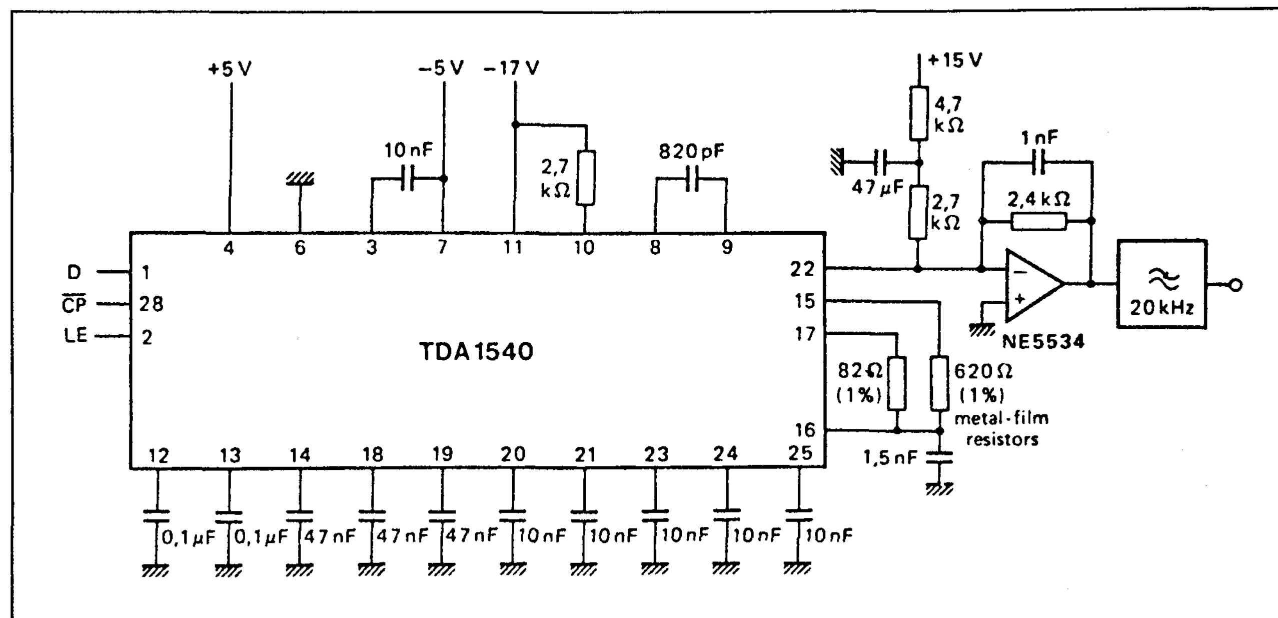
Figuur 12/7.10-15: Intern blokschema van de TDA 1540.



Figuur 12/7.10-16: Algemene timing tussen de drie ingangssignalen van de TDA 1540.

De stroomuitgang wordt met behulp van een externe operationele versterker omgezet in een uitgangsspanning.

7.10 Type-beschrijving DAC's met seriële ingangen



Figuur 12/7.10-17: Voorbeeld-schakeling rond de TDA 1540, gebruikt als digitaal naar analoog omzetter in een compact disk systeem.

AD 1856

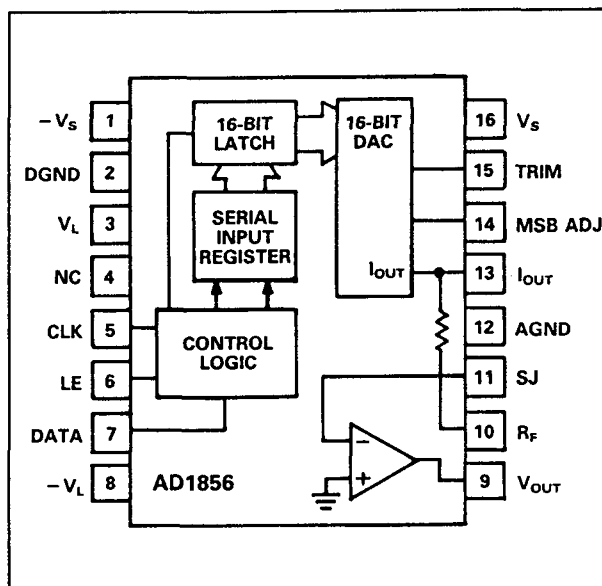
16 bit, 1,5 µs, U-uitgang

De AD 1856 is ontwikkeld voor audiotoepassingen, bijvoorbeeld als DAC in compact disk spelers.

Omdat de seriële data echter op een zeer eenvoudige manier in het IC geklokt kunnen worden, kan men deze schakeling ook voor andere, niet al te snelle toepassingen gebruiken.

Technische gegevens

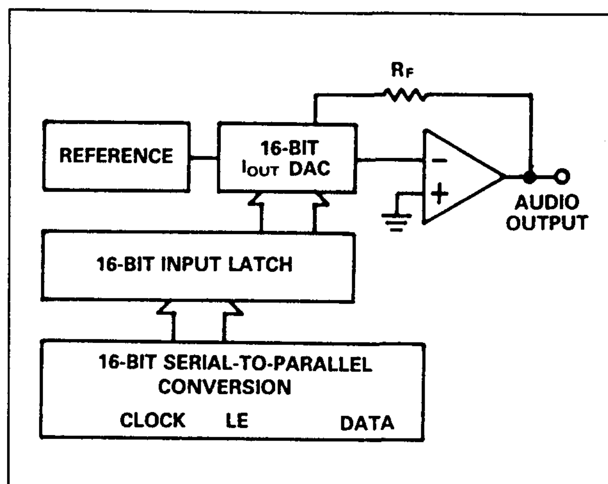
- fabrikant: Analog Devices
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.10-18
- intern blokschema: figuur 12/7.10-19
- voedingsspanning: +/-13,2 V max.
- voedingsstroom: +17/-35 mA
- aantal bits: 16
- niet-lineariteit: +/-0,001% volle schaal
- vervorming:
  AD 1856 N: 0,008%
  AD 1856 N-J: 0,004%
  AD 1856 N-K: 0,0025%
- temp-coëf.: +/-25 ppm/°C
- settling-tijd: 1,5 µs



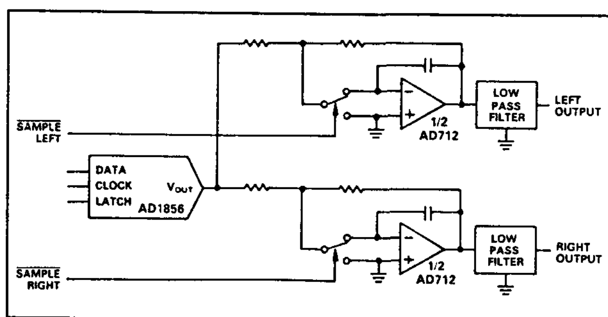
Figuur 12/7.10-18: Aansluitgegevens van de AD 1856.

- uitgangsbereik:
  +/-3 V
  +/-8 mA
- uitgangsimpedantie:
  0,1 Ω is U-mode
  1,7 kΩ in I-mode

7.10 Type-beschrijving DAC's met seriële ingangen



Figuur 12/7.10-19: Intern blokschema van de AD 1856.



Figuur 12/7.10-21: Voorbeeld-schakeling rond de AD 1856, gebruikt als digitaal naar analoog omzetter in een compact disk systeem.

Opmerkingen

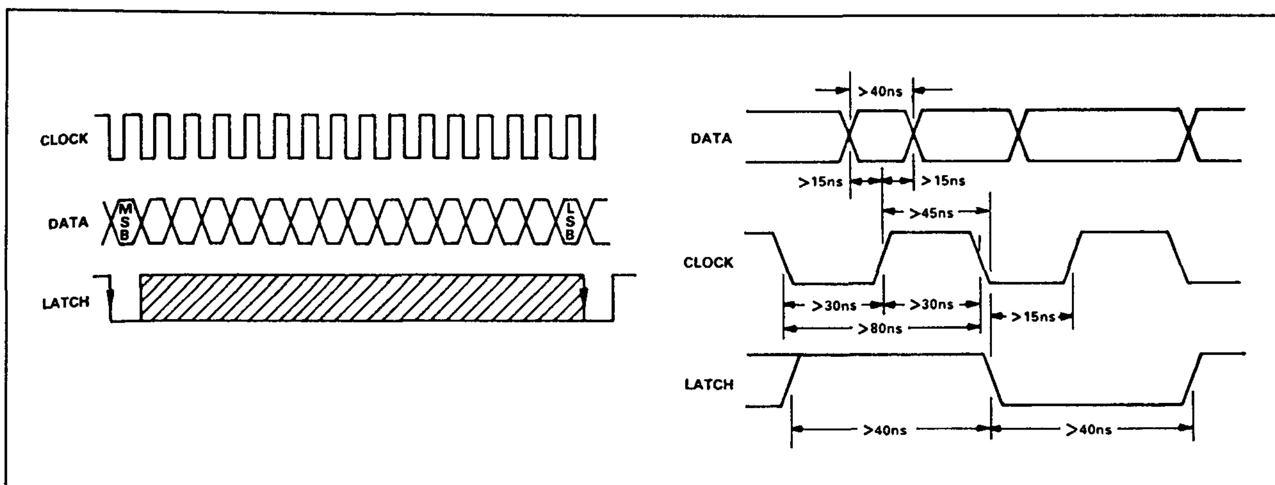
De AD 1856 beschikt over drie ingangspennen:

- Data input;
- Clock input;
- Latch enable.

De seriële data moet worden aangeleverd in het Two's Complement formaat met het MSB als eerste bit van de bitstroom.
De data wordt op de positieve flanken van het Clock-signaal ingeklokt en wordt in de interne latch opgenomen op de negatieve flank van het Enable signaal.
In figuur 12/7.10-20 wordt de timing voor het inlezen van data geschetst.
De drie ingangspennen zijn TTL- en CMOS-compatible.

Voorbeeld-schakeling

figuur 12/7.10-21:
Standaard schakeling rond de AD 1856, gebruikt als DAC in een compact disk speler.
De digitale codes van de linker en rechter geluidsmonsters worden afwisselend aan de DAC toegevoerd.
De uitgang wordt afgesloten met twee elektronische schakelaars, die de uitgangsmonsters naar de juiste geluidsuitgangen voeren en twee laagdoorlaat filters.



Figuur 12/7.10-20: Algemene timing tussen de drie ingangssignalen van de AD 1856.

7.10 Type-beschrijving DAC's met seriële ingangen

AD 1860

18 bit, 1,5 µs, U-uitgang

De AD 1860 is ontwikkeld voor audiotoepassingen, bijvoorbeeld als DAC in compact disk spelers.
Omdat de seriële data echter op een zeer eenvoudige manier in het IC geklokt kunnen worden, kan men deze schakeling ook voor andere, niet al te snelle toepassingen gebruiken.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.10-22
- intern blokschema: figuur 12/7.10-23
- voedingsspanning: +/-13,2 V max.
- voedingsstroom: +13/-15 mA
- aantal bits: 18
- niet-lineariteit: +/-0,001% volle schaal
- vervorming: figuur 12/7.10-24
- temp-coëf.: +/-25 ppm/°C
- settling-tijd: 1,5 µs
- uitgangsbereik:
  +/-3,12 V
  +/-8 mA
- uitgangsimpedantie:
  0,1 Ω in U-mode
  1,7 kΩ in I-mode

Opmerkingen

De AD 1860 beschikt over drie ingangspennen:
- Data input;
- Clock input;
- Latch enable.

De seriële data moet worden aangeleverd in het Two's Complement formaat met het MSB als eerste bit van de bitstroom.

De data wordt op de positieve flanken van het Clock-signaal ingeklokt en wordt in de interne latch opgenomen op de negatieve flank van het Enable signaal.
In figuur 12/7.10-25 wordt de timing voor het inlezen van data geschetst.
De drie ingangspennen zijn TTL- en CMOS-compatible.

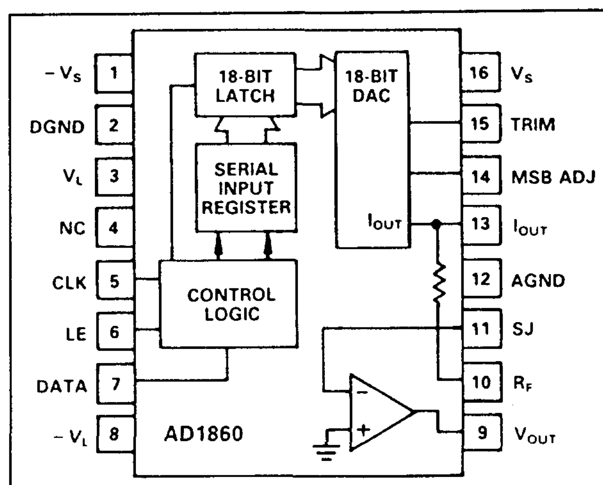
Voorbeeld-schakelingen

- figuur 12/7.10-26:

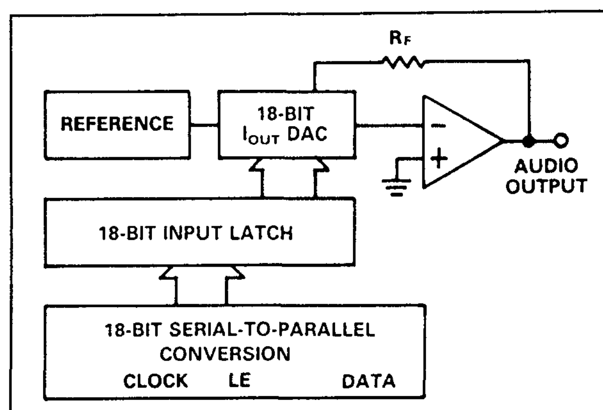
Standaard schakeling rond de AD 1860, gebruikt als DAC in een compact disk speler. De digitale codes van de linker en rechter geluidsmonsters worden aan twee identieke DAC's toegevoerd. De uitgang wordt afgesloten met twee laagdoorlaat filters en een mute-trap die wordt gestuurd uit de CIRC-schakeling van de CD-speler.

- figuur 12/7.10-27:

Twee AD 1860 schakelingen worden gebruikt in samenwerking met een digitaal oversamplingfilter van het type CXD 1088 Q van Sony.



Figuur 12/7.10-22: Aansluitgegevens van de AD 1860.

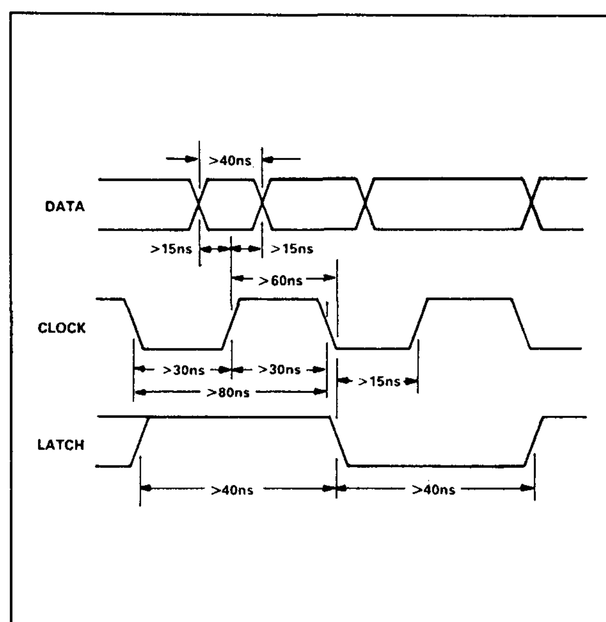


Figuur 12/7.10-23: Intern blokschema van de AD 1860.

7.10 Type-beschrijving DAC's met seriële ingangen

TOTAL HARMONIC DISTORTION + NOISE				
0dB, 990.5Hz	AD1860N-K, R-K	0.002	0.0025	%
	AD1860N-J, R-J	0.002	0.004	%
	AD1860N, R	0.004	0.008	%
−20dB, 990.5Hz	AD1860N-K, R-K	0.006	0.020	%
	AD1860N-J, R-J	0.010	0.020	%
	AD1860N, R	0.010	0.040	%
−60dB, 990.5Hz	AD1860N-K, R-K	0.9	2.0	%
	AD1860N-J, R-J	0.9	2.0	%
	AD1860N, R	0.9	4.0	%

Figuur 12/7.10-24: Totale harmonische vervorming van de verschillende versies van de AD 1860.

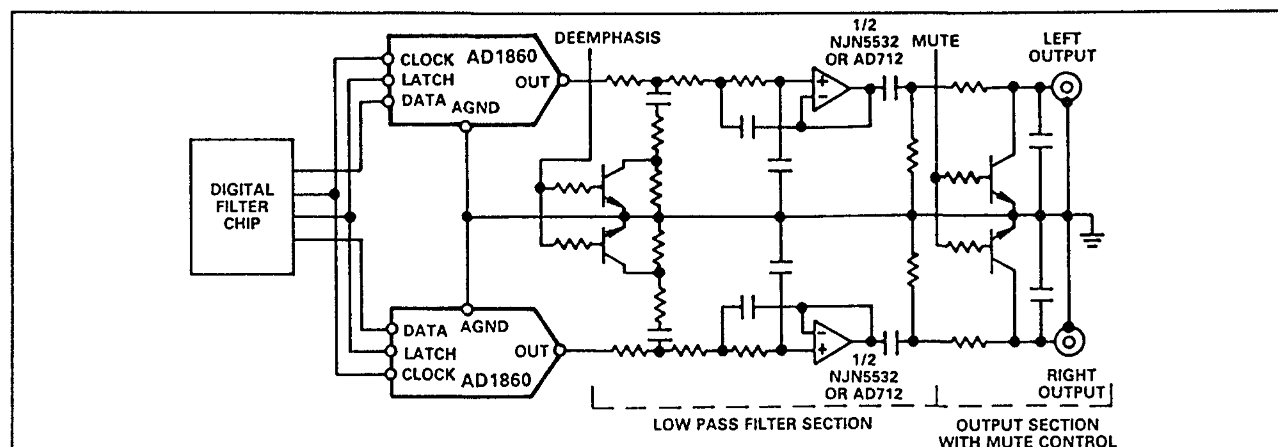


Figuur 12/7.10-25: Algemene timing tussen de drie ingangssignalen van de AD 1860.

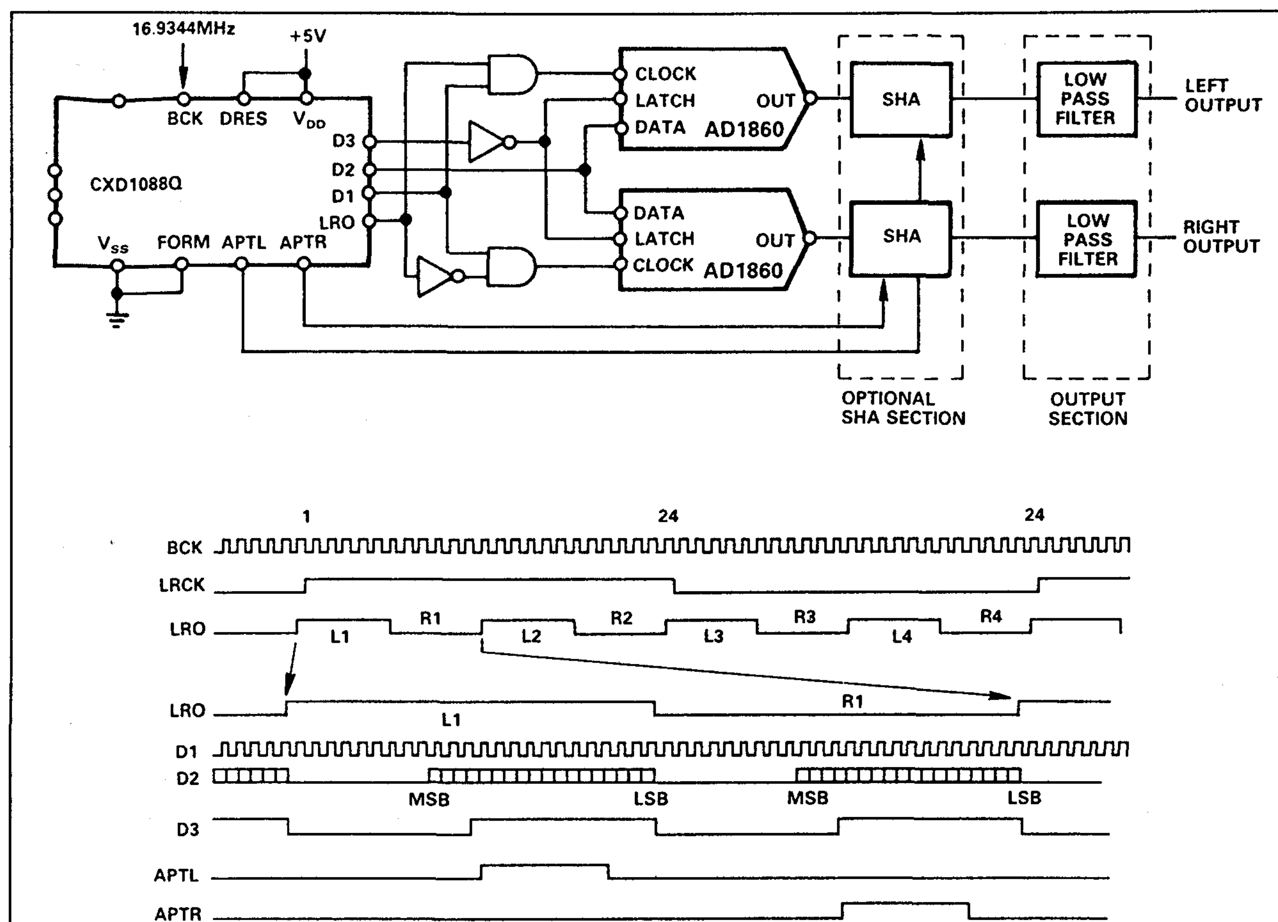
– figuur 12/7.10-28:
Het afregelen van het MSB. Bij audiotoepassingen is het zeer belangrijk dat het gewicht van het MSB precies wordt afgeregeld.

Rond de nuldoorgang van het audiosignaal zal immers het MSB steeds van "L" naar "H" verspringen en vice versa.
Gewichtsfouten leiden tot grote harmonische vervormingen in het analoge uitgangssignaal, net op het moment dat het audiosignaal het kleinst is.
Na een opwarmingsperiode van ongeveer 10 minuten wordt aan de ingang van het IC de digitale code HEX-FFFF aangelegd. Alle bits zijn dan "H", behalve het MSB. De uitgangsspanning van de schakeling wordt vervolgens gemeten met een 6,5 decade digitale voltmeter. Vervolgens wordt de code HEX-0000 ingelezen (alle bits "L" behalve het MSB).
De potentiometer moet nu zo worden afgeregeld dat de uitgangsspanning 92 µV groter is dan bij de vorige code.
Een dynamische methode van afregelen gaat uit dat de AD 1860 in een compact disk speler is geïnstalleerd. Via een test-CD wordt een sinusvormig signaal met een niveau van -80 dB aan de omzetter toegevoerd. De potentiometer kan nu worden afgeregeld op minimale harmonische vervorming in het uitgangssignaal.

7.10 Type-beschrijving DAC's met seriële ingangen

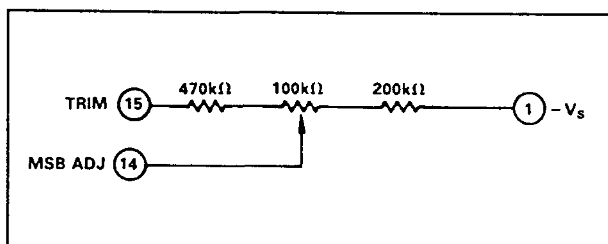


Figuur 12/7.10-26: Voorbeeld-schakeling rond de AD 1860, gebruikt als digitaal naar analoog omzetter in een compact disk systeem.

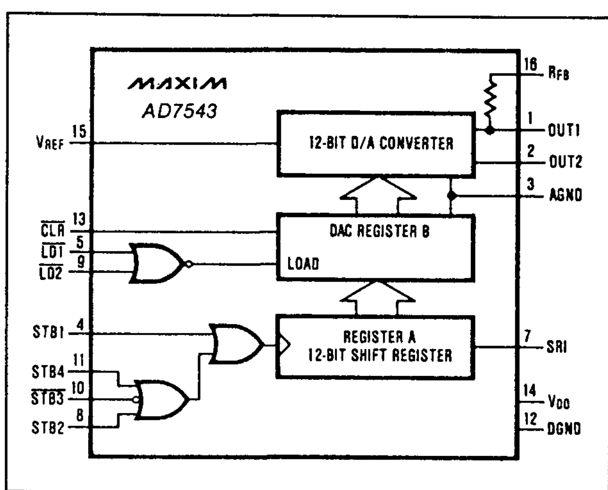


Figuur 12/7.10-27: CD-DAC die wordt gestuurd uit een viervoudige oversampler van Sony.

7.10 Type-beschrijving DAC's met seriële ingangen



Figuur 12/7.10-28: Het afregelen van het gewicht van het MSB bij de AD 1860.



Figuur 12/7.10-30: Intern blokschema van de AD 7543.

AD 7543

12 bit, 2,0 μs, I-uitgang

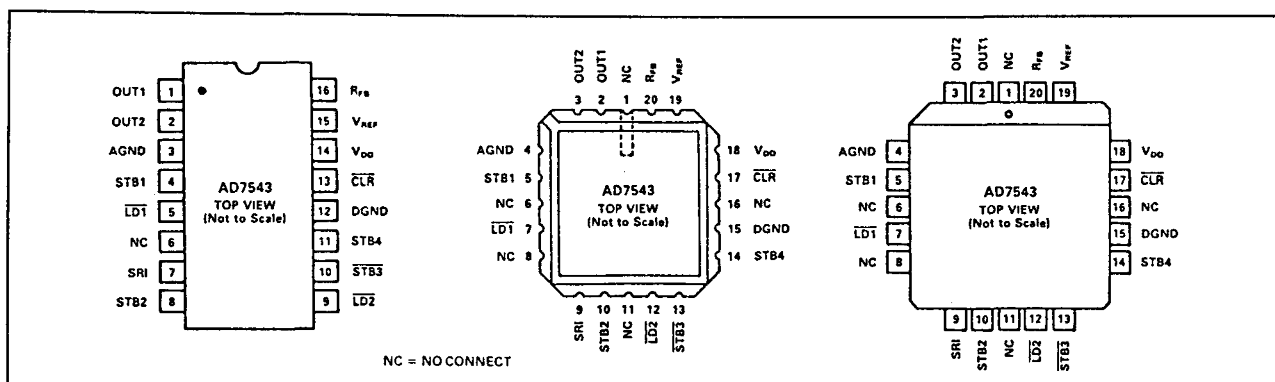
De AD 7543 bevat een uitgebreid logisch ingangscircuit, bestaande uit een 12 bit serieel in paralllel uit register A, een 12 bit DAC register B en een poortsysteem waardoor men zowel op de dalende als op de stijgende flank van de klok kan inlezen.

Technische gegevens
- fabrikant: Analog Devices, Maxim
- behuizing: DIL-16, LCCC, PLCC
- aansluitgegevens: figuur 12/7.10-29
- intern blokschema: figuur 12/7.10-30
- voedingsspanning: +7 V max.
- voedingsstroom: 2,5 mA
- aantal bits: 12
- niet-lineariteit: figuur 12/7.10-31
- temp-coëf.: 5 ppm/°C
- settling-tijd: 2,0 μs
- uitgangsbereik: zie voorbeeld-schakelingen
- uitgangscapaciteit: 260 pF max.

Opmerkingen

De AD 7543 beschikt over de volgende digitale ingangen:
- SRI, de seriële data-ingang;
- STB1, STB2, STB4, klok-ingangen die de data inlezen op hun positieve flank;
- STB3, klok-ingang die de data inleest op haar negatieve flank;
- LD1 en LD2, twee transfer-ingangen die de data van het register A naar het register B overbrengen op hun laag-niveau.

De timing van de schakeling is samengevat in figuur 12/7.10-32.
In figuur 12/7.10-33 is de waarheidstabel van de werking van de ingangsschakeling van de AD 7543 samengevat.



Figuur 12/7.10-29: Aansluitgegevens van de AD 7543.

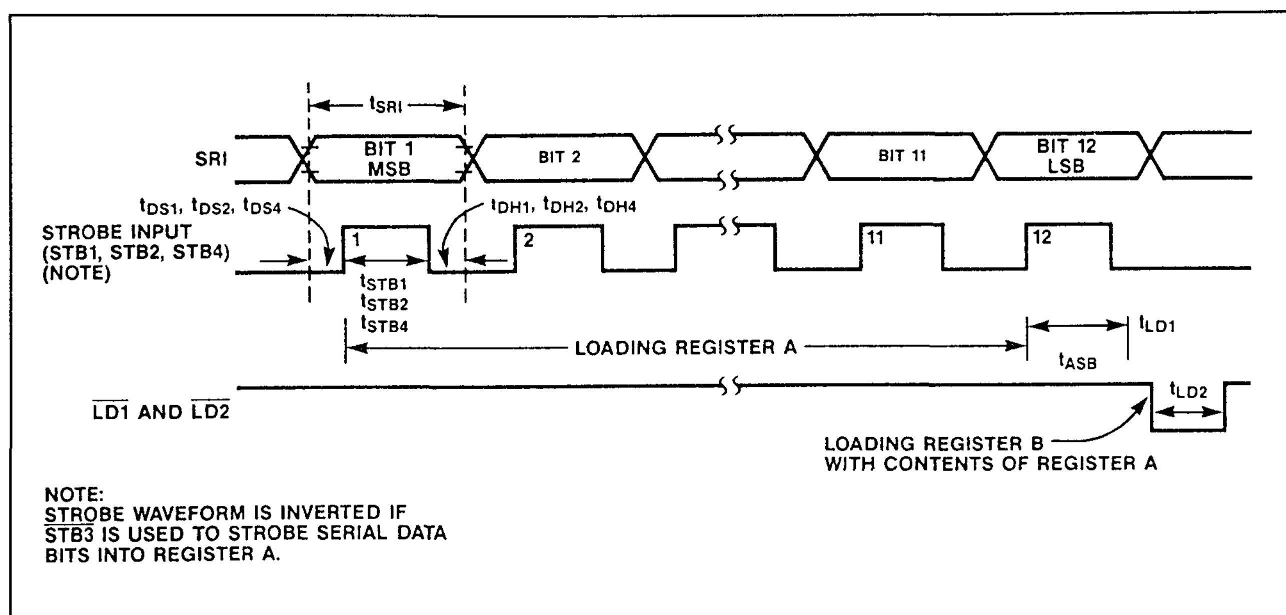
7.10 Type-beschrijving DAC's met seriële ingangen

PART	TEMP. RANGE	PACKAGE*	ERROR
AD7543JN	0°C to +70°C	Plastic DIP	±1 LSB
AD7543KN	0°C to +70°C	Plastic DIP	±½ LSB
AD7543GKN	0°C to +70°C	Plastic DIP	±½ LSB
AD7543JCWE	0°C to +70°C	Small Outline	±1 LSB
AD7543KCWE	0°C to +70°C	Small Outline	±½ LSB
AD7543GKCWE	0°C to +70°C	Small Outline	±½ LSB
AD7543JC/D	0°C to +70°C	Dice	±1 LSB
AD7543AD	-25°C to +85°C	Ceramic	±1 LSB
AD7543BD	-25°C to +85°C	Ceramic	±½ LSB
AD7543GBD	-25°C to +85°C	Ceramic	±½ LSB
AD7543AQ	-25°C to +85°C	CERDIP**	±1 LSB
AD7543BQ	-25°C to +85°C	CERDIP**	±½ LSB
AD7543GBQ	-25°C to +85°C	CERDIP**	±½ LSB
AD7543SD	-55°C to +125°C	Ceramic	±1 LSB
AD7543TD	-55°C to +125°C	Ceramic	±½ LSB
AD7543GTD	-55°C to +125°C	Ceramic	±½ LSB
AD7543SQ	-55°C to +125°C	CERDIP**	±1 LSB
AD7543TQ	-55°C to +125°C	CERDIP**	±½ LSB
AD7543GTQ	-55°C to +125°C	CERDIP**	±½ LSB

Figuur 12/7.10-31: Nauwkeurigheid en temperatuurbereik van de verschillende versies van de AD 7543.

Voorbeeld-schakelingen

- figuur 12/7.10-34:
Standaard schakeling rond de AD 7543 voor unipolaire werking. Uit de tabel in de figuur volgt het verband tussen de code op de ingang en de uitgangsspanning.
- figuur 12/7.10-35:
Standaard schakeling rond de AD 7543 voor bipolaire werking. Ook nu kan men uit de tabel de transferkarakteristiek van de schakeling aflezen.
- figuur 12/7.10-36:
Interface-schakeling tussen een 6800 microprocessor en een AD 7543.
- figuur 12/7.10-37:
Interface-schakeling tussen een 8085 microprocessor en een AD 7543.



Figuur 12/7.10-32: Timing voor het inlezen van gegevens in de AD 7543.

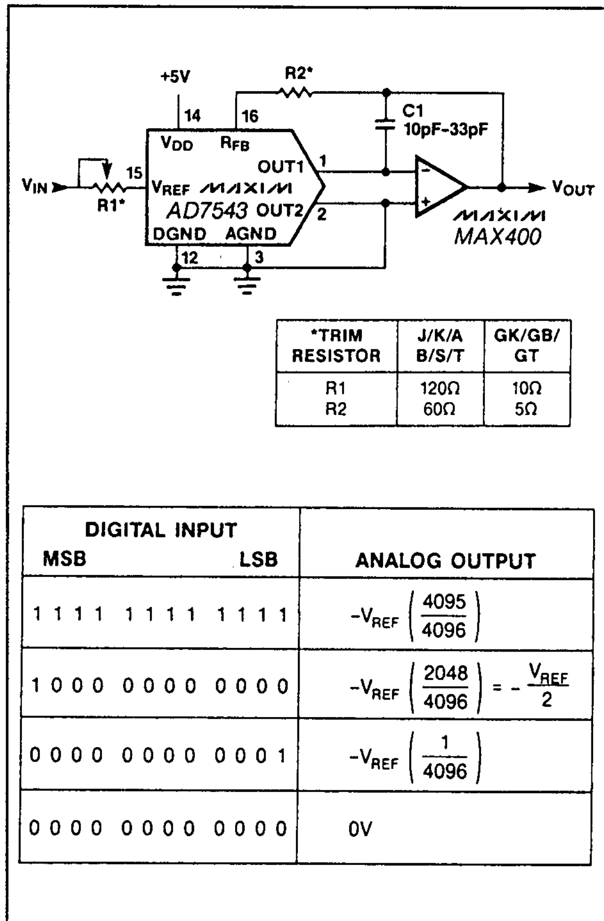
7.10 Type-beschrijving DAC's met seriële ingangen

AD7543 Logic Inputs							AD7543 Operation	Notes
Register A Control Inputs				Register B Control Inputs				
STB4	$\overline{STB3}$	STB2	STB1	$\overline{CLR}$	$\overline{LD2}$	$\overline{LD1}$		
0	1	0	↑	X	X	X	Data Appearing At SRI Strobed Into Register A	2, 3
0	1	↑	0	X	X	X	Data Appearing At SRI Strobed Into Register A	2, 3
0	↓	0	0	X	X	X	Data Appearing At SRI Strobed Into Register A	2, 3
↑	1	0	0	X	X	X	Data Appearing At SRI Strobed Into Register A	2, 3
1	X	X	X				No Operation (Register A)	3
X	0	X	X					
X	X	1	X					
X	X	X	1					
				0	X	X	Clear Register B To Code 0000 0000 0000 (Asynchronous Operation)	1, 3
				1	1	X	No Operation (Register B)	3
				1	X	1		
				1	0	0	Load Register B With The Contents Of Register A	3

Notes:
1. CLR = 0 Asynchronously resets Register B to 0000 0000 0000, but has no effect on Register A.
2. Serial data is loaded into Register A MSB first, on edges shown ↑ is positive edge ↓ is negative edge.
3. 0 = Logic LOW, 1 = Logic HIGH, X = Don't Care.

Figuur 12/7.10-33: De waarheidstabel van de AD 7543.

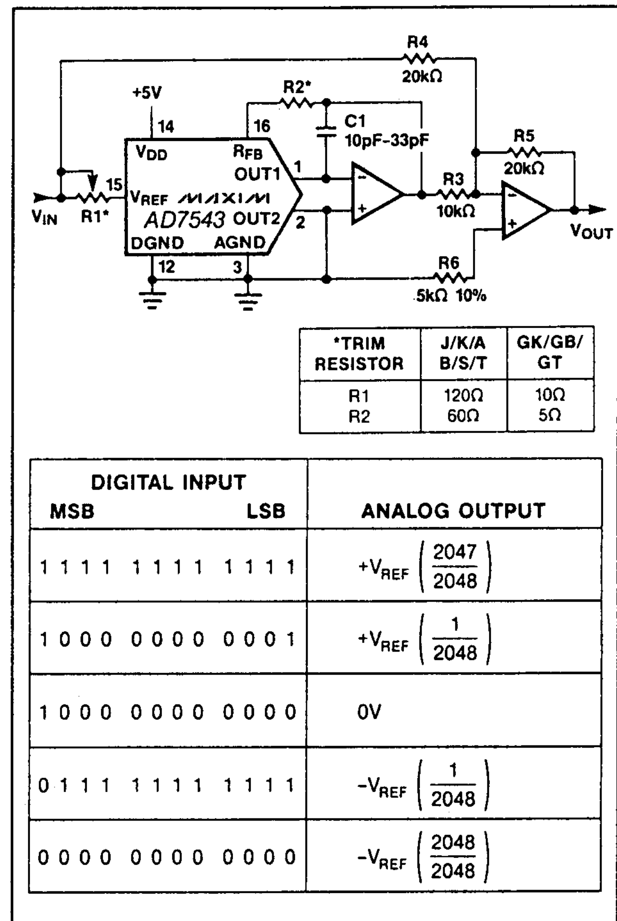
7.10 Type-beschrijving DAC's met seriële ingangen



*TRIM RESISTOR	J/K/A B/S/T	GK/GB/ GT
R1	120Ω	10Ω
R2	60Ω	5Ω

DIGITAL INPUT MSB LSB	ANALOG OUTPUT
1111 1111 1111	$-V_{REF}\left(\frac{4095}{4096}\right)$
1000 0000 0000	$-V_{REF}\left(\frac{2048}{4096}\right) = -\frac{V_{REF}}{2}$
0000 0000 0001	$-V_{REF}\left(\frac{1}{4096}\right)$
0000 0000 0000	0V

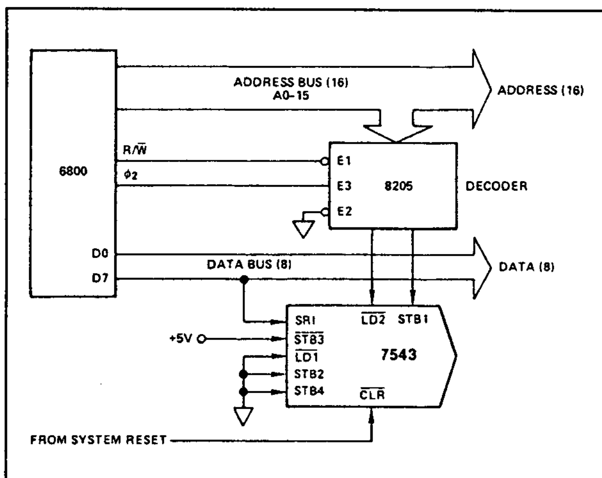
Figuur 12/7.10-34: Basis-schakeling rond de AD 7543 voor unipolaire werking.



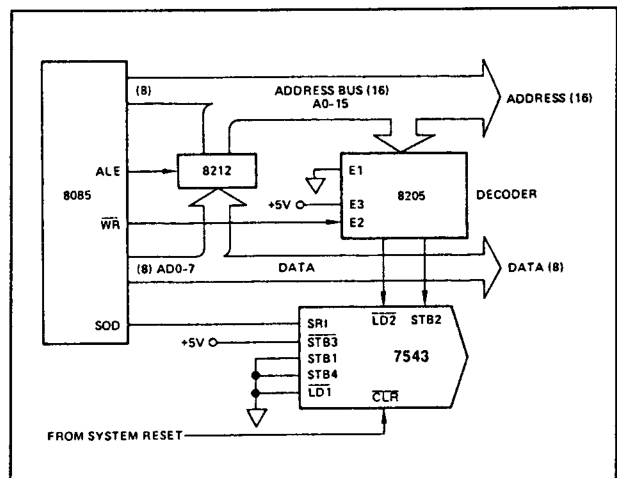
*TRIM RESISTOR	J/K/A B/S/T	GK/GB/ GT
R1	120Ω	10Ω
R2	60Ω	5Ω

DIGITAL INPUT MSB LSB	ANALOG OUTPUT
1111 1111 1111	$+V_{REF}\left(\frac{2047}{2048}\right)$
1000 0000 0001	$+V_{REF}\left(\frac{1}{2048}\right)$
1000 0000 0000	0V
0111 1111 1111	$-V_{REF}\left(\frac{1}{2048}\right)$
0000 0000 0000	$-V_{REF}\left(\frac{2048}{2048}\right)$

Figuur 12/7.10-35: Basis-schakeling rond de AD 7543 voor bipolaire werking.



Figuur 12/7.10-36: Het interfacen van een AD 7543 op de bus van een 6800 microprocessor.



Figuur 12/7.10-37: Het interfacen van een AD 7543 op de bus van een 8085 microprocessor.

7.10 Type-beschrijving DAC's met seriële ingangen

MP 7543

12 bit, 2,0 μs, I-uitgang

De MP 7543 bevat een uitgebreid logisch ingangscircuit, bestaande uit een 12 bit serieel in parallel uit register A, een 12 bit DAC register B en een poortsysteem waardoor men zowel op de dalende als op de stijgende flank van de klok kan inlezen.

De schakeling in pen- en functie-compatible met de AD 7543.

Technische gegevens

- fabrikant: Micro Power Systems
- behuizing: DIL-16
- aansluitgegevens: figuur 12/7.10-29
- intern blokschema: figuur 12/7.10-30

Voor de overige gegevens wordt verwezen naar de AD 7543.

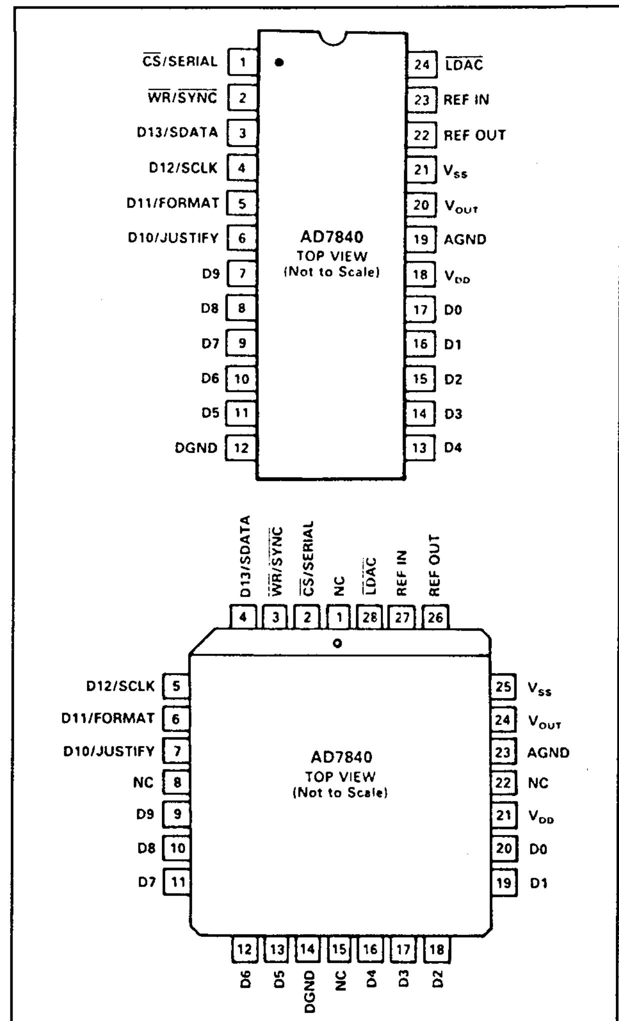
AD 7840

14 bit, 4 μs, U-uitgang

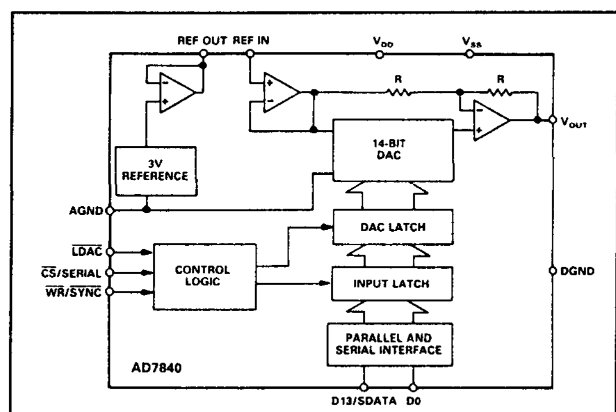
De AD 7840 kan zowel serieel als parallel geladen worden.
De schakeling heeft een ingebouwde 3 V referentie en een geïntegreerde stroom naar spanning omzetter. In de seriële mode kunnen de gegevens met een kloksnelheid van 6 MHz ingelezen worden. De schakeling werkt bipolair en levert een maximale uitgangsspanning van +/-3 V.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-24, PLCC
- aansluitgegevens: figuur 12/7.10-38
- intern blokschema: figuur 12/7.10-39
- voedingsspanning: +/-7 V max.
- voedingsstroom: +15/-7 mA max.
- aantal bits: 14
- niet-lineariteit: +/-1 LSB
- temp-coëf.: +/-60 ppm/°C max.
- settling-tijd: 4 μs
- max. glitch-energie: 10 nV/s max.
- uitgangsbereik: figuur 12/7.10-40
- uitgangsimpedantie: 0,1 Ω typisch



Figuur 12/7.10-38: Aansluitgegevens van de AD 7840.



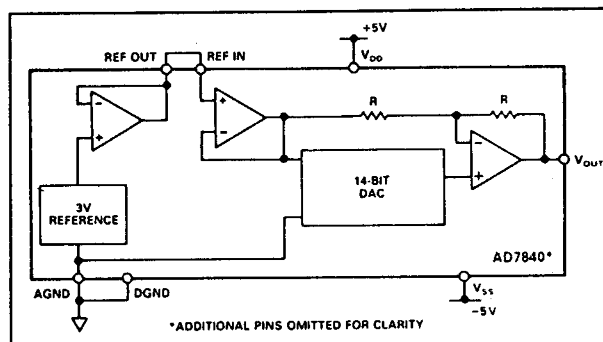
Figuur 12/7.10-39: Intern blokschema van de AD 7840.

7.10 Type-beschrijving DAC's met seriële ingangen

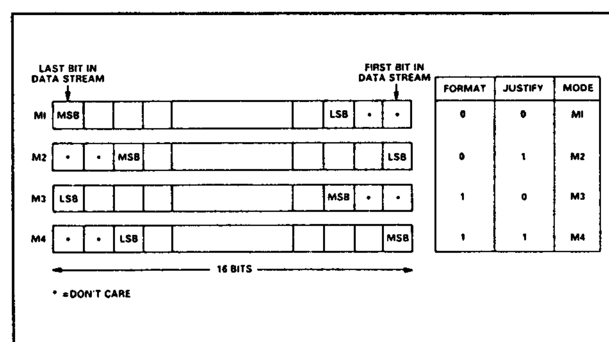
DAC Latch Contents MSB ... LSB	Analog Output, V_{OUT}*
0 1 1 1 1 1 1 1 1 1 1 1 1 1	+2.999634V
0 1 1 1 1 1 1 1 1 1 1 1 1 0	+2.999268V
0 0 0 0 0 0 0 0 0 0 0 0 0 1	+0.000366V
0 0 0 0 0 0 0 0 0 0 0 0 0 0	0V
1 1 1 1 1 1 1 1 1 1 1 1 1 1	−0.000366V
1 0 0 0 0 0 0 0 0 0 0 0 0 1	−2.999634V
1 0 0 0 0 0 0 0 0 0 0 0 0 0	−3V

*Assuming REF IN = +3V.

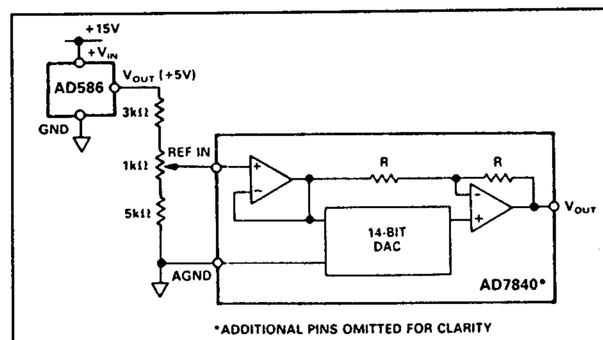
Figuur 12/7.10-40: Transferkarakteristiek van de AD 7840.



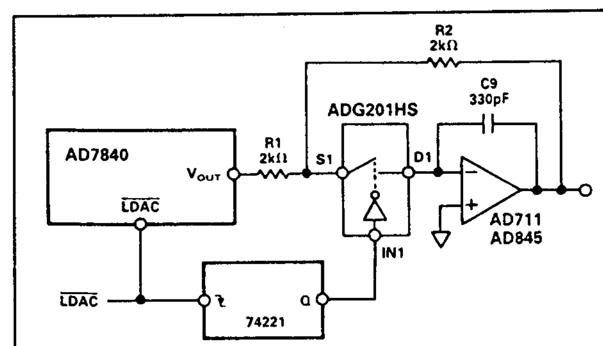
Figuur 12/7.10-43: Standaard schakeling met de AD 7840.



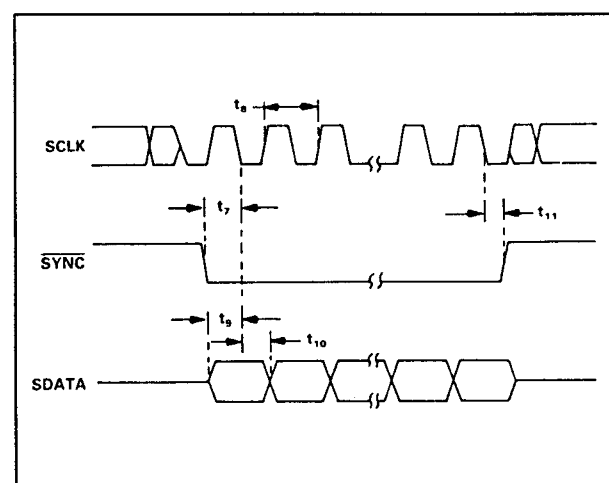
Figuur 12/7.10-41: De waarheidstabel van de FORMAT- en JUSTIFY-ingangen die de samenstelling van de seriële code bepalen.



Figuur 12/7.10-44: Het gebruik van een externe referentiespanning.



Figuur 12/7.10-45: Een externe sample and hold als deglitcher gebruikt.



Figuur 12/7.10-42: Het tijddiagram bij het laden van seriële gegevens in de AD 7840.

Opmerkingen

De AD 7840 heeft de volgende ingangen:

- $\overline{CS}$/SERIAL: deze ingang moet verbonden worden met de V_{SS} voor het inladen van seriële gegevens.

7.10 Type-beschrijving DAC's met seriële ingangen

- $\overline{WR}/\overline{SYNC}$: in de seriële mode werkt deze ingang als een frame synchronisatie. De seriële data wordt verwacht na de dalende flank van dit signaal. Dit signaal moet "L" blijven gedurende het laden van gegevens.
- D13/SDATA: ontvangt de seriële datastroom.
- D12/SCLK : de seriële klok, data wordt geladen op de dalende flank van dit signaal.
- D11/FORMAT: als dit signaal "H" is zal het eerste bit als MSB worden geïnterpreteerd, is dat signaal "L" dan wordt het eerste bit als LSB geïnterpreteerd.
- D10/JUSTIFY: bepaalt het formaat van het code-woord, zie figuur 12/7.10-41 voor nadere gegevens.
- $\overline{LDAC}$: data wordt in de DAC-latch geladen bij de dalende flank van dit signaal.

In figuur 12/7.10-42 wordt het tijddiagram gegeven vooor het laden van seriële data.

Voorbeeld-schakelingen

- figuur 12/7.10-43:

Standaard schakeling met de AD 7840 waarbij gebruik wordt gemaakt van de interne referentiespanning.

- figuur 12/7.10-44:

Toepassing van een externe referentiespanning van het type AD 586.

- figuur 12/7.10-45:

Het toevoegen van een sample and hold aan de uitgang als deglitcher. Met deze schakeling neemt de signaal-ruis afstand bij 5 kHz toe van 74 tot 82 dB.

7.10 Type-beschrijving DAC's met seriële ingangen

12/8

Flash-omzetters

Inhoud

AD 770	8 bit	250 MHz	one step, clocked
ADC 0881	8 bit	7 MHz	one step, clocked
SP 973E8	8 bit	70 MHz	one step, clocked
SP 973T8	8 bit	70 MHz	one step, clocked
TDC 1038	8 bit	7 MHz	one step, clocked
TDC 1048	8 bit	7 MHz	one step, clocked
TDC 1058	8 bit	7 MHz	one step, clocked
CXA 1096p	8 bit	7 MHz	one step, clocked
CXA 1296p	8 bit	7 MHz	one step, clocked

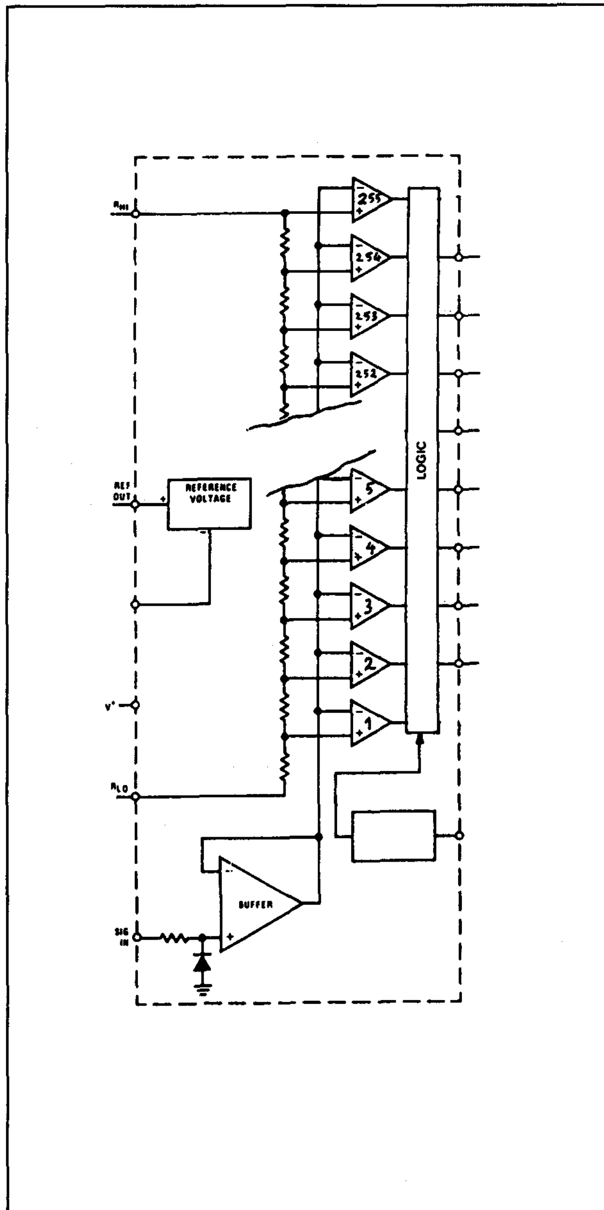
12/8.1

Achtergrond-informatie

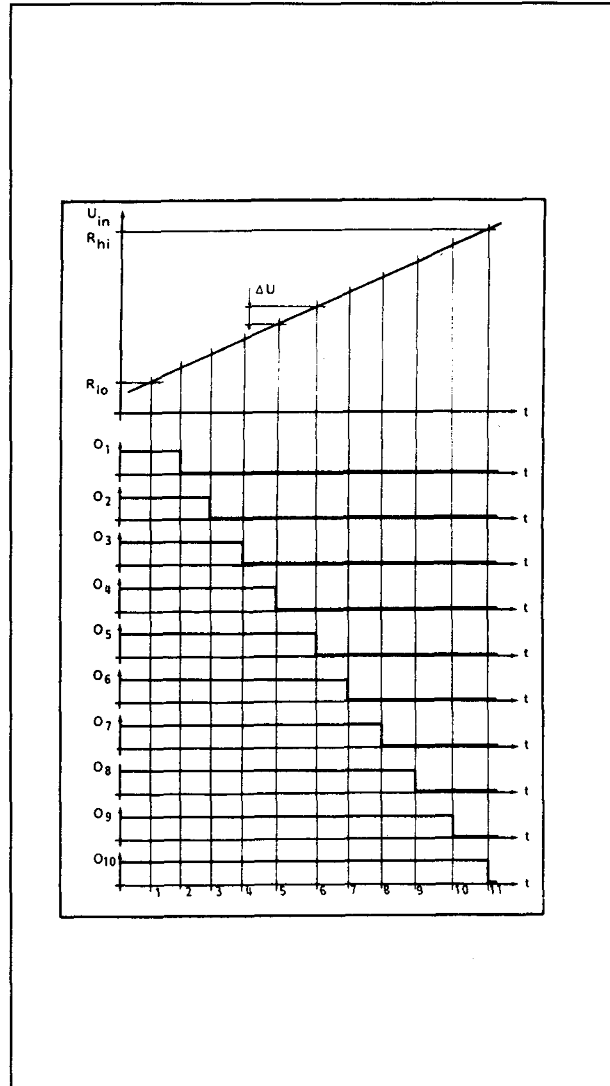
Inleiding
Hoewel de in de hoofdstukken 12/3, 12/4 en 12/6 te bespreken analoog naar digitaal omzetters volgens verschillende principes werken, hebben zij een basis-eigenschap gemeen.
De om te zetten analoge ingangsspanning wordt in een comparator vergeleken met een door de schakeling zelf gegenereerde analoge spanning. De grootte van deze hulpspanning is recht evenredig met het 'gewicht' van de binaire code op de uitgangen van een binaire teller of een successive approximation register. Op het moment dat deze intern gegenereerde analoge spanning gelijk wordt aan de om te zetten analoge ingangsspanning stopt het proces en kan men de digitale equivalente binaire code op de uitgangen aflezen. Het omzetten van de analoge spanning in een daarmee overeenkomende binaire code duurt dus een bepaalde tijd, die men de syclus- of convertietijd van de ADC noemt. Hoewel men er in geslaagd is zeer snelle ADC-schakelingen te maken op basis van de beschreven principes, heeft men toch gezocht naar een geheel andere benadering voor het omzetten van een analoge spanning in een digitale code. Dit nieuwe principe staat bekend onder de naam 'flash-omzetter' en werkt in principe traagheidsloos. De binaire code op de uitgangen van de ADC past zich onmiddellijk zonder vertraging aan aan de waarde van de analoge spanning op de ingang.
Deze zeer snelle analoog naar digitaal omzetters gaan een steeds belangrijkere rol spelen in de moderne elektronica, omdat er steeds meer toepassingen ontstaan, waarbij het van groot belang is een analoge spanning zo snel mogelijk in een digitale code om te zetten. Denk bijvoorbeeld aan steeds breedbandiger wordende digitale geheugen-oscilloscopen en het nieuwe en brede gebied van digitale beeld-manipulatie met behulp van computers.

Fundamenteel principe van een flash-convertor
Het basis-schema van een 8 bit ADC opgebouwd volgens het flash-principe is getekend in figuur 12/8.1-1. Een 8 bit binaire code heeft 256 mogelijke verschillende samenstellingen, van L-L-L-L-L-L-L-L (→ 0) tot H-H-H-H-H-H-H-H (→ 255). Het is dus mogelijk een analoge spanning in 256 stappen te digitaliseren. De schakeling bestaat dan ook uit 255 comparatoren, die de ingangsspanning vergelijken met even zoveel referentie-spanningen. Deze spanningen ontstaan op de knooppunten van 255 in serie geschakelde identieke weerstanden. De serieschakeling van de weerstanden wordt gevoed tussen de massa (R_{LO}) en een stabiele referentie-spanning (R_{HI}). In de meeste gevallen is deze referentie-spanning in de flash-omzetter ingebouwd.
De werking van de schakeling volgt uit de grafieken van figuur 12/8.1-2. Als de ingangsspanning gelijk is aan nul zullen alle comparatoren een hoge uitgang hebben. De ingangsspanning gaat immers via een bufferversterker naar de inverterende ingangen van alle 255 comparatoren. De niet-inverterende ingangen zijn verbonden met de

8.1 Achtergrond-informatie



Figuur 12/8.1-1: Basis-schema van een analoog naar digitaal omzetter die werkt volgens het 'one step' flash-principe.



Figuur 12/8.1-2: De relatie tussen de ingangsspanning en de uitgangsspanningen van de comparatoren, voor de overzichtelijkheid zijn slechts 10 comparatoren getekend, hoewel er dat natuurlijk 255 moeten zijn.

knooppunten van de weerstandsdeler en staan dus op positieve spanningen. Naarmate de ingangsspanning groter wordt, zullen er meer comparator-uitgangen omschakelen van 'H' naar 'L'. Als de ingangsspanning gelijk wordt aan de referentie-spanning, zullen alle comparatoren een lage uitgang hebben. Deze 256 combinaties van hoge en lage comparator-uitgangen, die ieder overeen komen met een welbepaalde grootte van de ingangsspanning, worden vervolgens in een logisch netwerk omgezet in een 8 bit binaire code.

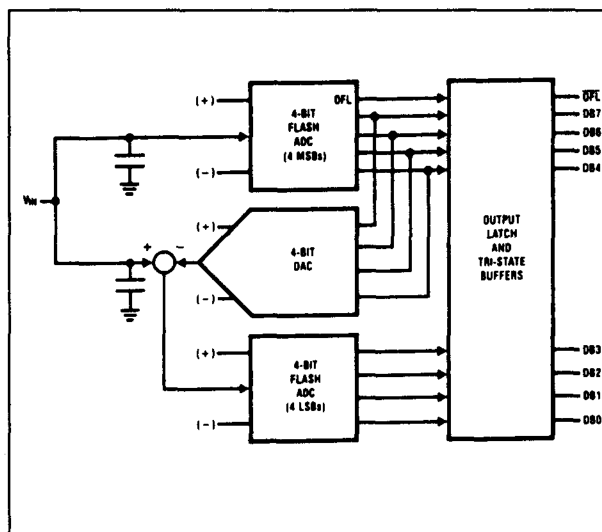
Uit de bespreking van het fundamentele principe van flash-omzetters volgt onmiddellijk dat deze omzetters in theorie traagheidsloos werken en dus ook niet gestuurd moe-

ten worden met een clock-signaal. Iedere wijziging van de grootte van de analoge ingangsspanning heeft onmiddellijk een andere combinatie in de uitgangs-code van de comparatoren tot gevolg en dus ook een nieuwe binaire code. De enige vertragingen die in de praktijk opgetreden zijn de onvermijdelijke traagheden in de werking van de comparatoren en de logische code-omzetter.
Deze schakel-vertragingen bedragen slechts enige nano-seconden en flash-converters werken dan ook tot in het 100 MHz gebied.

Het zal echter duidelijk zijn dat het technologisch zeer moeilijk is 255 comparatoren, niet bepaald eenvoudige schakelingen, op een chip te integreren. Comparatoren die bovendien volstrekt identieke eigenschappen (offset!) moeten hebben.
Dergelijke zogenaamde 'one step' flash-omzetters zijn dan ook zeer duur en vandaar dat men dit principe hoofdzakelijk aantreft in flash-ADC's met een resolutie van slechts 4 of 6 bits. Het aantal noodzakelijke comparatoren is dan immers slechts 16 of 64, hetgeen technologisch veel minder strenge eisen aan het chip-ontwerp stelt.

De 'two-step' flash-ADC

Een belangrijke reductie van het aantal noodzakelijke comparatoren ontstaat als men gebruik maakt van het two-step principe. De principiële werking is getekend in figuur 12/8.1-3. De totale resolutie van 8 bit wordt opgedeeld in twee zones, die ieder 4 bit breed zijn. Men heeft dan slechts twee 4 bit flash-omzetters nodig en dus 2 x 16 = 32 comparatoren. De analoge ingangsspanning wordt in de bovenste flash-ADC omgezet in een 4 bit breed binair woord. Deze vier bits vormen de vier hoogste of most significant bits (MSB) van de totale omzetting. Uit deze 4 bits wordt door middel van een geïntegreerde 4 bit DAC een analoge spanning afgeleid. Deze spanning, die een groffe benadering van de grootte van de ingangsspanning is, wordt in een verschil-



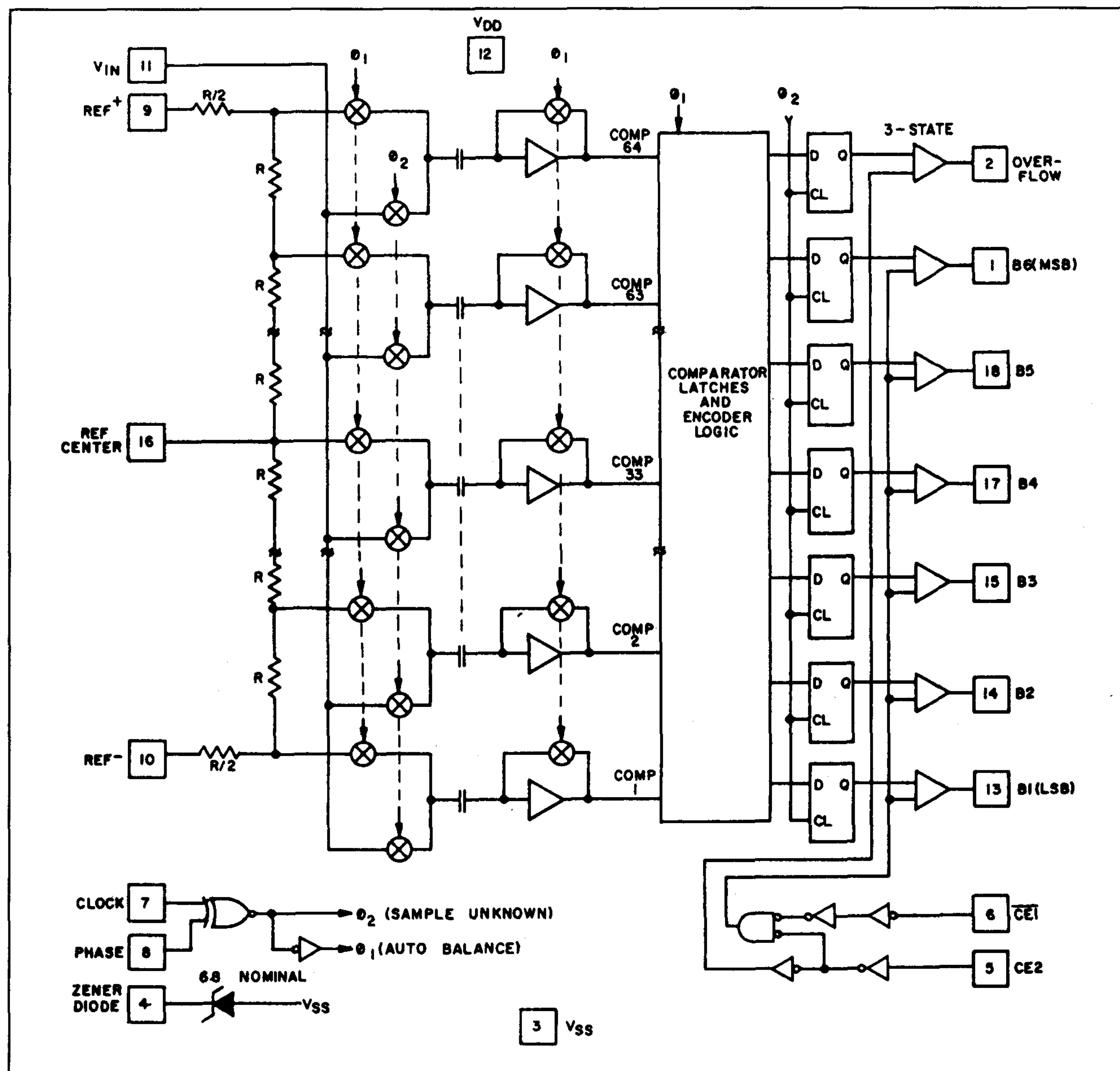
Figuur 12/8.1-3: Het principe van de 'two step' omzetter, waarbij het aantal comparatoren drastisch kan dalen, maar een minder snelle werking op de koop toe genomen moet worden.

versterker van de ingangsspanning afgetrokken. Het verschil wordt aangeboden aan een tweede 4 bit flash-ADC. De vier uitgangen van dit systeem vormen de vier laagste of least significant bits (LSB) van de totale omzetting.
Het zal duidelijk zijn dat de introductie van een DAC in de signaal-verwerking een grote snelheids-vermindering tot gevolg heeft. De sampling-rate van dergelijke omzetters gaat tot ongeveer 10 MHz. Veel trager dan de 'one step' flash-omzetters, maar aanmerkelijk sneller dan kwalitatief en economisch vergelijkbare ADC's die werken volgens de traditionele SAR of dual-slope systemen.

De geclockte flash-ADC

Het grote probleem bij het ontwerpen van 'one step' flash-omzetters met hoge resolutie is de noodzaak verschillende honderden identieke comparatoren op de chip te integreren.
Bij de zogenaamde geclockte flash-ADC's heeft men de comparatoren weten te vervangen door een veel eenvoudigere versterker en een zeer kleine in de chip geïntegreerde condensator.

8.1 Achtergrond-informatie



Figuur 12/8.1-4: Blokschema van een omzetter die werkt volgens het principe van de geclockte flash-ADC.

Nadeel is dat deze schakelingen niet vrijlopend zijn, maar dat hun werking moet worden gecontroleerd door een clock-signaal. Het principe is getekend in figuur 12/8.1-4. Het clock-signaal wordt door een eenvoudige logische schakeling omgezet in twee fase-signalen φ1 en φ2, die ten opzichte van elkaar geïnventeerd zijn. φ1 noemt men de 'auto-balance' fase, φ2 de 'sample unknown' fase. Beide signalen besturen een aantal elektronische schakelaars, die de condensator ofwel met het knooppunt van de weerstandsdeler ofwel met de ingangsspanning verbinden. Bovendien kan een derde elektronische schakelaar de versterker overbruggen.

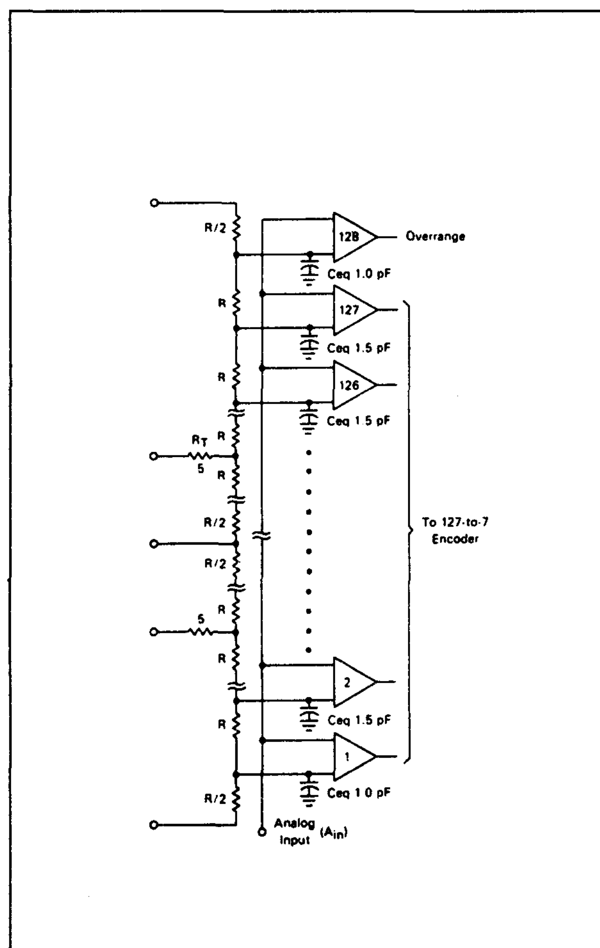
Een complete analoog naar digitaal omzetting neemt een volledige clock-periode in beslag.

Gedurende de 'auto-balance'-fase worden

de condensatoren verbonden met de weerstandsdeler en de versterkers overbrugd. De rechter platen van de condensatoren worden met de lage uitgangs-impedantie van de versterkers verbonden. De condensatoren zullen opladen tot de spanning op de knooppunten van de weerstandsdeler.
Gedurende de 'sample unknown'-fase worden de condensatoren verbonden met de ingangsspanning. De kortsluiting over de versterkers wordt opgeheven, de rechter platen van de condensatoren worden verbonden met de zeer hoge ingangs-impedantie van de versterkers. De ingang van iedere versterker is nu verbonden met de serieschakeling van twee spanningen: de ingangsspanning en de spanning over de condensator. Sommige ingangen zullen dus negatief zijn, de andere positief. Een en ander is afhankelijk van de grootte van de ingangsspanning.
De positieve ingangsspanningen worden door de versterkers versterkt en leveren 'H'-signalen aan de logica, waarop de versterkers zijn aangesloten. De negatieve ingangsspanningen worden niet versterkt en leveren 'L'-signalen.
Deze niveaus worden bij de voorflank van de volgende φ1 puls in tussen-geheugens opgenomen en bij de voorflank van de daaropvolgende φ2-puls overgedragen op de flipflop's van de uitgang.

Externe referentie-spanningen

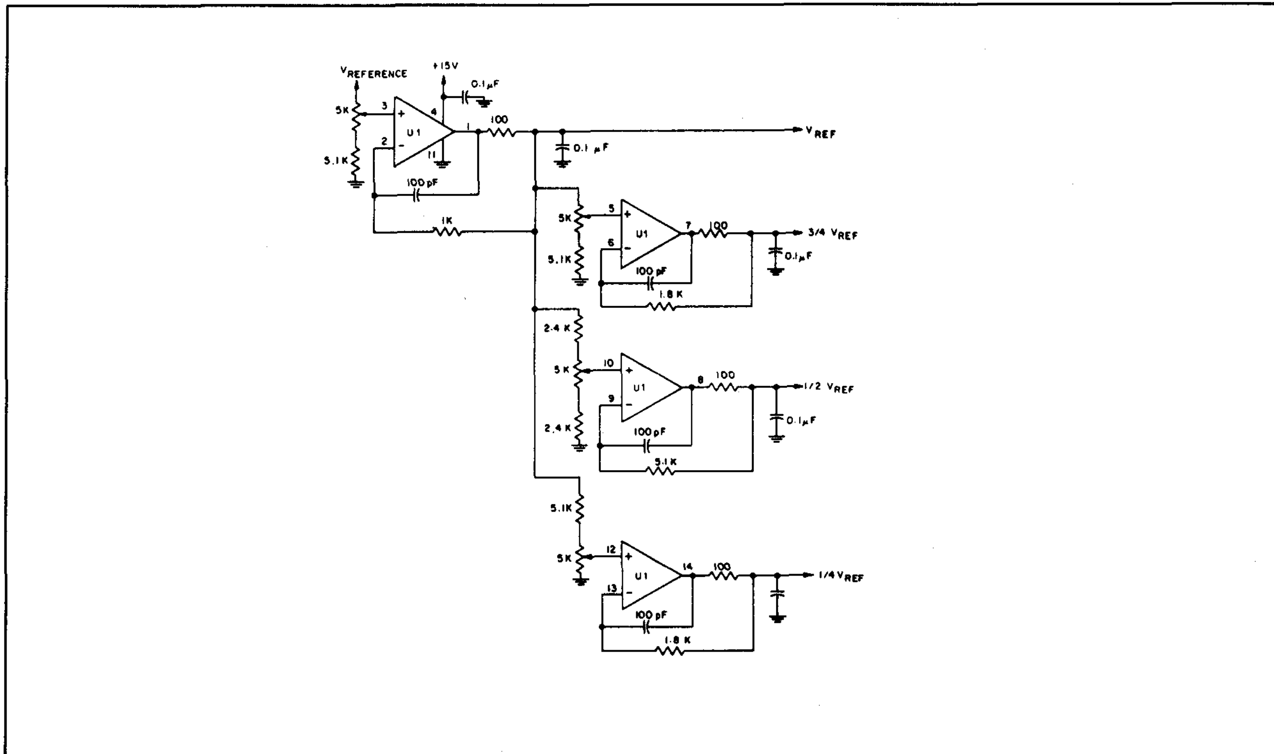
De nauwkeurigheid en de lineariteit van een flash-omzetter is in grote mate afhankelijk van de nauwkeurigheid van de weerstanden van de spanningsdeler. Naarmate het aantal weerstanden stijgt, neemt ook de kans op fouten toe. Vandaar dat de meeste flash-ADC's met een resolutie van 6 bit of meer enige naar buiten gevoerde knooppunten hebben, bijvoorbeeld zoals getekend in figuur 12/8.1-5. Bij deze schakeling worden de weerstands-knopen op ¼, ½ en ¾ van de totale deler naar buiten gebracht. Men kan de lineariteits-fout aanzienlijk verkleinen door de spanning op deze punten door een



Figuur 12/8.1-5: Bij flash-omzetters met een resolutie van 6 bit of meer zal men vaak twee of drie knooppunten van de weerstands-deler naar buiten voeren, zodat het mogelijk is de afwijkingen op de referentie-spanningen te compenseren door deze punten op de juiste spanning te fixeren.

externe schakeling te fixeren op ¼, ½ en ¾ van de totale referentie-spanning.
Een bruikbaar schema is getekend in figuur 12/8.1-6. De referentie-spanning wordt door een operationele versterker gebufferd en nadien via drie instelbare delers gereduceerd tot ¾, ½ en ¼ van de maximale waarde. Deze drie delers worden ook weer afgesloten door operationele versterkers. Door middel van de vier 5 kΩ potentiometers kan men de vier referentie-spanningen nauwkeurig instellen.

8.1 Achtergrond-informatie



Figuur 12/8.1-6: Schakeling voor het genereren van vier referentie-spanningen van respectievelijk 1/4, 2/4, 3/4 en 4/4 van de eind-waarde.

12/8.2

Type-beschrijving resolutie tot en met 4 bit

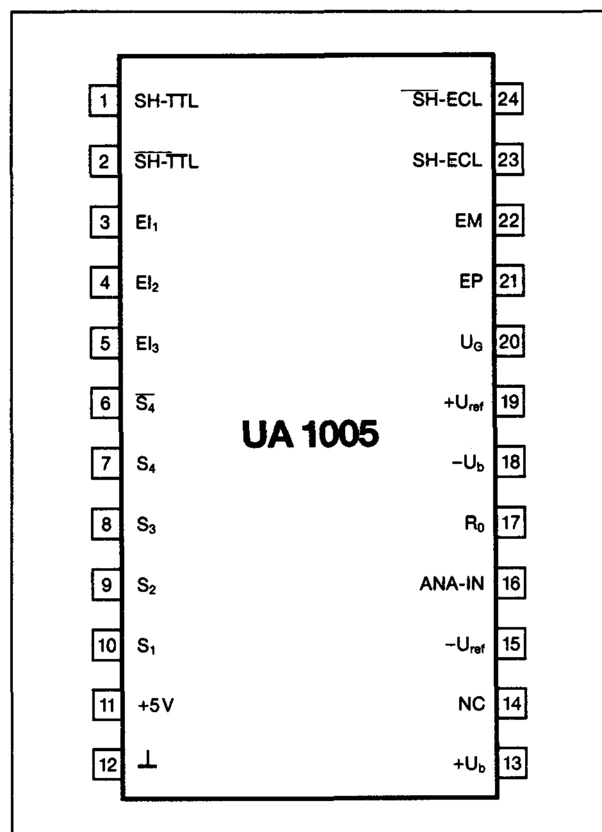
UA 1005

4 bit, 30 MHz, one step

One step omzetter voor spanningen tot +/−5 V met continue omzetting, ECL-compatibele uitgangen, ingebouwde flip-flop's en tri-state uitgangsbuffers. Overbereik-indicatie aanwezig.

Technische gegevens

- fabrikant: Thomson Semiconductors, Philips
- behuizing: DIL 24
- aansluitgegevens: figuur 12/8.2-1
- intern blokschema: figuur 12/8.2-2
- voedingsspanningen: +5 V
  +7,2 → +8,8 V
  −7,2 → −8,8 V
- voedingsstromen: +42 mA (+5 V)
  +13 mA
  −65 mA
- referentie-spanningen:
  U_{ref+}: +4,52 → +5 V
  U_{ref-}: −5 → +4,52 V
- △-referentie: 0,48 V min.
  5,00 V max.
- referentie-stroom: +/−9,6 mA max.
- ingangsspanning: U_{ref-} → U_{ref+}
- ingangsstroom: 200 μA max.
- ingangs-capaciteit: 25 pF max.
- niveau ECL-uitgangen (S1 t.e.m. S4):
  'H': −1,3 → −0,7 V
  'L': −2,5 → −1,7 V
- convertie-tijd: 30 ns typisch
- propagation delay: 45 ns max.
- sampling-rate: 20 MHz min.
- memory input EM:
  'L': input-output transparant



Figuur 12/8.2-1: Aansluitgegevens UA 1005.

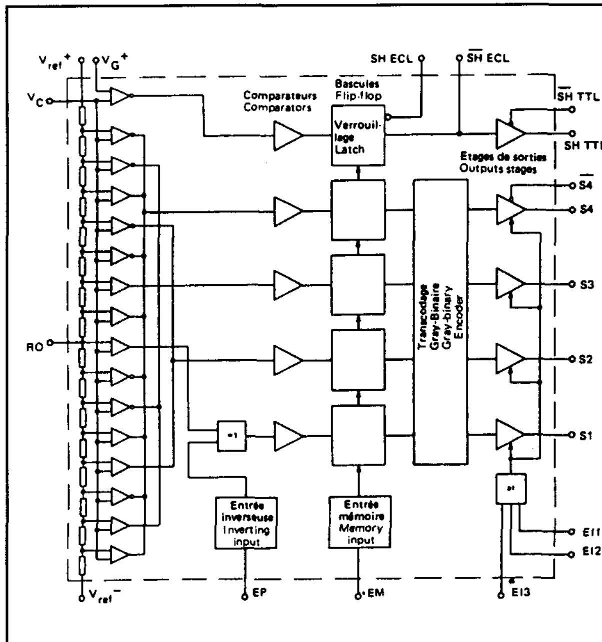
  'H': latching
- tri-state control EI
  'L': output
  'H': tri-state
- output code select EP
  'L': complementair binair
  'H': direct binair

Voorbeeld-schakelingen

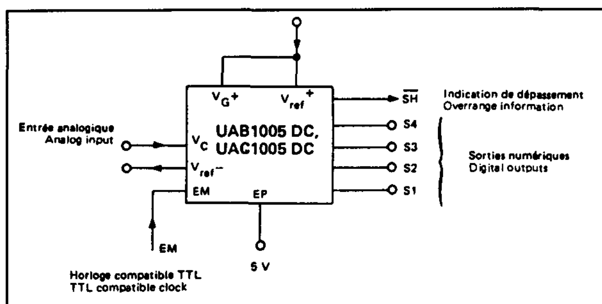
- figuur 12/8.2-3:

Basis-schema van de omzetter met U_{ref+}

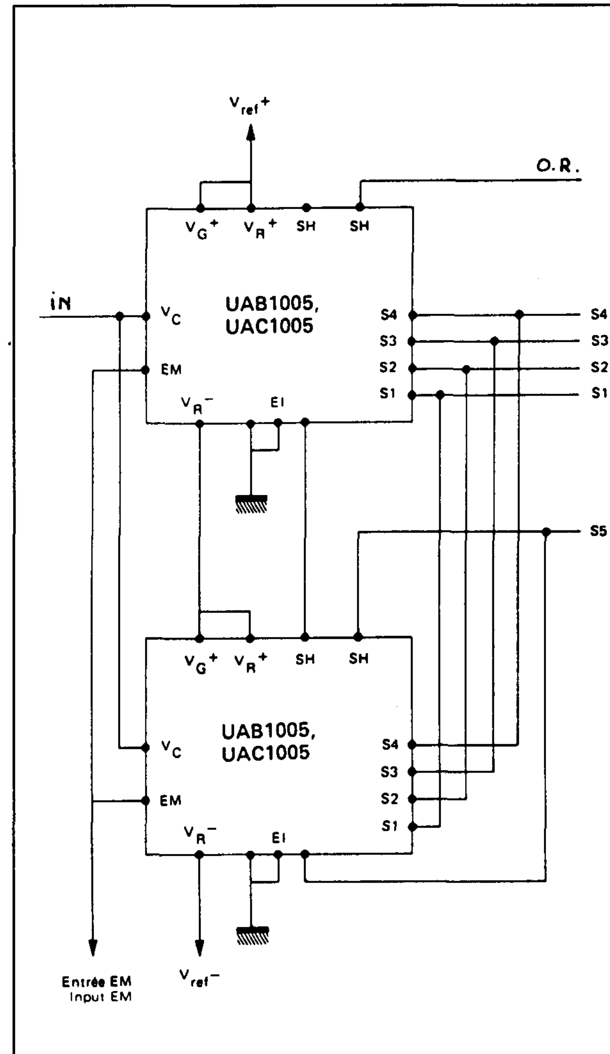
8.2 Type-beschrijving resolutie tot en met 4 bit



Figuur 12/8.2-2: Intern blokschema UA 1005.



Figuur 12/8.2-3: Basis-schema 4 bit omzetter met UA 1005.



Figuur 12/8.2-4: Twee UA 1005 IC's, geschakeld als 5 bit omzetter.

vast verbonden met de +5 V voedingsspanning. De binaire code wordt op de negatieve flank van de clock-puls in de tussen-geheugens opgeslagen.

– figuur 12/8.2-4:

Twee UA 1005 omzetters geschakeld als een 5 bit omzetter.

U 6754 B

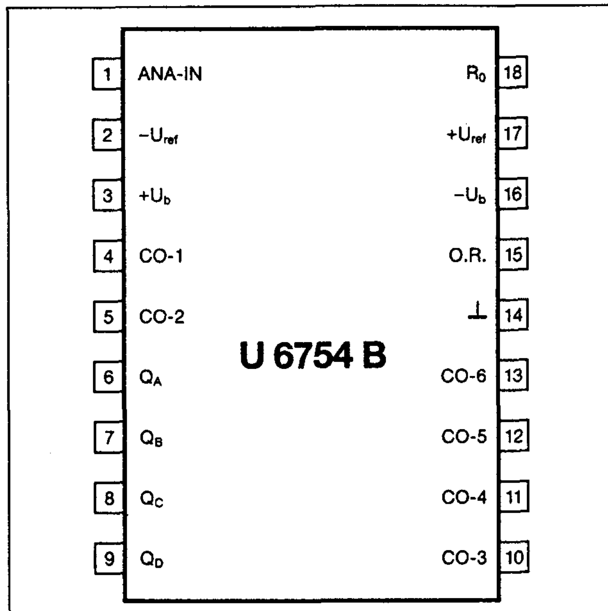
4 bit, 110 MHz, one step

Zeer snelle omzetter met een lineariteit van $+/-{}^{1}/_{16}$ bit, een overbereik-uitgang, gelatchte uitgangen op ECL-niveau en carry-uitgang voor het samenstellen van een 8 bit omzetter met twee identieke schakelingen.

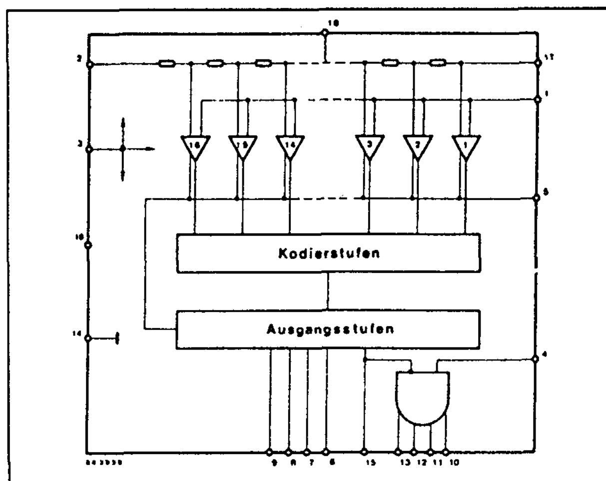
Technische gegevens

- fabrikant: Telefunken
- behuizing: DIL-18
- aansluitgegevens: figuur 12/8.2-5
- intern blokschema: figuur 12/8.2-6
- voedingsspanningen: +5,0 V max. (pen 3)
  −7,0 V max. (pen 16)
- voedingsstromen: +50 mA
  −80 mA
- Nadere gegevens ontbreken.

8.2 Type-beschrijving resolutie tot en met 4 bit



Figuur 12/8.2-5: Aansluitgegevens van de U 6754 B.



Figuur 12/8.2-6: Intern blokschema van de U 6754 B.

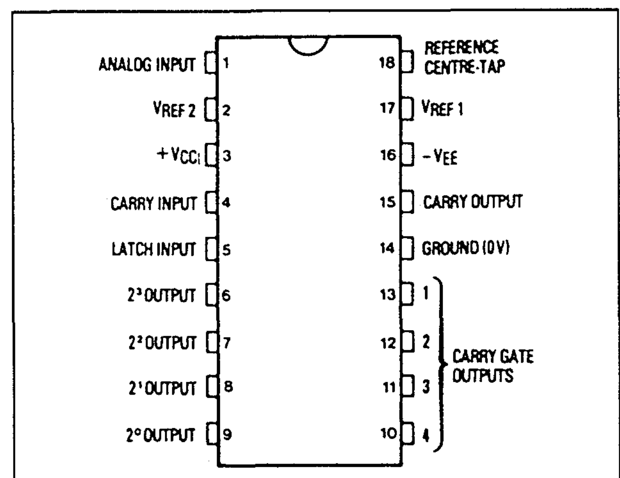
SP 97504

4 bit, 110 MHz, one step

De SP 97504 is een zeer snelle one step omzetter met ECL-uitgangen. De schakeling is volledig compatibel met de (oude) industriestandaard 9754. De ingebouwde latch maakt het mogelijk de schakeling toe te passen zonder externe sample and hold. De latch werkt volgens het master/slave principe, waardoor verzekerd is dat de gegevens synchroon op de uitgangen verschijnen.

Technische gegevens

- fabrikant: Plessey Semiconductors
- behuizing: DIL-18
- aansluitgegevens: figuur 12/8.2-7
- intern blokschema: figuur 12/8.2-8
- voedingsspanningen: +5 V, -7 V
- voedingsstromen: +72 mA, -75 mA
- ingangsstroom: 100 μA max.
- ingangscapaciteit: 10 pF
- ingangsspanning: +/-2 V
- slew rate: 1.000 V/μs
- ingangscapaciteit latches: 2 pF
- weerstand delerketen: 25 Ω
- resolutie: 10 mV min.
- niveau "H": -0,93 V min.
- niveau "L": -1,62 V max.
- prop. delay: 6 ns typisch
- sample rate: 110 MHz max.
- aperture tijd: 10 ps typisch



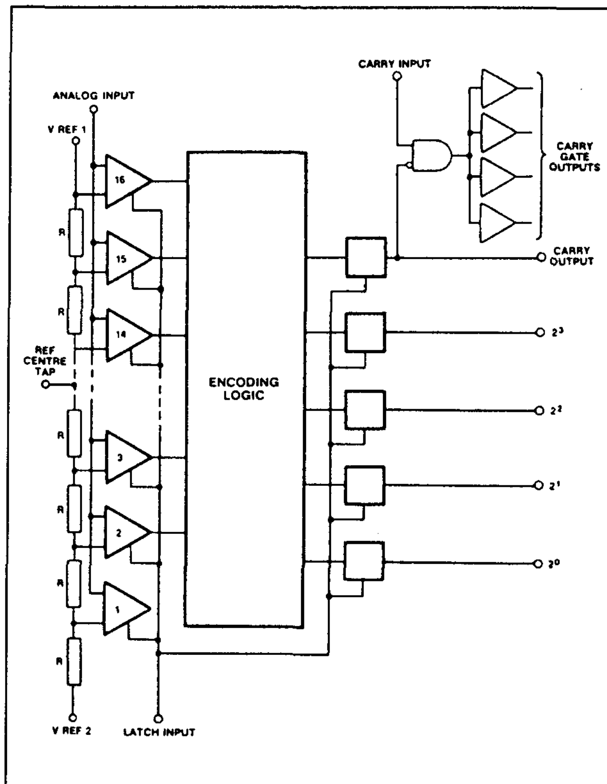
Figuur 12/8.2-7: Aansluitgegevens van de SP 97504.

Voorbeeld-schakeling

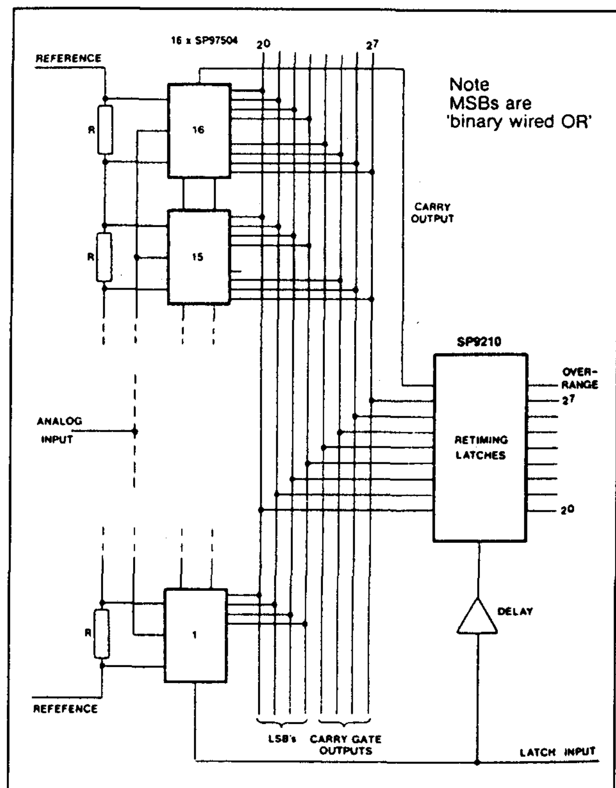
- figuur 12/8.2-9:

Uitbreiding tot een resolutie van 8 bit door het parallel schakelen van zestien SP 97504 IC's.

8.2 Type-beschrijving resolutie tot en met 4 bit



Figuur 12/8.2-8: Intern blokschema van de SP 97504.



Figuur 12/8.2-9: Het uitbreiden van de resolutie tot 8 bit met behoud van de snelheid.

12/8.3

Type-beschrijving resolutie 5, 6 en 7 bit

CA 3300

6 bit, 15 MHz, clocked

Flash-ADC in CMOS-technologie met een dissipatie van slechts 200 mW. Ingebouwde zener-referentie en overflow, zodat twee units in cascade geschakeld kunnen worden voor het vergroten van de resolutie. Weerstands-deler voorzien van tap in het midden voor toevoer van externe halve referentie. De schakeling heeft slechts een positieve voedingsspanning nodig.

Technische gegevens

- fabrikant: RCA
- behuizing: DIL-18
- aansluitgegevens: figuur 12/8.3-1
- intern blokschema: figuur 12/8.3-2
- timing-diagramma: figuur 12/8.3-3
- waarheidstabel besturing: figuur 12/8.3-4
- voedingsspanning: +10 V max.
- voedingsstroom: 40 mA max.
- referentie-spanning: +6,2 → +7,4 V
- referentie-impedantie: 30 Ω max.
- tempco ref.-spanning: 0,5 mV/°C typisch
- ingangsspanning: +2,4 V → $+U_b$
- ingangsstroom: 1 mA max.
- ingangscapaciteit: 50 pF typisch
- totale tempco: 0,016 bit/°C
- weerstand deler: 1 → 1,8 kΩ
- lineariteits-fout: +/−0,8 bit max.
- sampling frequentie: 0,1 MHz min.
  19 MHz max.
- totale vertraging: 20 ns typisch

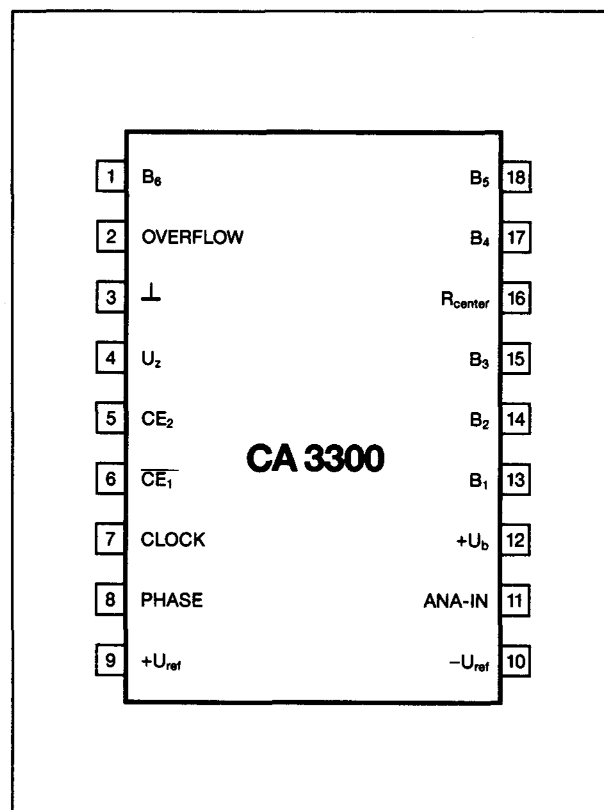
Voorbeeld-schakelingen

- figuur 12/8.3-5:

Basis-schema van de CA 3300 als 6 bit omzetter met CMOS-uitgangen. Gebruikt men de schakeling met een voeding van meer dan +5,5 V en moeten de uitgangen aangesloten worden op standaard +5 V schakelingen, dan moet men de in- en de uitgangen volgens het schema van figuur 12/8.3-6 afsluiten met niveau-aanpassers.

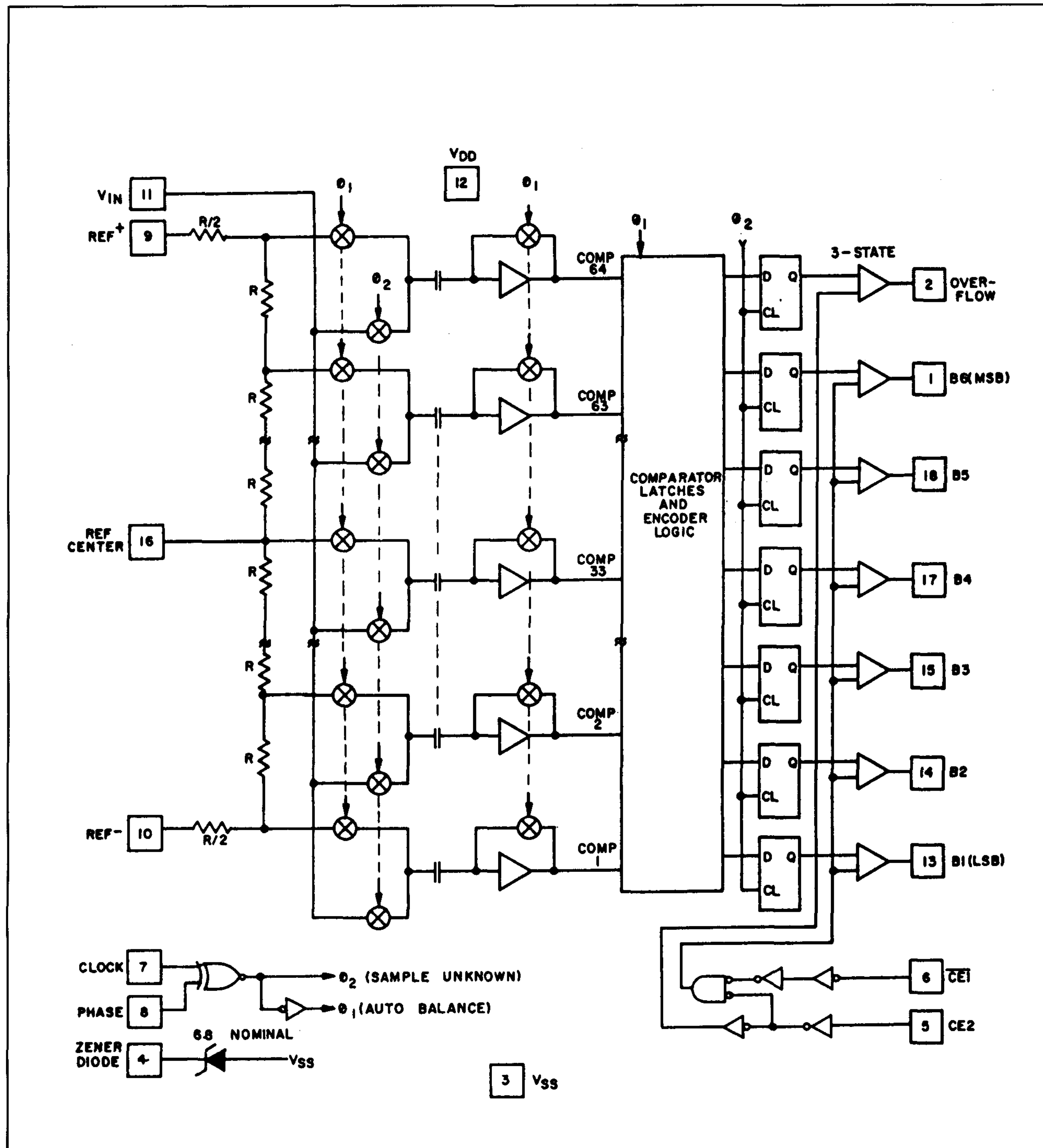
- figuur 12/8.3-7:

Standaard-schakeling voor het verhogen van de resolutie tot 7 bit. De overflow-uitgang van de onderste omzetter wordt nu het



Figuur 12/8.3-1: Aansluitgegevens CA 3300.

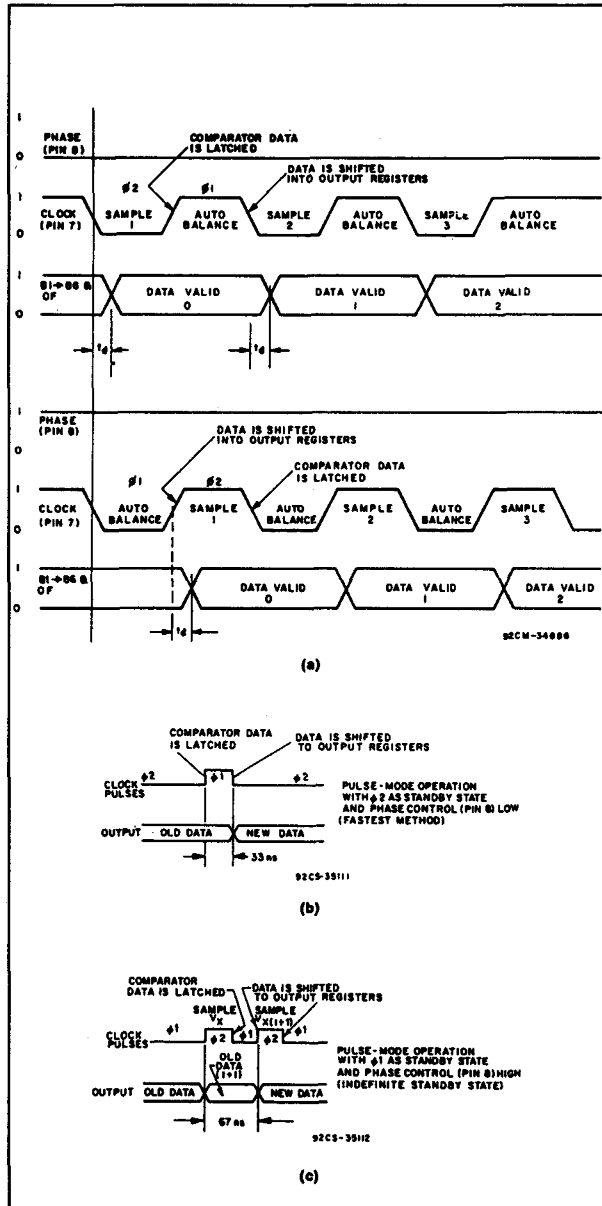
8.2 Type-beschrijving resolutie 5, 6 en 7 bit



Figuur 12/8.3-2: Intern blokschema van de CA 3300.

zevende uitgangs-bit. Als dit 'L' is moeten alle uitgangen van het onderste IC worden afgeleid. Als dit bit 'H' is moeten alle uitgangen van de bovenste omzetter komen. Vandaar dat de overflow van de onderste omzetter is aangesloten op de CE_1 ingang van het onderste IC en op de CE_2 ingang van de bovenste omzetter. De tri-state structuur van

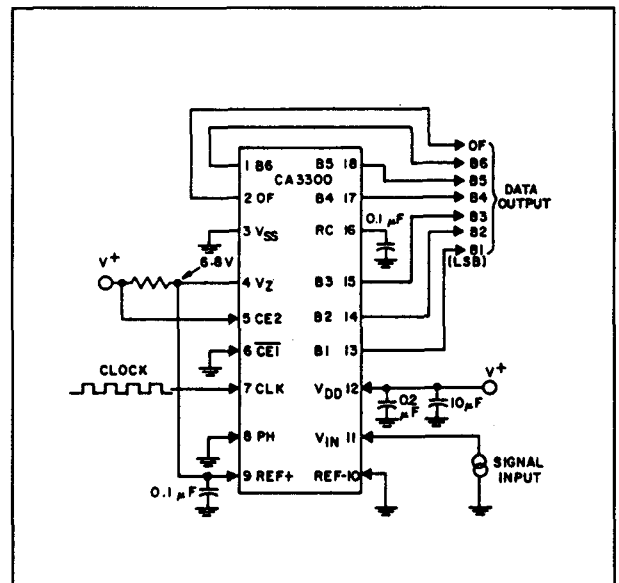
8.3 Type-beschrijving resolutie 5, 6 en 7 bit



Figuur 12/8.3-3: Volledig timing-schema van de CA 3300.

$\overline{CE}_1$	CE_2	B_1-B_6	OFW
0	1	Valid	Valid
1	1	TRI-STATE	Valid
X	0	TRI-STATE	TRI-STATE

Figuur 12/8.3-4: Waarheidstabel van de besturingspulsen van de CA 3300.



Figuur 12/8.3-5: Basis-schema van de CA 3300 als 6 bit omzetter.

de uitgangstrappen zorgt dan automatisch voor de omschakeling.

– figuur 12/8.3-8:

Door het parallel schakelen van twee omzetters kan men de sampling-frequentie verdubbelen tot 30 MHz.

MP 7682

6 bit, 15 MHz, clocked

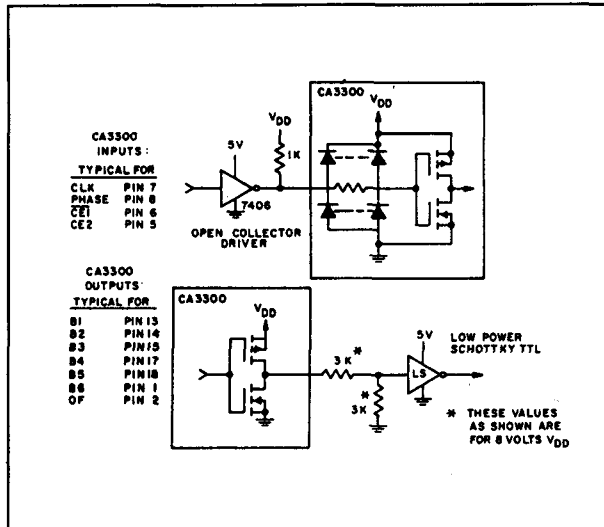
Second source van Micro Power Systems voor de CA 3300 van RCA. Heeft vergelijkbare eigenschappen, is echter in een aantal uitvoeringen leverbaar met sampling frequenties tot 30 MHz.

Technische gegevens

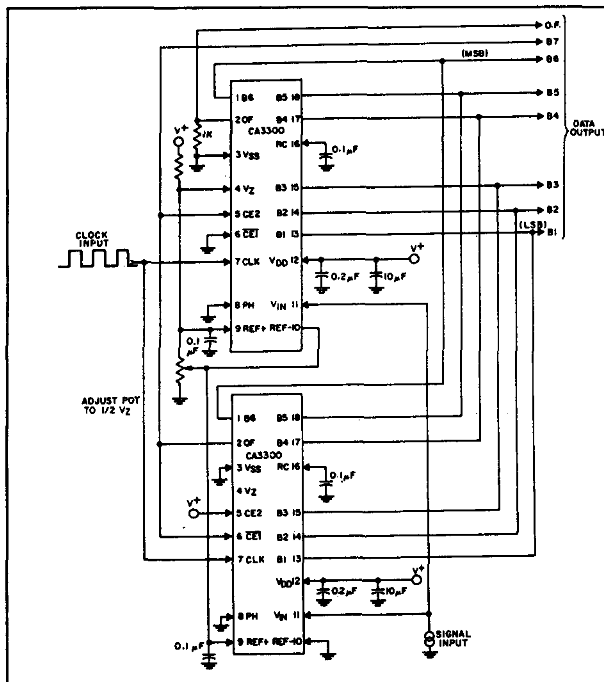
- fabrikant: Micro Power Systems
- weerstands-deler: 0,3 kΩ
- totale vertraging: 66 ns max.
- uitvoeringen: figuur 12/8.3-9

Voor de overige gegevens wordt verwezen naar de CA 3300.

8.3 Type-beschrijving resolutie 5, 6 en 7 bit



Figuur 12/8.3-6: Interface-schakelingen naar TTL in- en uitgangen als men de CA 3300 met meer dan +5 V voedt.

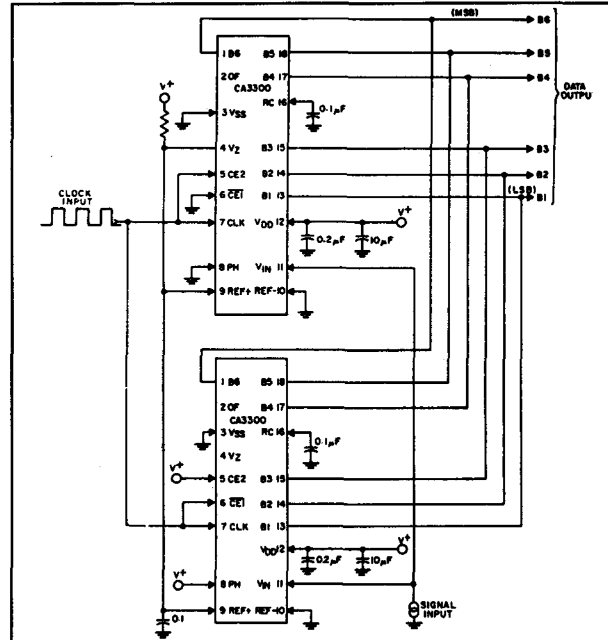


Figuur 12/8.3-7: Cascade-schakeling van twee CA 3300 omzetters als ADC met een resolutie van 7 bit.

SDA 6020

6 bit, 50 MHz, one step

Siemens versie van de AD 6020 van Analoog Devices.
Zie AD 6020 voor nadere gegevens.



Figuur 12/8.3-8: Door twee identieke CA 3300 schakelingen parallel te schakelen kan men de snelheid verdubbelen.

AD 6020

6 bit, 50 MHz, one step

Zeer snelle omzetter met een extra ingang (dynamic reference driving U_{ihy}), waarmee men de hysteresisch van de comparatoren kan variëren. ECL-uitgangen, symmetrische voeding en pull-down weerstanden op de uitgangen zijn noodzakelijk.

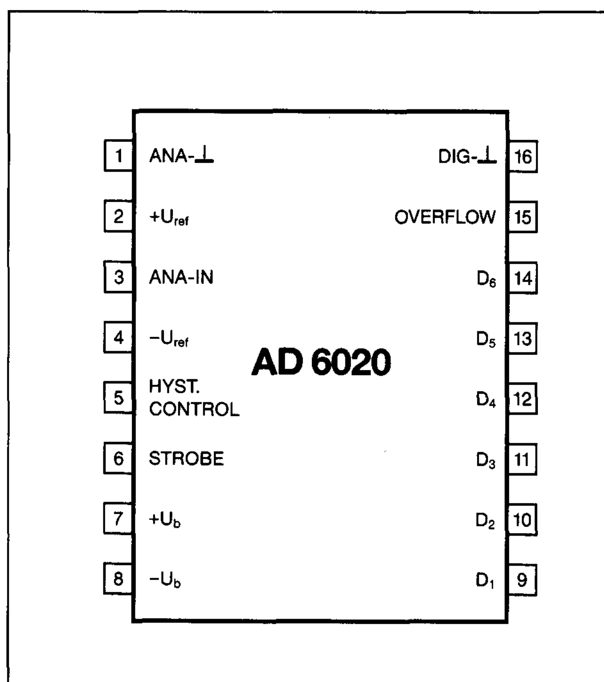
Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-16
- aansluitgegevens: figuur 12/8.3-10
- intern blokschema: figuur 12/8.3-11
- timing-diagramma: figuur 12/8.3-12
- voedingsspanningen: +5,5 V max.
  −5,7 V max.
- voedingsstroom: +60 mA max.
  −80 mA max.
- referentie-spanning: +/−2,5 V max.
- referentie-impedantie: 256 Ω max.
- ingangsspanning: +/− U_{ref} max.
- ingangsstroom: 800 μA max.
- ingangscapaciteit: 35 pF typisch
- lineariteits-fout: +/−0,25 bit max.

8.3 Type-beschrijving resolutie 5, 6 en 7 bit

Relative Accuracy	Sampling Rate	0 to 70°C	-25°C to +85°C	-55°C to +125°C
±1 LSB (5 Bit)	15 MHz (66 ns)	MP7682XJN	MP7682XAD	MP7682XSD
±½ LSB (6 Bit)	15 MHz (66 ns)	MP7682XKN	MP7682XBD	MP7682XTD
±¼ LSB (7 Bit)	15 MHz (66 ns)	MP7682XLN	MP7682XCD	MP7682XUD
±1 LSB (5 Bit)	25 MHz (40 ns)	MP7682YJN	MP7682YAD	
±½ LSB (6 Bit)	25 MHz (40 ns)	MP7682YKN	MP7682YBD	
±1 LSB (5 Bit)	30 MHz (33 ns)	MP7682ZJN		

Figuur 12/8.3-9: De specificaties van de verschillende beschikbare uitvoeringen van de MP 7682.



Figuur 12/8.3-10: Aansluitgegevens AD 6020.

- sampling frequentie: 50 MHz min.
- totale vertraging: 11 ns typisch

Voorbeeld-schakelingen

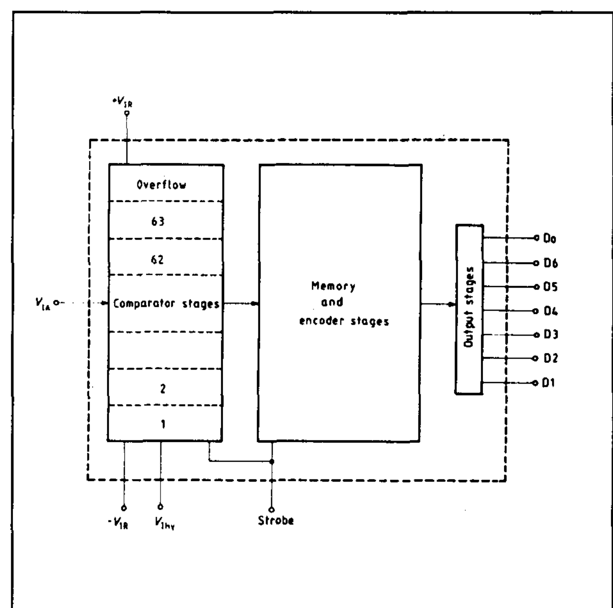
- figuur 12/8.3-13:

Basis-schema van een 6 bit omzetter met de AD 6020.

AD 9000

6 bit, 75 MHz, one step

Zeer snelle omzetter met ECL-uitgangen, symmetrische voeding noodzakelijk.

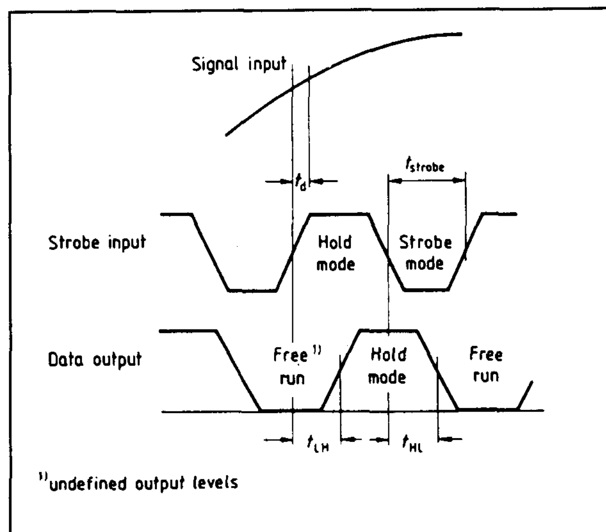


Figuur 12/8.3-11: Intern blokschema AD 6020.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-16
- aansluitgegevens: figuur 12/8.3-14
- intern blokschema: figuur 12/8.3-15
- timing-diagramma: figuur 12/8.3-16
- voedingsspanningen: +6,0 V max.
  −6,0 V max.
- voedingsstroom: +75 mA max.
  −85 mA max.
- referentie-spanning: +/−3,0 V max.
- referentie-impedantie: 200 Ω max.
- ingangsspanning: +/− U_{ref} max.
- ingangsstroom: 800 μA max.

8.3 Type-beschrijving resolutie 5, 6 en 7 bit

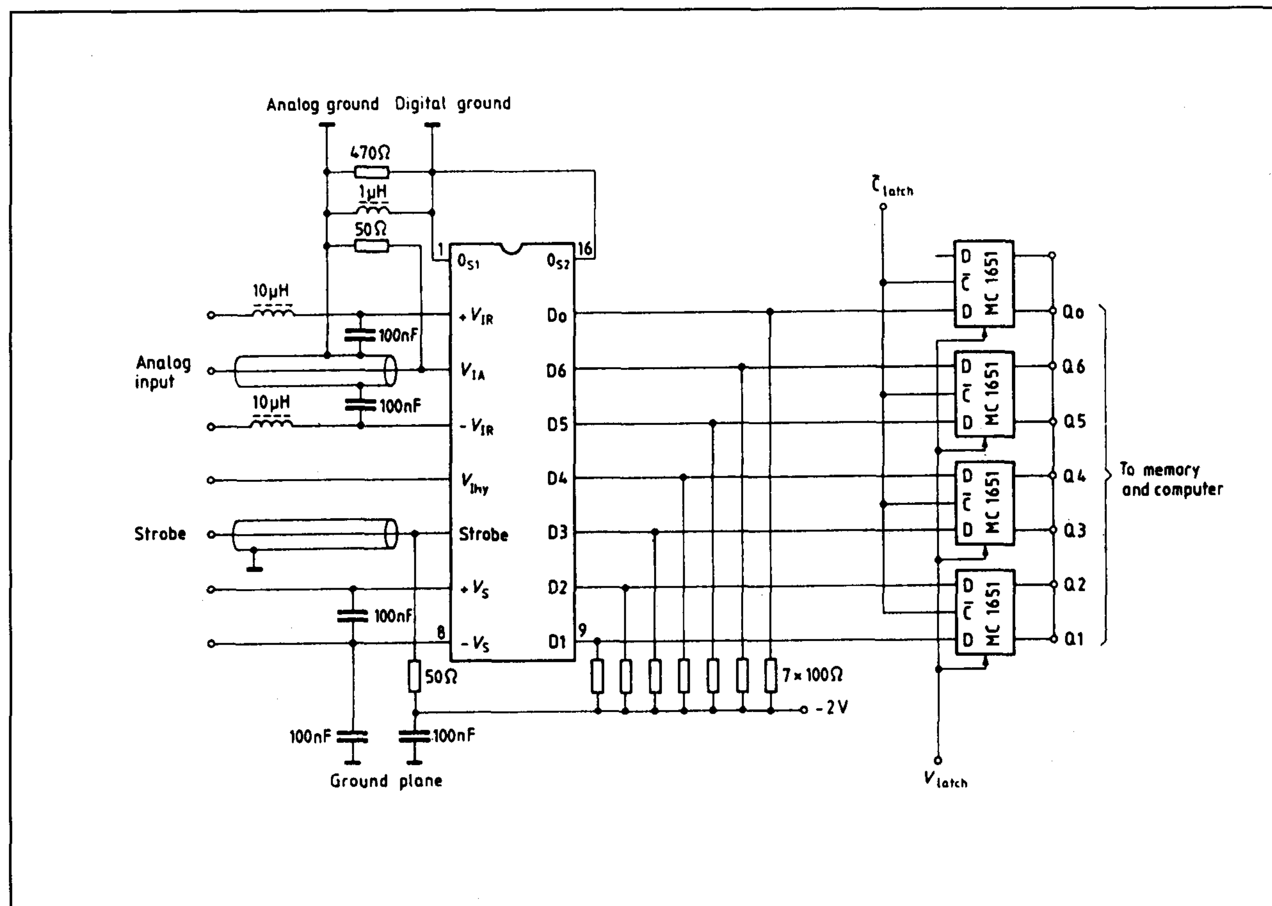


Figuur 12/8.3-12: Timing-gegevens AD 6020.

- ingangscapaciteit: 30 pF typisch
- lineariteits-fout: +/−0,75 bit max.
- sampling frequentie: 75 MHz min.
- totale vertraging: 10 ns typisch

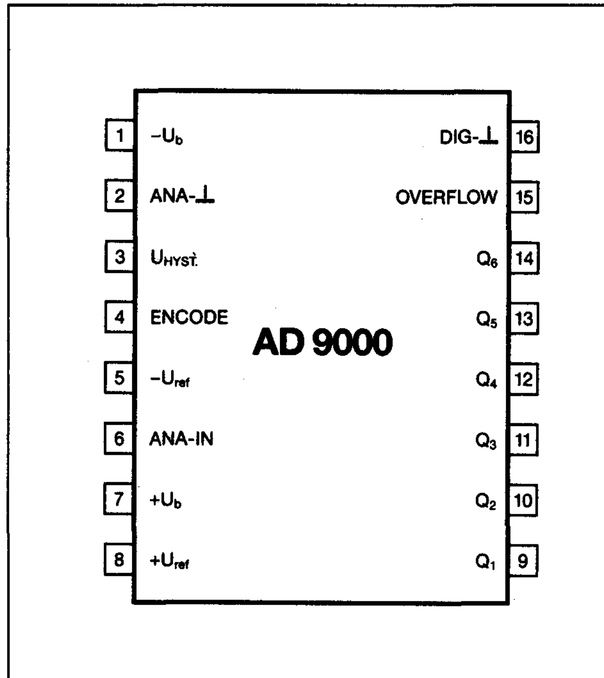
Voorbeeld-schakelingen

– *figuur* 12/8.3-17:
Praktisch schema met de noodzakelijke buffer-versterkers in de analoge en referentie ingangen. Omdat bij 'OVERRANGE' het overflow-bit 'H' wordt en de data-bits 'L' worden, is het aan te bevelen de data-bits bij deze situatie gedwongen 'H' te maken. Dit kan bijvoorbeeld met een 10197 AND-poort.
– figuur 12/8.3-18:
Resolutie van 7 bit door het cascaderen van

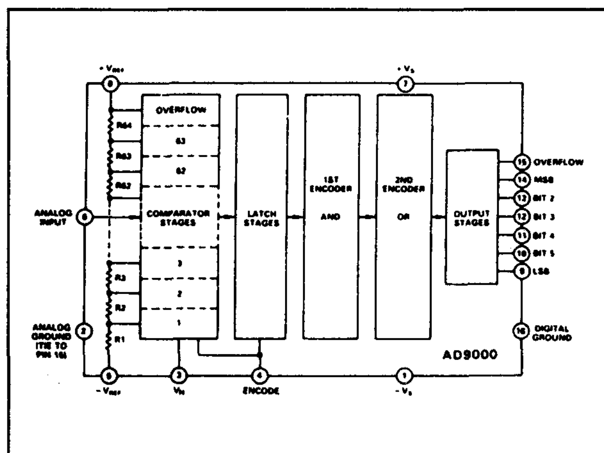


Figuur 12/8.3-13: Praktisch schema rond een AD 6020, met de nadruk op de noodzakelijke afschermingen en massa-verbindingen.

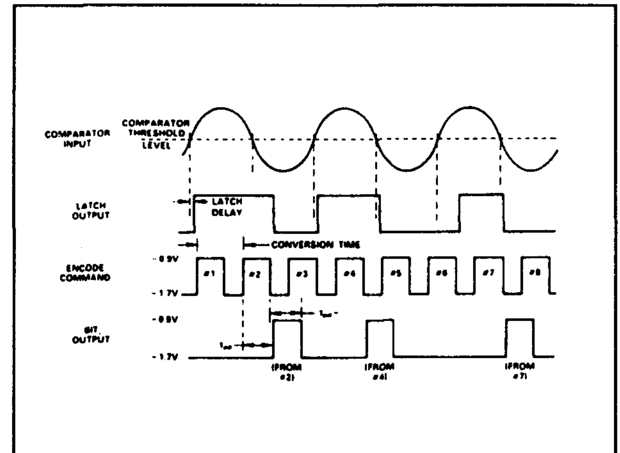
8.3 Type-beschrijving resolutie 5, 6 en 7 bit



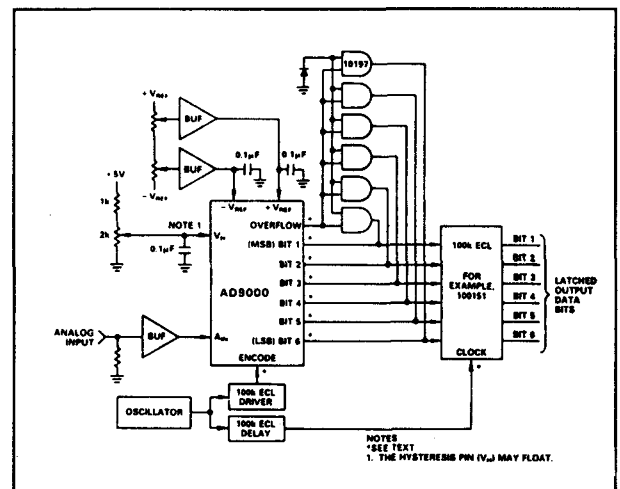
Figuur 12/8.3-14: Aansluitgegevens AD 9000.



Figuur 12/8.3-15: Intern blokschema AD 9000.



Figuur 12/8.3-16: Timing-diagramma AD 9000.



Figuur 12/8.3-17: Praktisch schema rond de AD 9000, met alle noodzakelijke ingangs-buffers en uitgangspoorten.

twee AD 9000 omzetters. De $-U_{ref}$ van de bovenste eenheid wordt verbonden met de $+U_{ref}$ van de onderste eenheid en beide worden ingesteld op de helft van de totale referentie-spanning.

SDA 5010

6 bit, 100 MHz, one step

Siemens versie van de AD 5010 van Analog Devices.

Zie AD 5010 voor nadere gegevens.

AD 5010

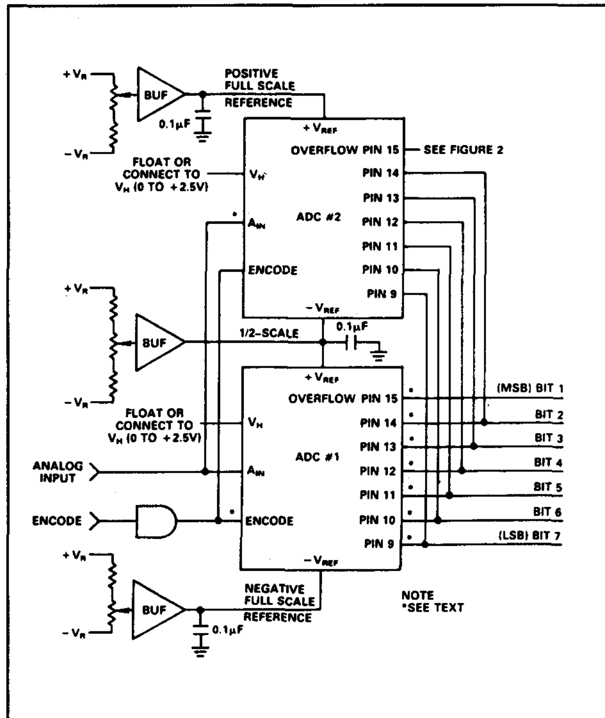
6 bit, 100 MHz, one step

Zeer snelle omzetter met een extra ingang (dynamic reference driving U_{ihy}), waarmee men de hysteresisch van de comparatoren kan variëren. ECL-uitgangen, symmetrische voeding noodzakelijk.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-16

8.3 Type-beschrijving resolutie 5, 6 en 7 bit



Figuur 12/8.3-18: Twee AD 9000 IC's in cascade geschakeld als 7 bit omzetter.

AD 5010

Pin	Functie	Functie	Pin
1	ANA-⊥	DIG-⊥	16
2	$+U_{ref}$	OVERFLOW	15
3	ANA-IN	Q_6	14
4	$-U_{ref}$	Q_5	13
5	$U_{HYST.}$	Q_4	12
6	ENCODE	Q_3	11
7	$+U_b$	Q_2	10
8	$-U_b$	Q_1	9

Figuur 12/8.3-19: Aansluitgegevens AD 5010.

Figuur 12/8.3-20: Intern blokschema AD 5010.

Figuur 12/8.3-21: Timing-schema van de AD 5010.

- aansluitgegevens: figuur 12/8.3-19
- intern blokschema: figuur 12/8.3-20
- timing-diagramma: figuur 12/8.3-21
- voedingsspanningen: +6,0 V max.
  −6,0 V max.
- voedingsstroom: +60 mA max.
  −80 mA max.
- referentie-spanning: +/−3,0 V max.
- referentie-impedantie: 195 Ω max.
- ingangsspanning: +/− U_{ref} max.
- ingangsstroom: 500 µA max.
- ingangscapaciteit: 35 pF typisch

8.3 Type-beschrijving resolutie 5, 6 en 7 bit

- lineariteits-fout: +/−0,25 bit max.
- sampling frequentie: 100 MHz min.
- totale vertraging: 8 ns typisch

Opmerking

De specificaties van het IC kunnen in de buurt van de maximale sampling-frequentie van 100 MHz aanmerkelijk verbeterd worden als men gebruik maakt van een asymmetrische encode-puls, bijvoorbeeld 4 ns 'H' (→ HOLD) en 6 ns 'L' (→ TRACK).

SDA 5200 N/S

6 bit, 100 MHz, one step

Twee omzetters, die pen-compatible zijn met de AD 5010 en AD 6020 en onderling alleen verschillen in de manier waarop de schakelingen reageren op een overrange-situatie. Bij de SDA 5200 S worden alle uitgangen 'H' bij overrange, bij de SDA 5200 N wordt alleen de overrange-uitgang 'H' en gaan de data-uitgangen naar 'L'. Dank zij deze eigenschap kan men een N/S-combinatie zeer eenvoudig cascaderen tot een 7 bit omzetter.

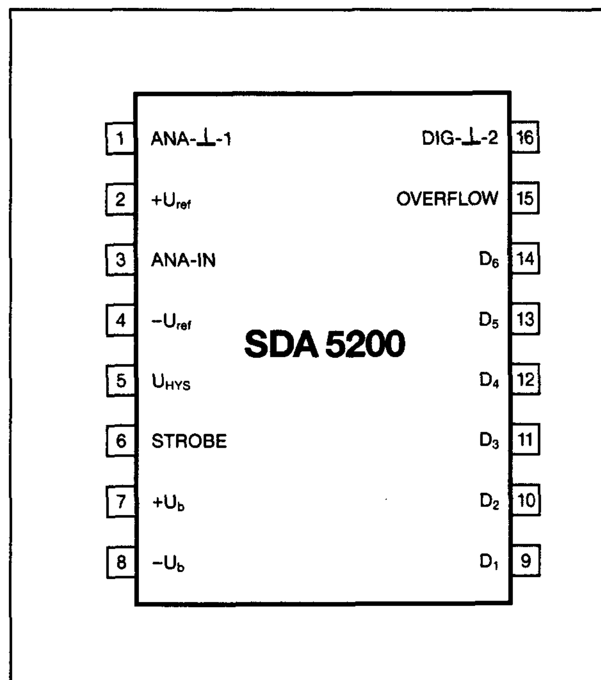
Technische gegevens

- fabrikant: Siemens
- behuizing: DIL-16
- aansluitgegevens: figuur 12/8.3-22
- intern blokschema: figuur 12/8.3-23
- waarheids-tabel: figuur 12/8.3-24
- voedingsspanningen: +6,0 V max.
  −6,0 V max.
- voedingsstroom: +80 mA max.
  −80 mA max.
- referentie-spanning: +2 V, −3 V max.
- referentie-impedantie: 195 Ω max.
- ingangsspanning: +/− U_{ref} max.
- ingangsstroom: 500 μA max.
- ingangscapaciteit: 25 pF typisch
- lineariteits-fout: +/−0,25 bit max.
- sampling frequentie: 100 MHz min.
- totale vertraging: 17 ns typisch

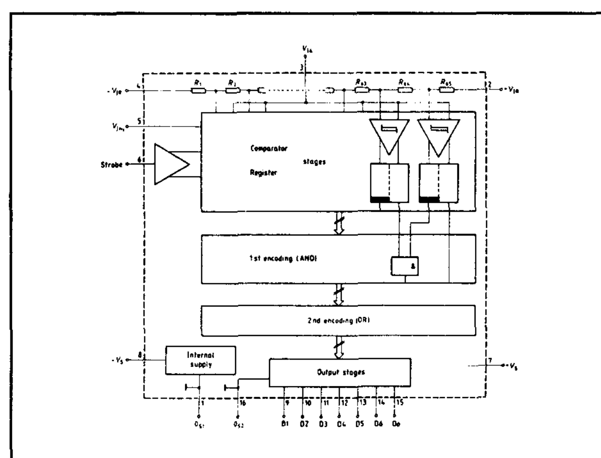
Voorbeeld-schakelingen

- figuur 12/8.3-25:

Enkelvoudig gebruik van de SDA 5200 omzetters als 6 bit convertor.



Figuur 12/8.3-22: Aansluitgegevens SDA 5200.



Figuur 12/8.3-23: Intern blokschema SDA 5200.

- figuur 12/8.3-26:

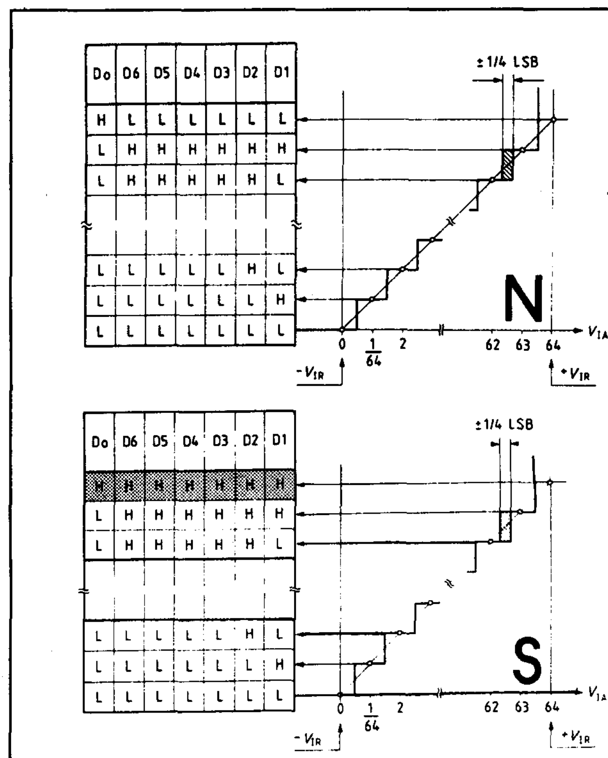
Combinatie van de SDA 5200 S en de SDA 5200 N in een omzetter met een resolutie van 7 bit.

MC 10315/17

7 bit, 15 MHz, clocked

Twee omzetters, die onderling alleen verschillen in de manier waarop de schakelingen reageren op een overrange-situatie.

8.3 Type-beschrijving resolutie 5, 6 en 7 bit



Figuur 12/8.3-24: Het verschil tussen de SDA 5200 N en S zit in de manier waarop de uitgangen reageren op overrange-conditie.

Bij de MC 10315 worden alle uitgangen 'H' bij overrange, bij de MC 10317 wordt alleen de overrange-uitgang 'H' en gaan de data-uitgangen naar 'L'. Dank zij deze eigenschap kan men een 15/17-combinatie zeer eenvoudig cascaderen tot een 8 bit omzetter. De IC's hebben een zeer laagohmige weerstandsdeler (iedere weerstand gelijk aan 0,5 Ω), die is voorzien van drie naar buiten gevoerde aftak-punten (TAP's) op ¼, 2⁄4 en ¾ van de totale waarde.

Technische gegevens
- fabrikant: Motorola
- behuizing: DIL-24
- aansluitgegevens: figuur 12/8.3-27
- intern blokschema: figuur 12/8.3-28
- timing-diagramma: figuur 12/8.3-29
- waarheids-tabel: figuur 12/8.3-30
- voedingsspanningen: +7,0 V max.
  −8,0 V max.
- voedingsstroom: +150 mA max.
  −140 mA max.
- referentie-spanning: +/−2,5 V max.
- referentie-impedantie: 64 Ω max.
- ingangsspanning: +/− U_{ref} max.
- ingangsstroom: 400 μA max.
- ingangscapaciteit: 70 pF typisch
- lineariteits-fout: +/−0,16% max.
- sampling frequentie: 15 MHz max.
- totale vertraging: 43 ns typisch
- minimale clock-breedte:
  'L': 25 ns
  'H': 44 ns

Voorbeeld-schakeling
- figuur 12/8.3-31:

Combinatie van de MC 10315 en de MC 10317 in een omzetter met een resolutie van 8 bit. Alle digitale uitgangen moeten worden afgesloten met pull-down weerstanden.

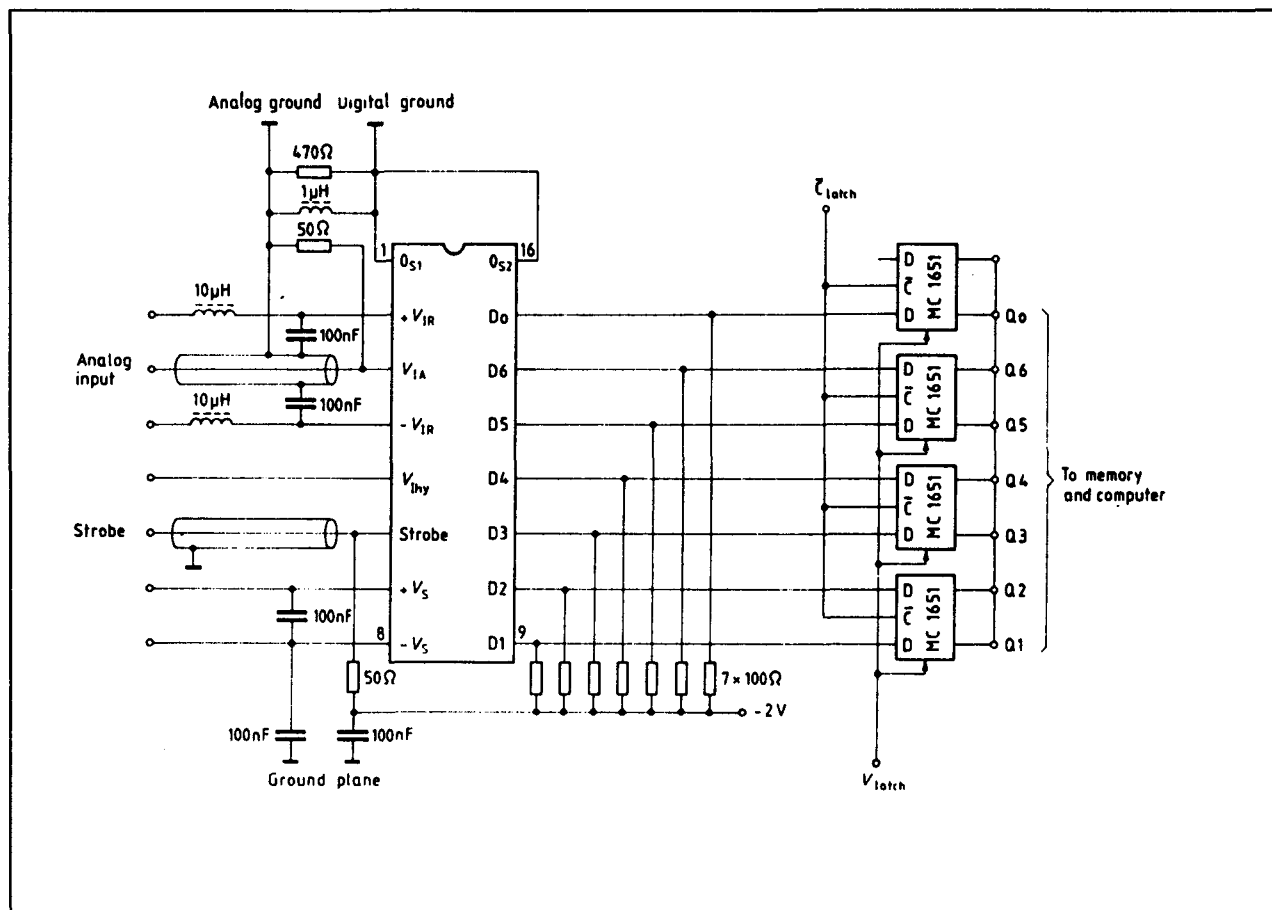
PNA 7507

7 bit, 15 MHz, clocked

In NMOS-technologie opgebouwde omzetter voor enkelvoudige positieve voeding, die echter alleen positieve ingangsspanningen kan verwerken. De uitgangen zijn TTL-compatible en kunnen worden omgeschakeld tussen binaire code of twee-complementaire code. Naast de standaard overflow is ook een underflow uitgang aanwezig, die reageert als de ingangsspanning kleiner wordt dan de laagste referentie.

Technische gegevens
- fabrikant: Philips
- behuizing: DIL-24
- aansluitgegevens: figuur 12/8.3-32
- intern blokschema: figuur 12/8.3-33
- timing-diagramma: figuur 12/8.3-34
- waarheids-tabel: figuur 12/8.3-35
- voedingsspanningen:
  +7,0 V max. (pennen 3, 12, 23)
  +13,5 V max. (pen 24)
- voedingsstroom: +80 mA max. (+5 V)
  +20 mA max. (+12 V)
- referentie-spanning:
  hoog: +5,2 V max.

8.3 Type-beschrijving resolutie 5, 6 en 7 bit



Figuur 12/8.3-25: Enkelvoudige 6 bit omzetter met een SDA 5200.

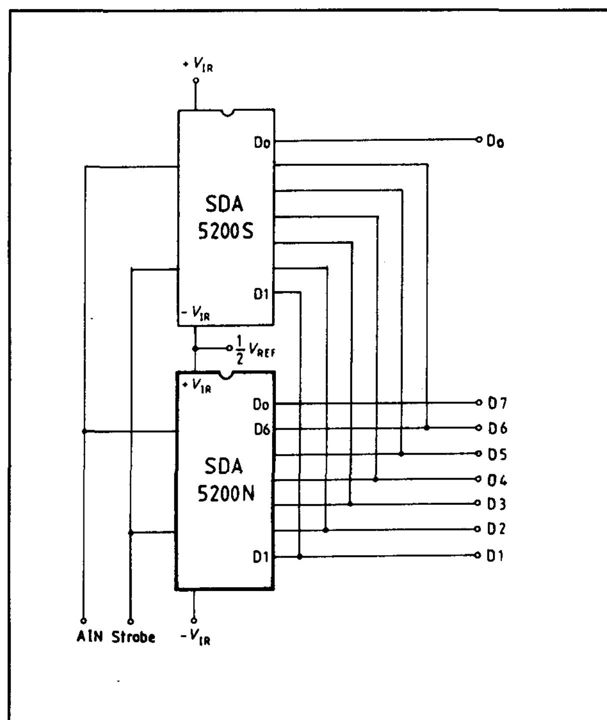
laag: +2,4 V min.
- referentie-stroom: 280 µA max.
- ingangsspanning: −0,3 V min.
  +5,5 V max.
- ingangsstroom: 150 µA max.
- ingangscapaciteit: 40 pF typisch
- lineariteits-fout: +/−½ bit max.
- clock frequentie: 1 MHz min.
  15 MHz max.
- totale vertraging: 50 ns typisch
- minimale clock-breedte:
  'L': 22 ns
  'H': 22 ns

Voorbeeld-schakeling

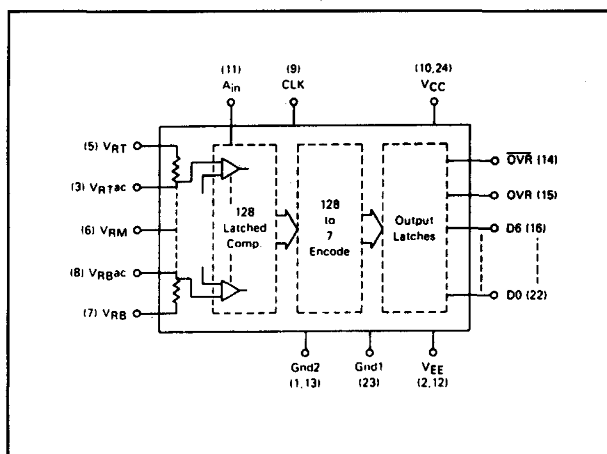
- figuur 12/8.3-36:

Volledige praktische schakeling van een 7 bit video digitizer rond de PNA 7507 met een analoge bandbreedte van 6 MHz.

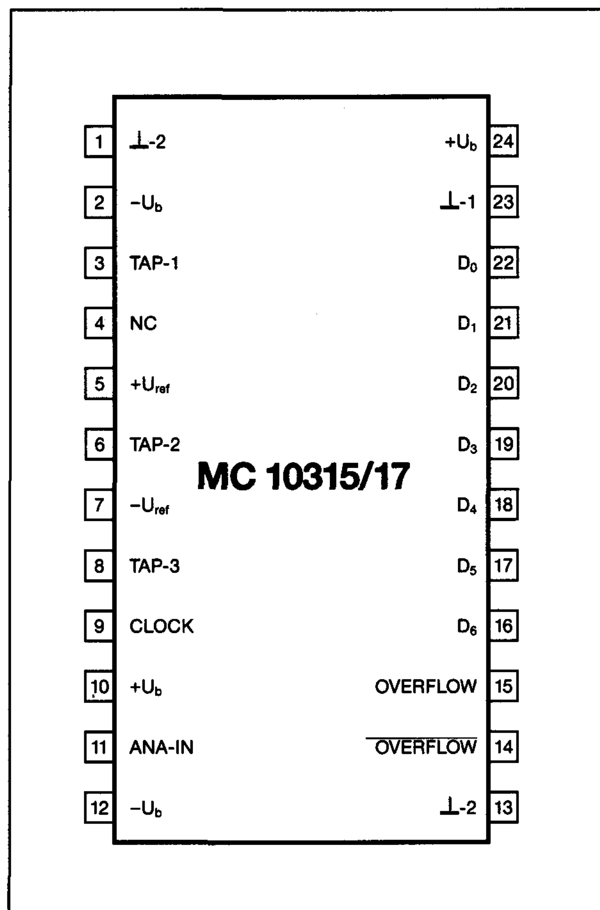
8.3 Type-beschrijving resolutie 5, 6 en 7 bit



Figuur 12/8.3-26: De SDA 5200 S + N combinatie vormt een zeer eenvoudige 7 bit omzetter.

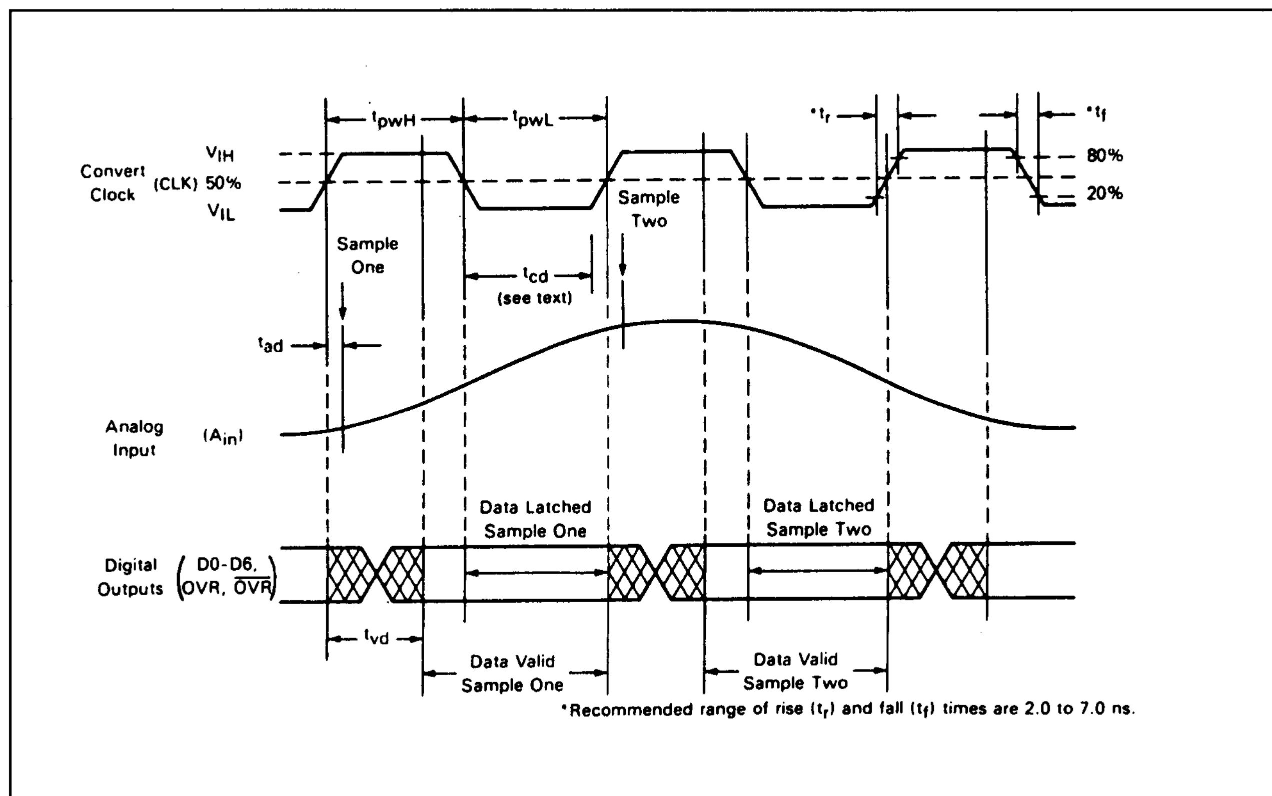


Figuur 12/8.3-28: Intern blokschema MC 10315 en 10317.



Figuur 12/8.3-27: Aansluitgegevens MC 10315 en MC 10317.

8.3 Type-beschrijving resolutie 5, 6 en 7 bit

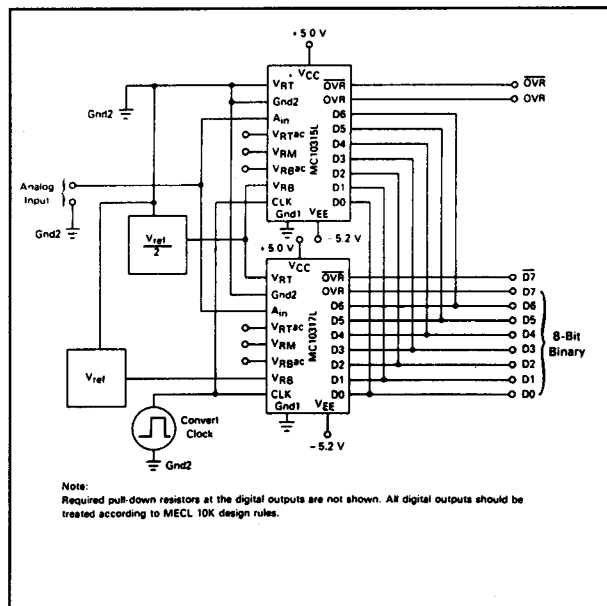


Figuur 12/8.3-29: Timing-diagramma van de MC 10315/17.

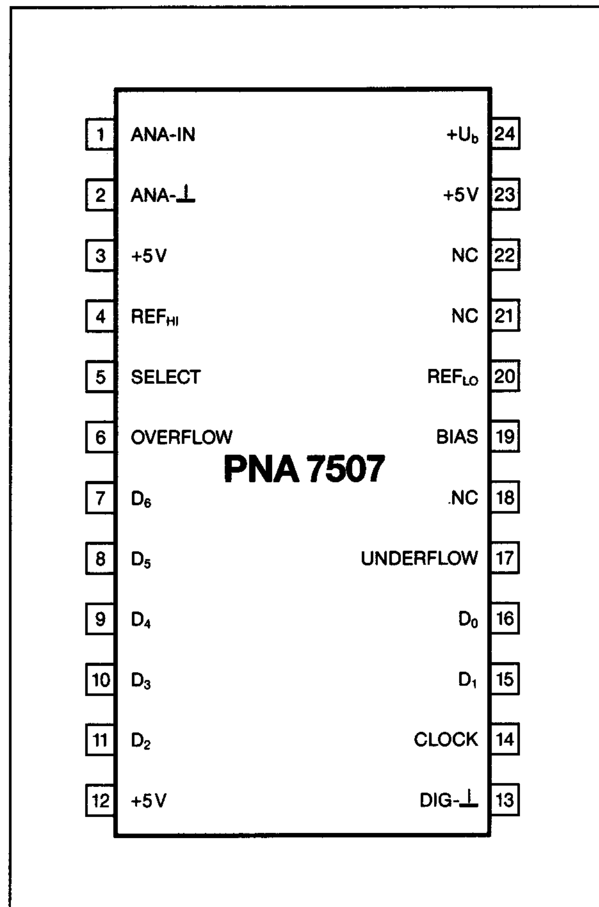
Comparator Step	Analog Input Range (15.6 mV per LSB)			MC10315L Data Bits	MC10317L Data Bits	Overrange Bit	$\overline{\text{Overrange}}$ Bit
	−2.0 V to 0 V	0 V to 2.0 V	±1.0 V	(D0-D6)	(D0-D6)	(OVR)	($\overline{\text{OVR}}$)
000	2.0000 V	+ 0.0000 V	1.0000 V	0000000	0000000	0	1
001	− 1.9922 V	+ 0.0078 V	0.9922 V	0000001	0000001	0	1
•	•	•	•	•	•		
•	•	•	•	•	•		
•	•	•	•	•	•		
063	1.0234 V	+ 0.9766 V	0.0234 V	0111111	0111111		
064	1.0078 V	+ 0.9922 V	0.0078 V	1000000	1000000		
065	0.9922 V	+ 1.0078 V	+ 0.0078 V	1000001	1000001		
•	•	•	•	•	•		
•	•	•	•	•	•		
•	•	•	•	•	•		
126	0.0391 V	+ 1.9609 V	+ 0.9609 V	1111110	1111110		
127	0.0234 V	+ 1.9766 V	+ 0.9766 V	1111111	1111111		
128	0.0078 V	+ 1.9922 V	+ 0.9922 V	1111111	0000000	1	0

Figuur 12/8.3-30: Waarheids-tabel van de MC 10315 en de MC 10317 in functie van de grootte van de ingangsspanning.

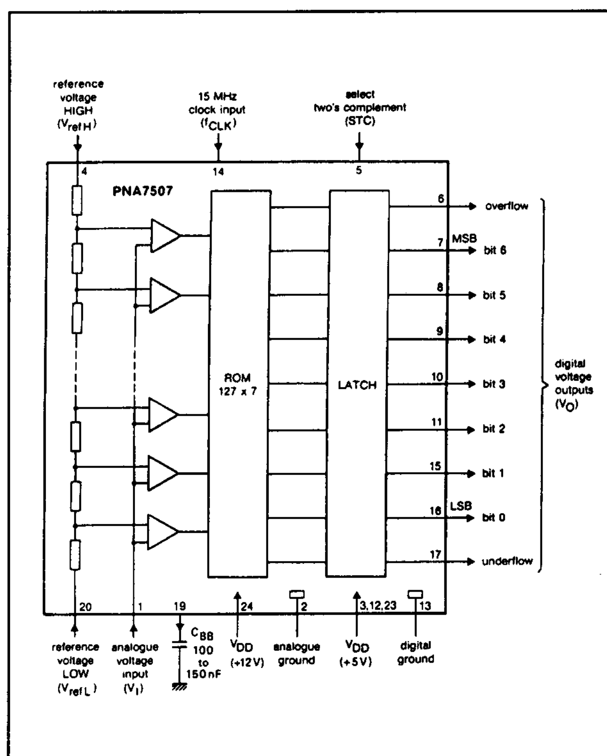
8.3 Type-beschrijving resolutie 5, 6 en 7 bit



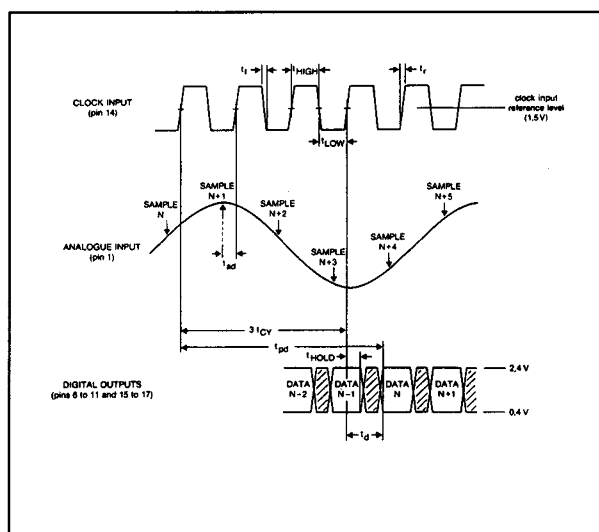
Figuur 12/8.3-31: Flash-omzetter met 7 bit resolutie, samengesteld met een MC 10315/ MC 10317 paar.



Figuur 12/8.3-32: Aansluitgegevens PNA 7507.



Figuur 12/8.3-33: Intern blokschema PNA 7507.



Figuur 12/8.3-34: Tijd-schema van de PNA 7507.

8.3 Type-beschrijving resolutie 5, 6 en 7 bit

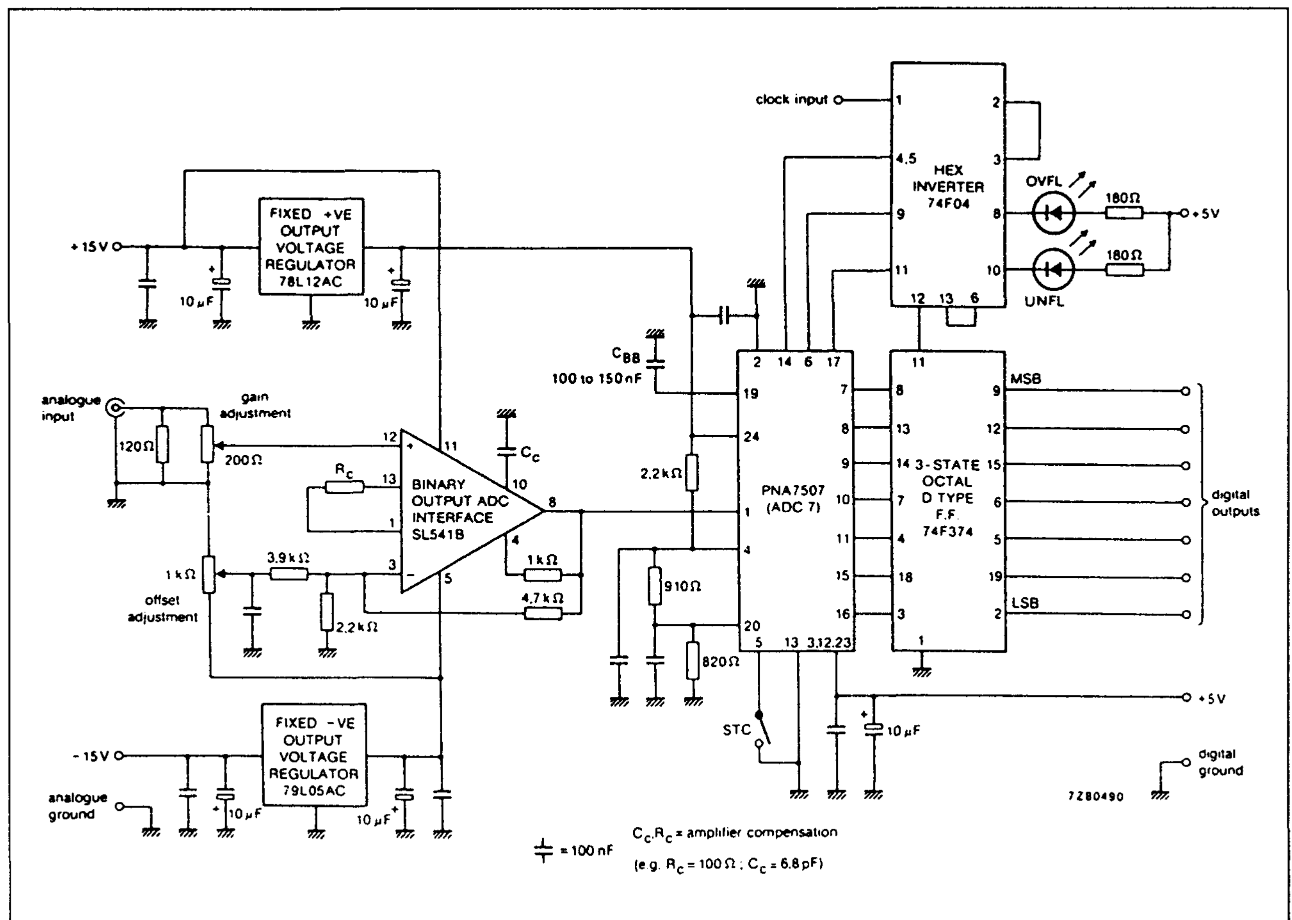
step	$V_{1\text{-}2}$ (typ.)	UNFL	OVFL	binary bit 6 – bit 0	two's complement bit 6 – bit 0
underflow	< 2,51	1	0	0 0 0 0 0 0 0	1 0 0 0 0 0 0
0	2,51	0	0	0 0 0 0 0 0 0	1 0 0 0 0 0 0
1	2,53	0	0	0 0 0 0 0 0 1	1 0 0 0 0 0 1
.	.	.	.	. . . .	. . . .
.	.	.	.	. . . .	. . . .
.	.	.	.	. . . .	. . . .
.	.	.	.	. . . .	. . . .
126	5,03	0	0	1 1 1 1 1 1 0	0 1 1 1 1 1 0
127	5,05	0	0	1 1 1 1 1 1 1	0 1 1 1 1 1 1
overflow	> 5,07	0	1	1 1 1 1 1 1 1	0 1 1 1 1 1 1

Figuur 12/8.3-35: Waarheidstabel van de PNA 7505, met de twee referentie-ingangen ingesteld op +2,5 V en +5,0 V en voor binaire en complementaire uitgangsselectie.

TDA 8706

6 bit, 20 MHz, multiplexed

De TDA 8706 is een speciale ADC, bestemd voor het digitaliseren van de luminantie- en chrominantie-signalen van een analoge videobron. De drie analoge ingangssignalen worden capacitief toegevoerd, waarna zij op commando van een extern clamp-signaal digitaal geclampt worden op uitgangscode 00_{HEX} voor de luminantie en 20_{HEX} voor de twee chrominantie-ingangen. Nadien volgt een driekanaals multiplexer, die de signalen een na een toevoert aan een zes bit brede flash-ADC. De digitale gegevens staan één clock-periode na het aanleggen van het selectiesignaal van de multiplexer ter beschikking op de TTL-uitgangen.



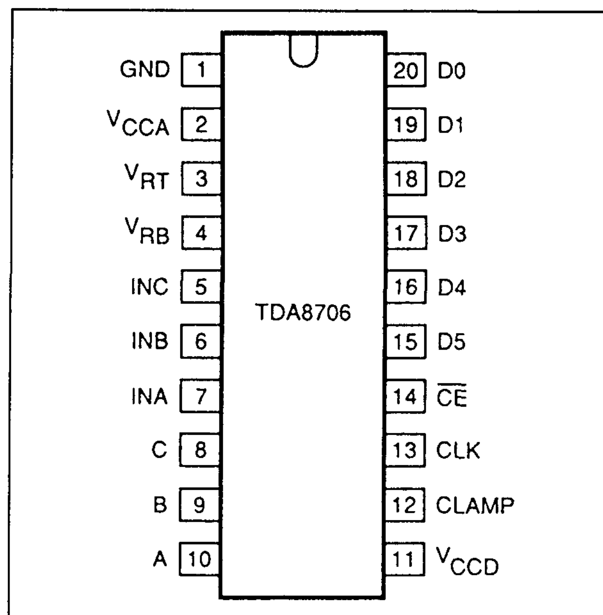
Figuur 12/8.3-36: Praktisch schema van een video-digitiser, opgebouwd rond een PNA 7507.

8.3 Type-beschrijving resolutie 5, 6 en 7 bit

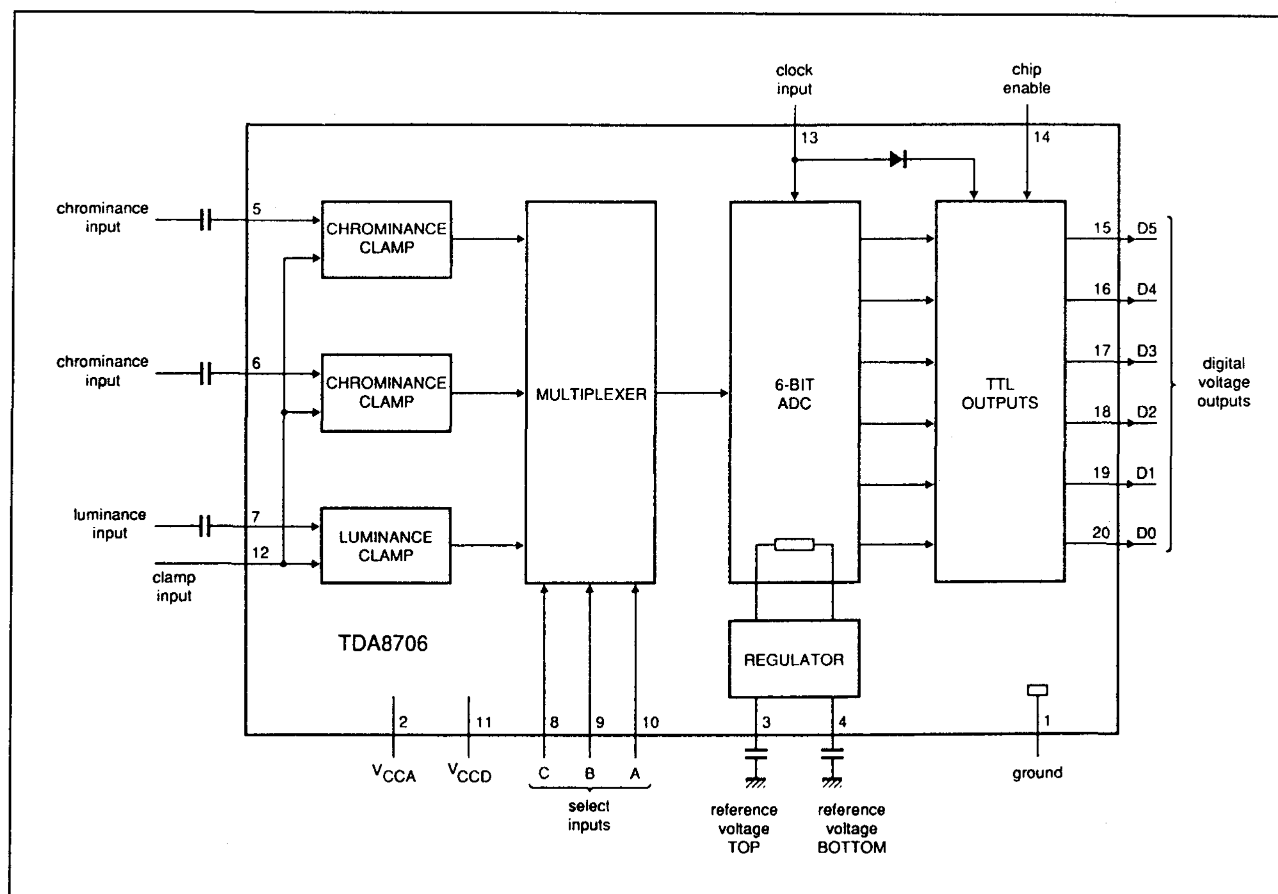
De referentiespanningen worden intern gegenereerd op 2,2 V en 3,1 V. Onder en boven deze grenzen levert de uitgang respectievelijk 00HEX en FFHEX af. Door middel van de CE-ingang kunnen de zes digitale uitgangen naar tri-state gestuurd worden.

Technische gegevens

- fabrikant: Philips
- behuizing: DIL-20
- aansluitgegevens: figuur 12/8.3-37
- intern blokschema: figuur 12/8.3-38
- timing van de clamp: figuur 12/8.3-39
- timing van de omzetting: figuur 12/8.3-40
- voedingsspanningen: 2 x +5 V typisch
- voedingsstromen: 32/28 mA typisch
- ingangsspanning: 7,0 V max.
- werkzaam bereik: 900 mV_{ttt} typisch
- ingangsimpedantie: 100 kΩ min.
- ingangscapaciteit: 2 pF



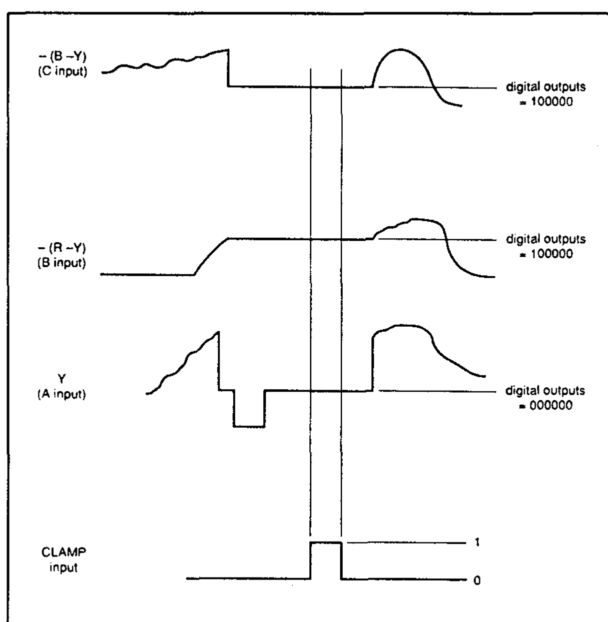
Figuur 12/8.3-37: Aansluitgegevens van de TDA 8706.



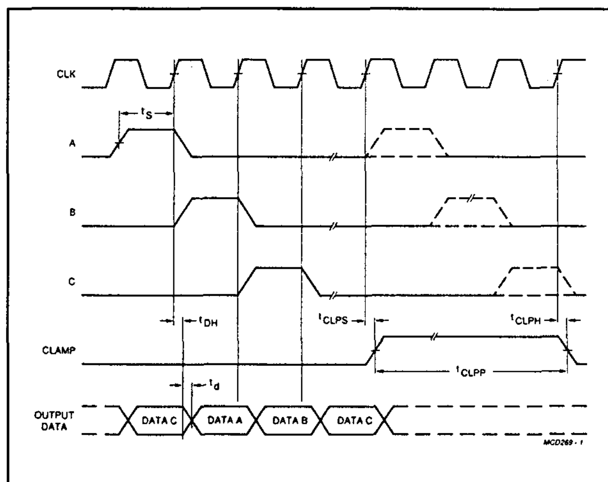
Figuur 12/8.3-38: Intern blokschema van de TDA 8706.

8.3 Type-beschrijving resolutie 5, 6 en 7 bit

- koppelcondensator: 10 nF typisch
- harmonische vervorming: -45 dB
- clockfrequentie: 20 MHz max.
- multiplexfrequentie: 10 MHz max.
- pulsbreedte clamp: 3 µs
- duty cycle: 45 tot 66,6 %
- lineariteit omzetting: +/-0,75 LSB



Figuur 12/8.3-39: Timing van de clamp-fase.

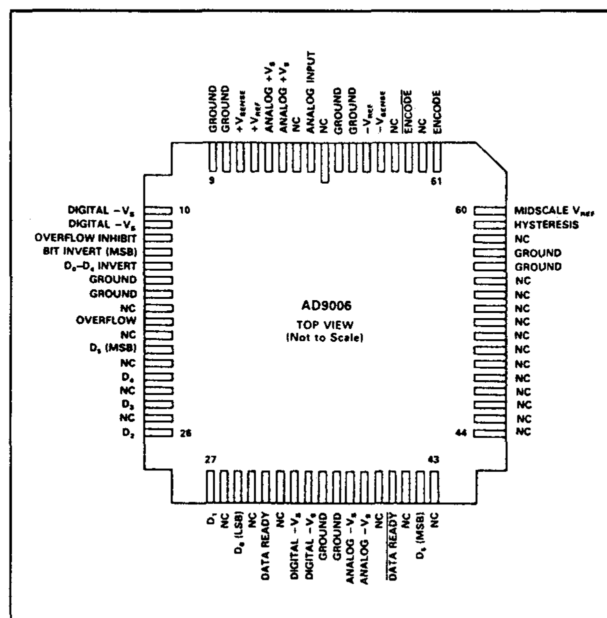


Figuur 12/8.3-40: Timing van de omzetting.

AD 9006

6 bit, 200 MHz, one step

De AD 9006 is een zeer snelle ADC die geclockt kan worden met een maximale snelheid van 500 Megasamples/s en die een bandbreedte heeft van 200 MHz. De analoge ingang werkt bipolair en heeft een bereik van +/-1 V. De uitgangsspanningen van de 64 comparatoren worden opgeslagen in een latch die werkt met ECL-compatibele signalen. Het IC heeft een DATA READY uitgang en beschikt over twee ingangspennen, waarmee men de MSB en/of de overige uitgangsbits kan inverteren.

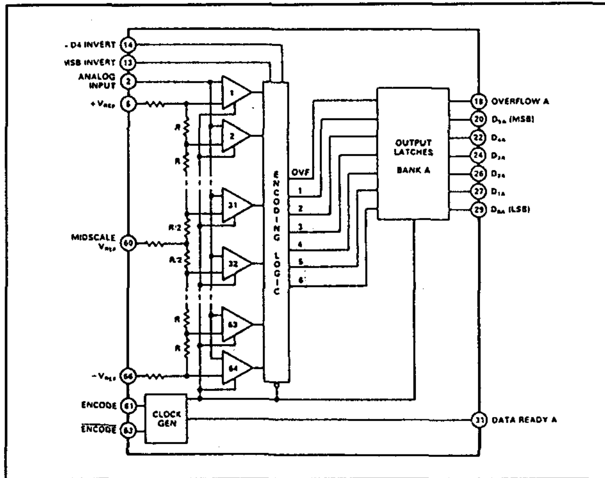


Figuur 12/8.3-41: Aansluitgegevens van de AD 9006.

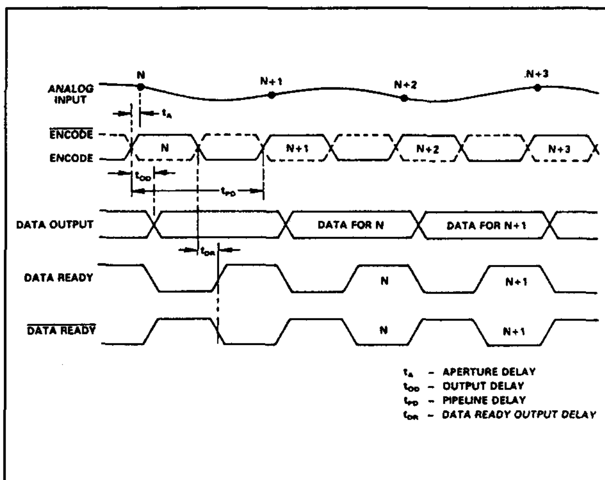
Technische gegevens

- fabrikant: Analog Devices
- behuizing: 68-pens LCC
- aansluitgegevens: figuur 12/8.3-41
- intern blokschema: figuur 12/8.3-42
- timing omzetting: figuur 12/8.3-43
- voedingsspanningen: +5 V, -5,2 V
- voedingsstromen: +25 mA, -30 mA
- nauwkeurigheid: +/-0,25 LSB
- gegevens analoge ingang
  - ingangsspanning: +/-1 V
  - biasstroom: 100 µA

8.3 Type-beschrijving resolutie 5, 6 en 7 bit



Figuur 12/8.3-42: Intern blokschema van de AD 9006.



Figuur 12/8.3-43: Timing van de omzetting bij de AD 9006.

  - weerstand: 70 kΩ
  - capaciteit: 8 pF
  - bandbreedte: 200 MHz
- gegevens referentie
  - weerstand serienetwerk: 110 Ω
  - temp-coëf: 0,24 Ω/°C
- dynamische gegevens
  - maximale sampling: 500 Ms/s
  - aperture delay: 1,2 ns
  - jitter: 3 ps
  - transiënt response: 1 ns
  - harmonische vervorming: -48 dB
  - signaal/ruis verhouding: 37 dB
- gegevens uitgangen
  - "H"-niveau: -1,1 V min.
  - "L"-niveau: -1,5 V max.
  - vertraging uitgang: 4,4 ns
  - stijgtijd uitgang: 1,5 ns
  - daaltijd uitgang: 1,5 ns

Nadere gegevens

Het weerstandsnetwerk aan de ingangen van de comparatoren is samengesteld volgens figuur 12/8.3-44. De twee SENSE-uitgangen kunnen gebruikt worden om de stroom door het netwerk op een constante waarde in te stellen volgens het schema van figuur 12/8.3-45.

De twee operationele versterkers en de transistoren vormen twee stroombronnen, die via de terugkoppelingen via de SENSE de stroom door het weerstandsnetwerk stabiliseren. Vanwege de zeer lage impedantie van het netwerk moet men er voor zorgen dat de totale spanning over het volledige netwerk niet groter wordt dan 2,1 V. Een grotere spanning zal tot een te grote interne dissipatie aanleiding geven.

Ondanks de zeer lage capacitieve belasting van de analoge ingang zal men in de meeste gevallen toch een buffer moeten toepassen. Een bruikbare schakeling is de AD 9611 van Analog Devices. Het wordt aanbevolen een kleine serieweerstand op te nemen tussen de uitgang van de buffer en de ingang van de ADC. De twee clock-ingangen ENCODE en $\overline{\text{ENCODE}}$ moeten differentieel gestuurd worden uit een ECL-clock en uit de geïnverteerde ECL-clock.

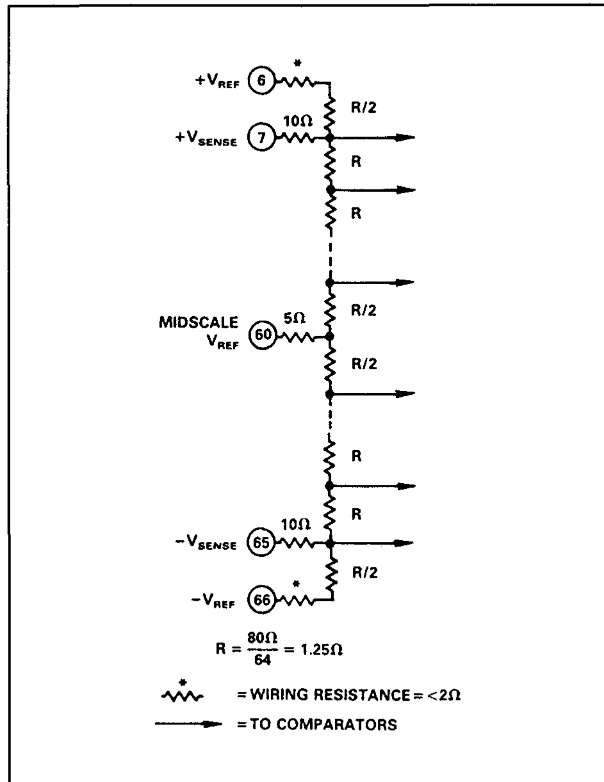
De stijg- en daaltijden van deze signalen moeten kleiner zijn dan 0,5 ns.

Voorbeeld-schakeling

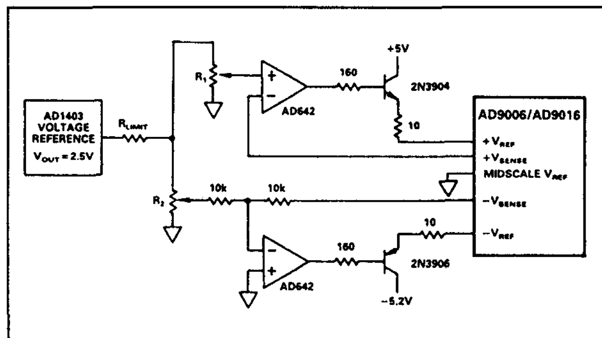
- figuur 12/8.3-46:

Het opvoeren van de resolutie tot 7 bit door het cascaderen van twee AD 9006 schakelingen.

8.3 Type-beschrijving resolutie 5, 6 en 7 bit



Figuur 12/8.3-44: De schakeling van de interne weerstandsdeler bij de AD 9006.

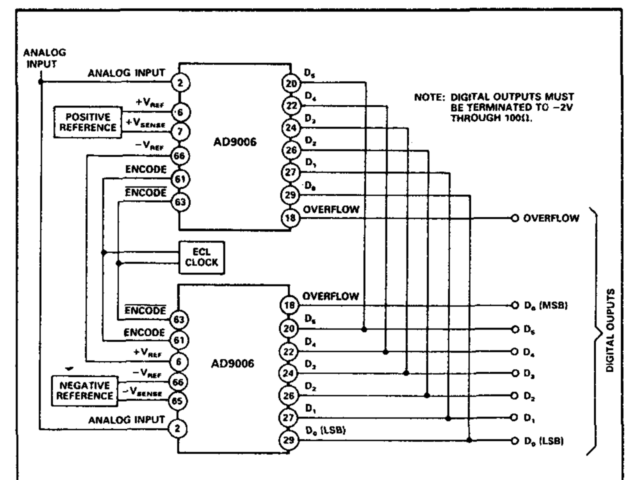


Figuur 12/8.3-45: Het genereren van de twee referentiespanningen bij de AD 9006.

AD 9016

6 bit, 200 MHz, one step

De AD 9016 is een zeer snelle ADC die geclockt kan worden met een maximale snelheid van 500 Megasamples/s en die een bandbreedte heeft van 200 MHz. De analoge ingang werkt bipolair en heeft een bereik van +/-1 V. De uitgangsspanningen van de 64 comparatoren worden opgeslagen in twee latches die werken met ECL-compatibele signalen. Deze twee latches werken in multiplex-bedrijf en leveren om de beurt ieder een complete set data plus overflow. Het IC heeft twee DATA READY uitgang en beschikt over twee ingangspennen, waarmee men de MSB en/of de overige uitgangsbits kan inverteren.

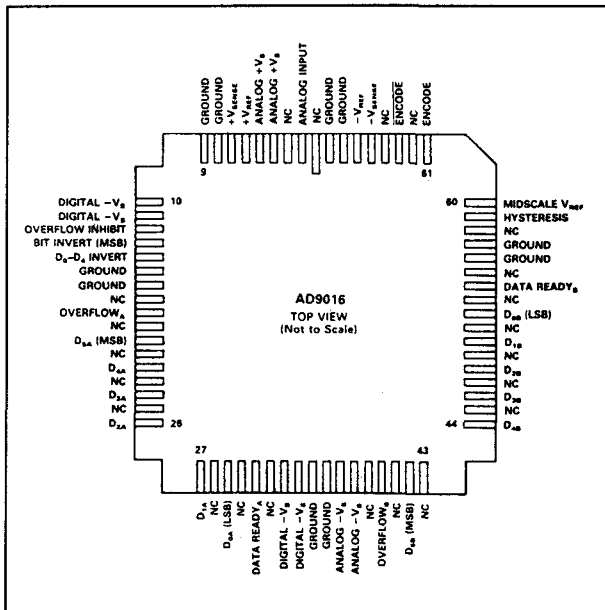


Figuur 12/8.3-46: Het verhogen van de resolutie met één bit.

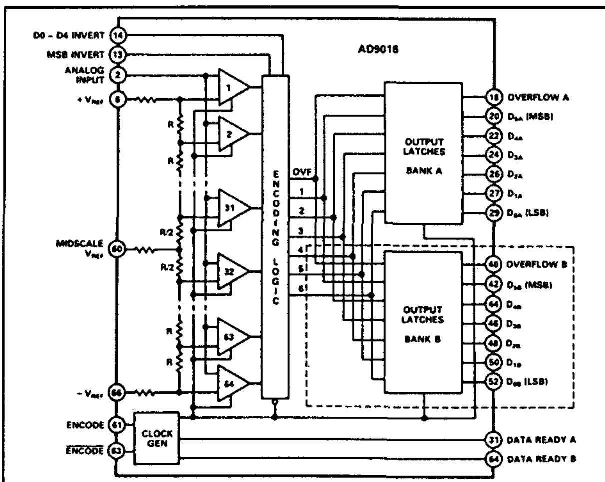
Technische gegevens

- fabrikant: Analog Devices
- behuizing: 68-pens LCC
- aansluitgegevens: figuur 12/8.3-47
- intern blokschema: figuur 12/8.3-48
- timing omzetting: figuur 12/8.3-49
- voedingsspanningen: +5 V, -5,2 V
- voedingsstromen: +25 mA, -30 mA
- nauwkeurigheid: +/-0,25 LSB
- gegevens analoge ingang
  - ingangsspanning: +/-1 V
  - biasstroom: 100 μA
  - weerstand: 70 kΩ
  - capaciteit: 8 pF
  - bandbreedte: 200 MHz
- gegevens referentie
  - weerstand serienetwerk: 110 Ω

8.3 Type-beschrijving resolutie 5, 6 en 7 bit

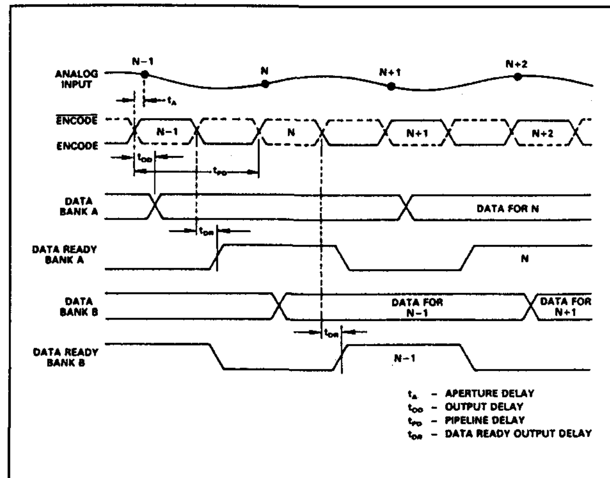


Figuur 12/8.3-47: Aansluitgegevens van de AD 9016.



Figuur 12/8.3-48: Intern blokschema van de AD 9016.

  - temp-coëf: 0,24 Ω/°C
- dynamische gegevens
  - maximale sampling: 500 Ms/s
  - aperture delay: 1,2 ns
  - jitter: 3 ps
  - transiënt response: 1 ns
  - harmonische vervorming: -48 dB
  - signaal/ruis verhouding: 37 dB
- gegevens uitgangen



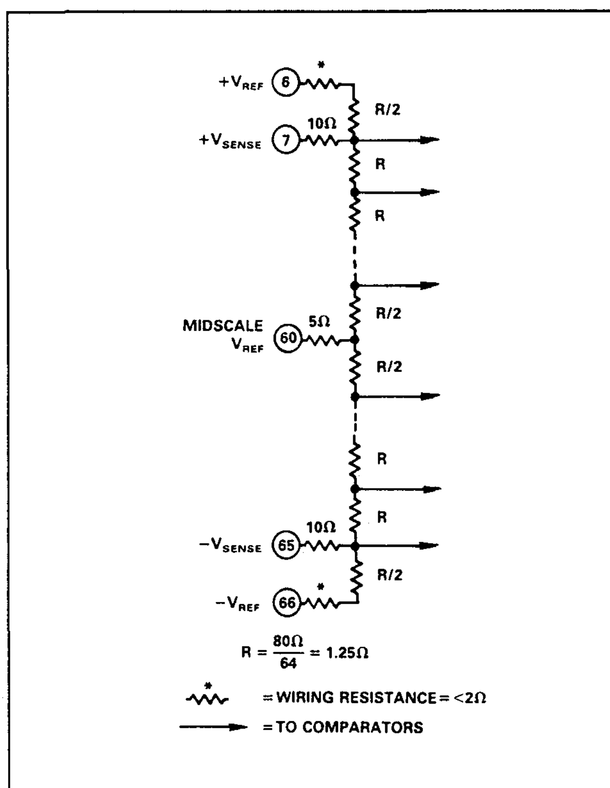
Figuur 12/8.3-49: Timing van de omzetting bij de AD 9016.

  - "H"-niveau: -1,1 V min.
  - "L"-niveau: -1,5 V max.
  - vertraging uitgang: 4,4 ns
  - stijgtijd uitgang: 1,5 ns
  - daaltijd uitgang: 1,5 ns

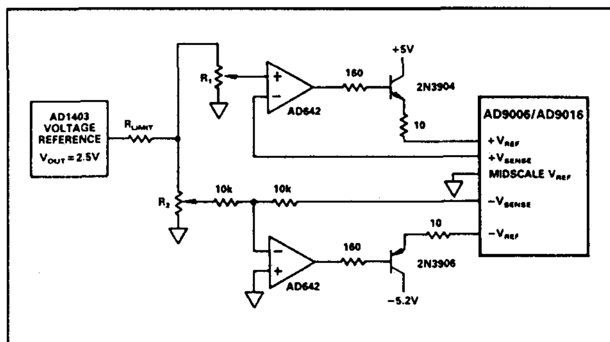
Nadere gegevens

Het weerstandsnetwerk aan de ingangen van de comparatoren is samengesteld volgens figuur 12/8.3-50. De twee SENSE-uitgangen kunnen gebruikt voor het samenstellen van twee constante stroombronnen volgens het schema van figuur 12/8.3-51. De twee operationele versterkers en de transistoren vormen de stroombronnen, die via de terugkoppelingen via de SENSE de stroom door het weerstandsnetwerk stabiliseren. Vanwege de zeer lage impedantie van het netwerk moet men er voor zorgen dat de totale spanning over het volledige netwerk niet groter wordt dan 2,1 V. Een grotere spanning heeft een te grote interne warmtedissipatie tot gevolg! Ondanks de zeer lage capacitieve belasting van de analoge ingang wordt aanbevolen een buffer toe te passen. Een bruikbare schakeling is bijvoorbeeld de AD 9611 van Analog Devices. Er moet een kleine serieweerstand opgenomen worden tussen de uitgang van de buffer en de ingang van de ADC. De twee clock-ingangen ENCODE en $\overline{\text{ENCODE}}$ moeten differentieel ge-

stuurd worden uit een ECL-clock en uit de geïnverteerde ECL-clock. De stijg- en daaltijden van deze signalen moeten kleiner zijn dan 0,5 ns. De twee signalen sturen de twee latches om de beurt. De eerste set gegevens worden geladen in latch A, de volgende set gegevens in latch B, en zo verder.



Figuur 12/8.3-50: De schakeling van de interne weerstandsdeler bij de AD 9016.

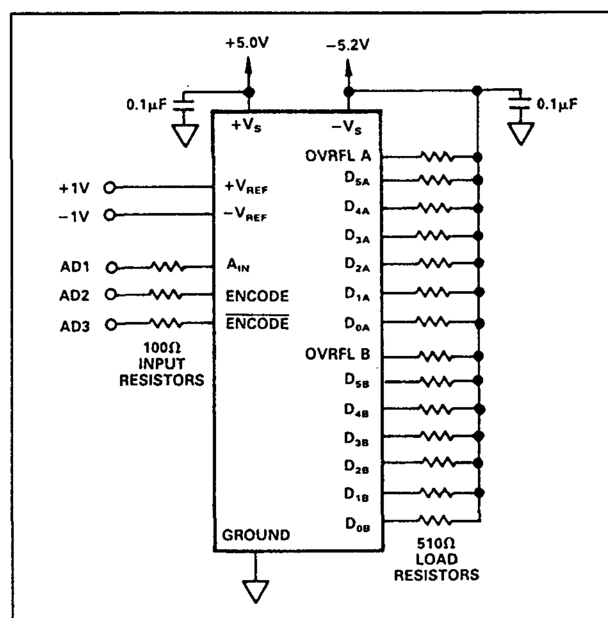


Figuur 12/8.3-51: Het genereren van de twee referentiespanningen bij de AD 9016.

Voorbeeld-schakeling

– figuur 12/8.3-52:

In deze figuur wordt de standaard schakeling rond de AD 9016 getekend. De analoge ingang en de twee ENCODE-signalen worden via serieweerstanden van 100 Ω aan de ingangen van het IC aangeboden. De digitale uitgangen worden belast met weerstanden van 510 Ω naar de -5,2 V voeding.



Figuur 12/8.3-52: Het standaard schema rond de AD 9016.

SP 9756

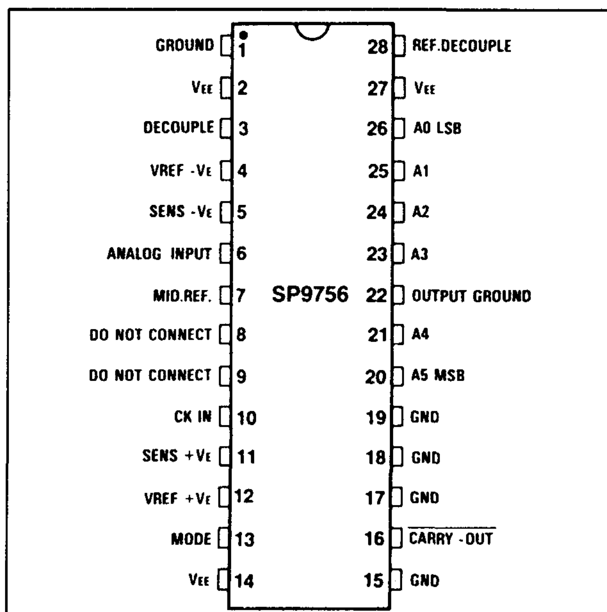
6 bit, 110 MHz, one step

De SP 9756 is een snelle ADC die geclockt kan worden met een maximale snelheid van 110 Megasamples/s en die een analoge bandbreedte heeft van 50 MHz. De analoge ingang werkt negatief unipolair en heeft een bereik tot -2,2 V. De uitgangsspanningen van de 64 comparatoren worden opgeslagen in een latch die werkt met ECL-compatibele signalen. Het IC heeft een CARRY OUT uitgang en beschikt over een interne inverter voor de clock, zodat volstaan kan worden met één extern clock-signaal. Het IC kan

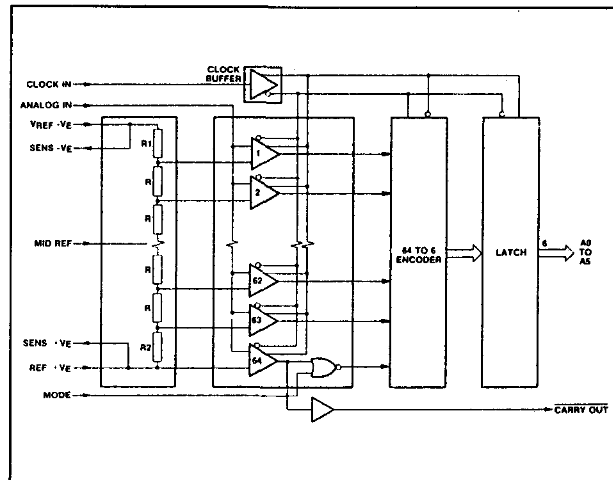
gevoed worden uit slechts één voedingsspanning van -5,0 V typisch.

Technische gegevens

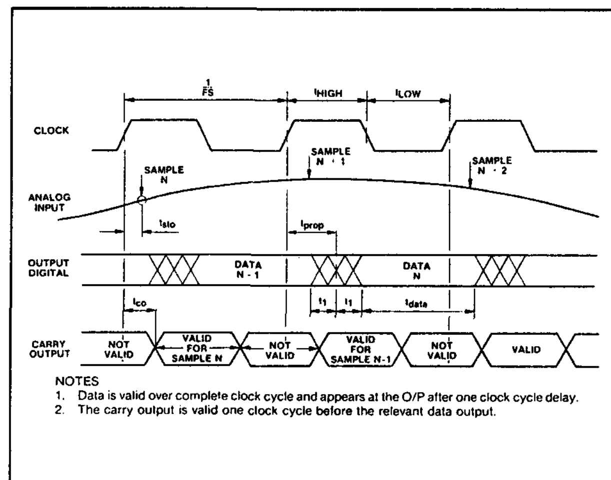
- fabrikant: Plessey Semiconductors
- behuizing: DIL-28
- aansluitgegevens: figuur 12/8.3-53
- intern blokschema: figuur 12/8.3-54
- timing omzetting: figuur 12/8.3-55
- voedingsspanning: -5,0 V typisch
- voedingsstroom: -170 mA typisch
- nauwkeurigheid: +/-0,5 LSB typisch
- gegevens analoge ingang
  - ingangsspanning: 0 V tot -2,2 V
  - capaciteit: 22 pF
  - bandbreedte: 50 MHz
- gegevens referentie
  - weerstand serienetwerk: 25 Ω
- dynamische gegevens
  - maximale sampling: 110 Ms/s
  - aperture delay: 1,2 ns
- gegevens uitgangen
  - "H"-niveau: -0,9 V min.
  - "L"-niveau: -1,8 V max.
  - vertraging uitgang: 3,0 ns
  - stijgtijd uitgang: 1,2 ns
  - daaltijd uitgang: 2,0 ns



Figuur 12/8.3-53: Aansluitgegevens van de SP 9756.



Figuur 12/8.3-54: Intern blokschema van de SP 9756.



Figuur 12/8.3-55: Timing van de omzetting bij de SP 9756.

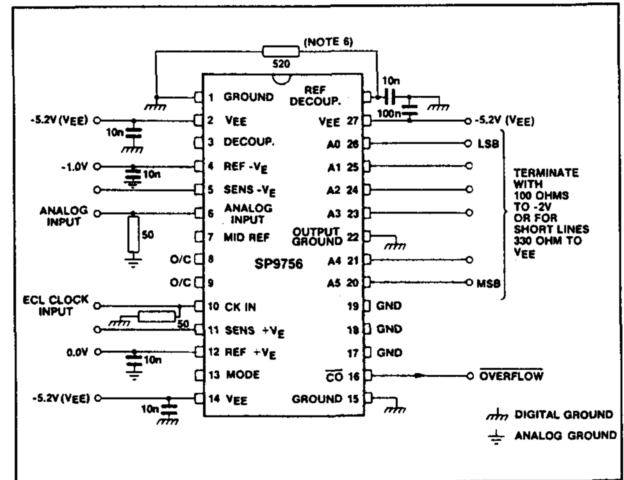
Voorbeeld-schakelingen

- figuur 12/8.3-56:

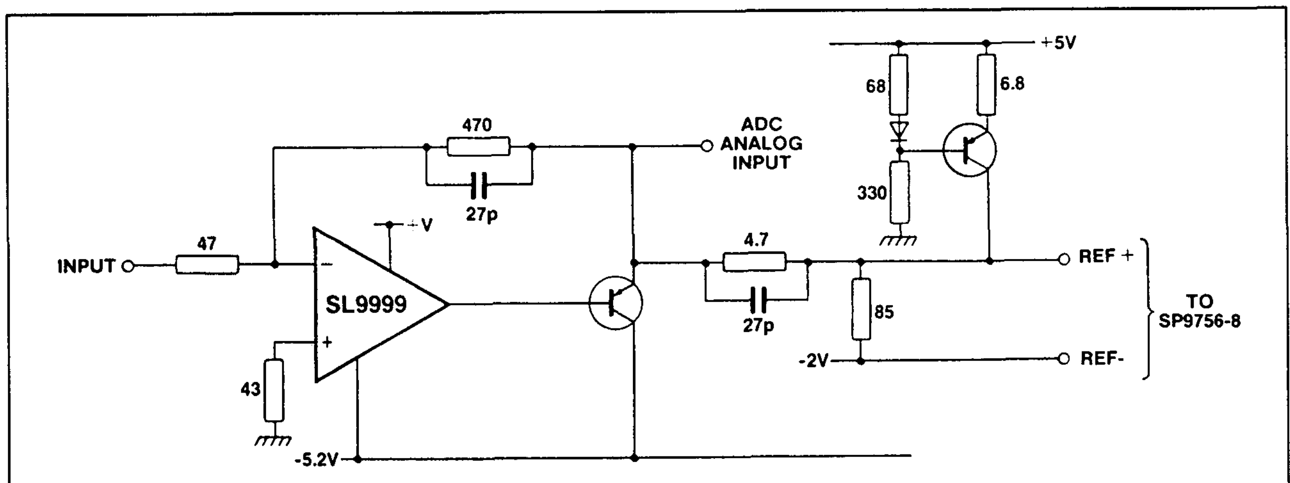
Standaard schakeling rond de SP 9756. De MODE-ingang kan gebruikt worden om de uitgangen naar "L" respectievelijk "H" te sturen bij een overbereik situatie. De OUTPUT GROUND moet gescheiden blijven van de overige massa's. De weerstand van 520 Ω tussen de pennen 1 en 28 verhoogt de nauwkeurigheid bij kritische toepassingen.

8.3 Type-beschrijving resolutie 5, 6 en 7 bit

- figuur 12/8.3-57:
Het verhogen van het dynamisch bereik van de SP 9756 met een factor vier. De schakeling gaat hierdoor echter niet-lineair werken!



Figuur 12/8.3-56: De standaard schakeling rond de SP 9756.



Figuur 12/8.3-57: Het verhogen van het dynamisch bereik met een factor vier.

8.3 Type-beschrijving resolutie 5, 6 en 7 bit

12/8.4

Type-beschrijving resolutie 8 bit en meer

ADC 0820

8 bit, 400 kHz, two step, clocked

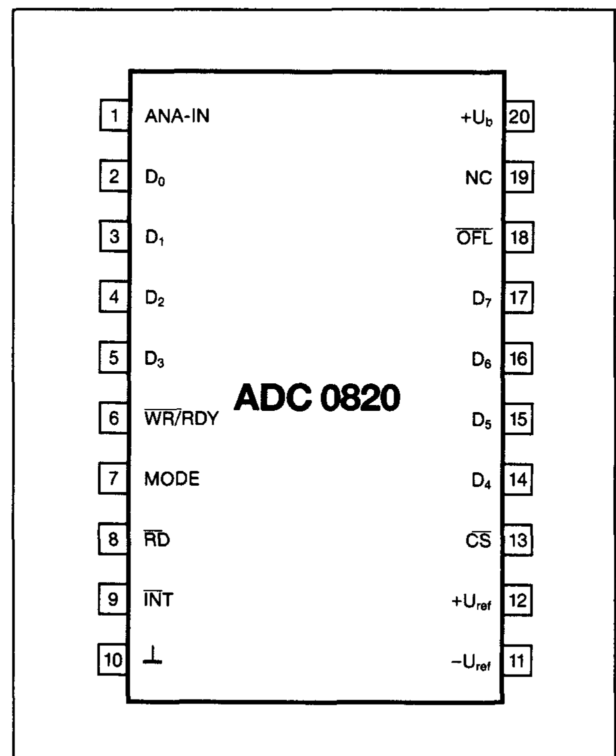
Uit twee 4 bit geclockte flash-converters en een 4 bit DAC samengestelde omzetter, die tamelijk traag is en speciaal ontwikkeld als rechtstreeks op de data-bus aan te sluiten analoog naar digitaal interface voor 8 bit micro-processors.
De schakeling is daarvoor voorzien van een groot aantal besturings-ingangen en tri-state uitgangen. Alle digitale in- en uitgangen zijn TTL-compatible.

Technische gegevens

- fabrikant: National Semiconductor
- behuizing: DIL-20
- aansluitgegevens: figuur 12/8.4-1
- intern blokschema: figuur 12/8.4-2
- voedingsspanning: +10 V max.
  +5 V typisch
- voedingsstroom: 15 mA max.
- referentie-spanning (+): $-U_{ref} \rightarrow +U_b$
- referentie-spanning (−): GND $\rightarrow +U_{ref}$
- referentie-weerstand: 1,25 → 6 kΩ
- ingangsspanning: GND −0,1 V min.
  $+U_b$ +0,1 V max.
- ingangsstroom : 3 μA max.
- ingangs-capaciteit: 45 pF
- niet-lineariteit: +/−1 bit
- digitale niveaus: −0,2 V → $+U_b$ + 0,2 V
- omzettings-tijd:
  - RD-mode: 2,5 μs max.
  - WR-RD-mode: 1,52 μs max.

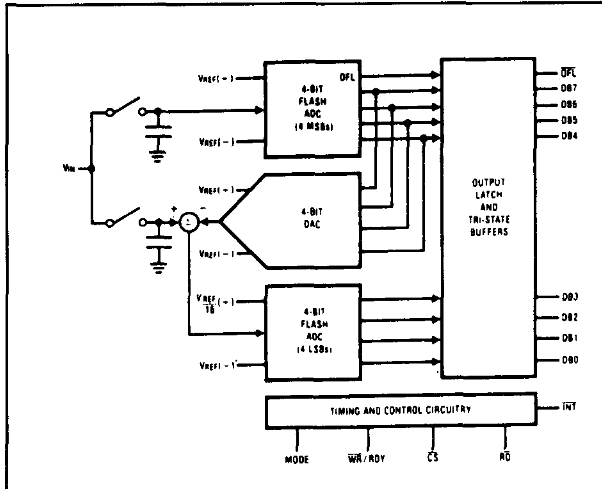
Nadere gegevens

- mode:
  De omzetter kan in twee verschillende modi werken, die worden bepaald door het niveau op de MODE-ingang.
  In beide gevallen moet de spanning op de CS-ingang eerst 'L' worden. Afhankelijk van de mode start de omzetting op de negatieve flank van de RD- of de WR-ingang. De omzetting eindigt bij de negatieve flank van de INT-uitgang. De volledige timing van de omzetter in beide modi volgt uit de grafieken van figuur 12/8.4-3.
- minimale puls-breedte:
  De twee 4 bit omzetters werken volgens het clocked principe.



Figuur 12/8.4-1: Aansluitgegevens ADC 0820.

8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-2: Intern blokschema ADC 0820.

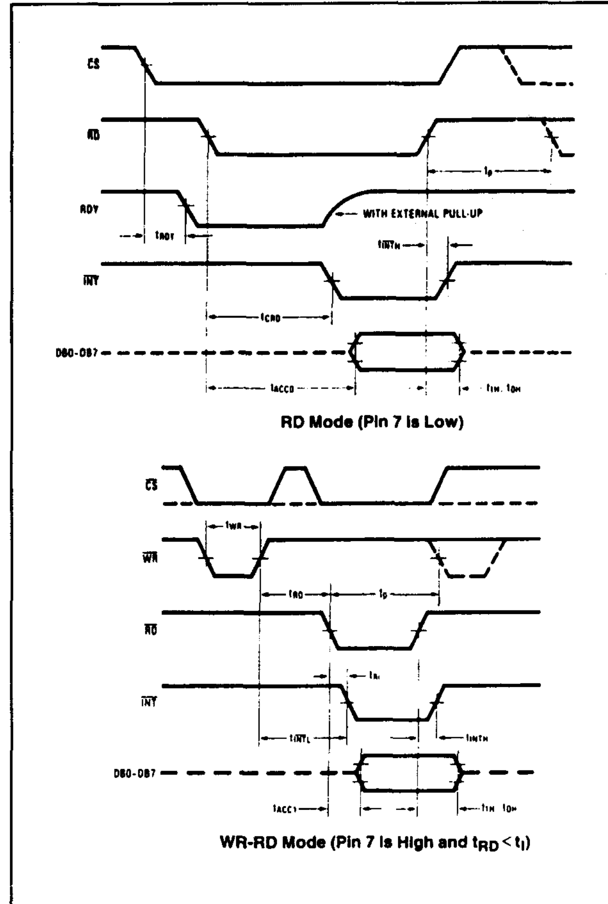
Dat betekent dat eerst de bovenste (= MSB) ADC wordt uitgelezen, de gegevens in de latch opgeslagen, de DAC geactiveerd en nadien de onderste (= LSB) ADC wordt geactiveerd. De timing van al deze activiteiten in functie van de WR-puls volgt uit figuur 12/8.4-4. De maximale 'L'-breedte van de WR-puls bedraagt 50 μs. Bij bredere pulsen zullen de spanningen over de kleine interne condensatoren van de geclockte comparatoren weglekken.

- gebruik zonder μP-besturing:
  Gebruikt men het IC als zelfstandige eenheid, dan kan men de CS- en RD-ingangen vast met de 'L' verbinden en de omzetting starten door een lage puls op de WR-ingang aan te leggen. De timing voor deze situatie is getekend in figuur 12/8.4-5.
- overflow:
  De overflow-uitgang OFL wordt 'L' op het einde van de omzetting, als de ingangsspanning groter is dan $+U_{ref}$.

Voorbeeld-schakelingen

– figuur 12/8.4-6:
De ADC 0820 gebruikt als enkelvoudige 8 bit omzetter, in combinatie met een μP-systeem.

– figur 12/8.4-7:
Twee ADC 0820 omzetters als een 9 bit



Figuur 12/8.4-3: Timing-diagramma's voor RD- en WR/RD-modi.

brede flash-ADC met μP-besturing. De OFL-uitgang van de onderste omzetter wordt gebruikt voor het inschakelen van de bovenste omzetter als het bereik van de onderste wordt overschreden.

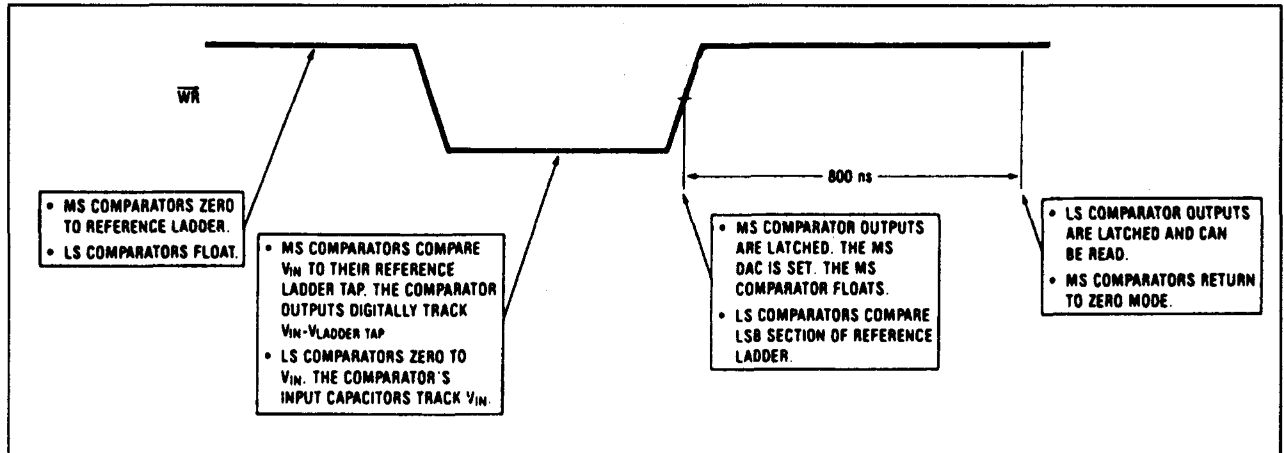
– figuur 12/8.4-8:
Volledig uitgewerkt schema van een digitale golfvorm-recorder, bijvoorbeeld bruikbaar als digitale geheugen-oscilloscoop of als basis voor het digitaliseren van geluiden en klanken.

MP 7683

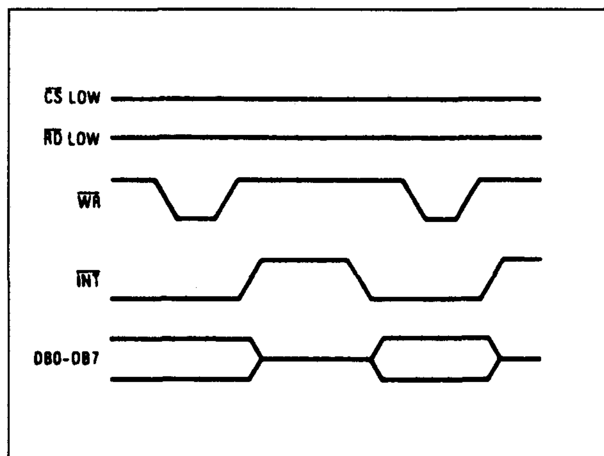
8 bit, 5 MHz, two step, clocked

Omzetter, die op een speciale manier gebruik maakt van het two step principe. Er zijn twee omzetters aanwezig, de eerste leidt de drie MSB's af, de tweede de vijf LSB's. Er

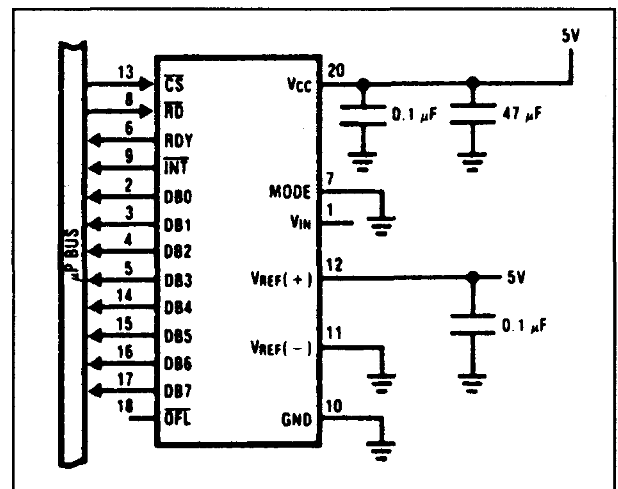
8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-4: Verband tussen het verloop van de WR-puls en de verschillende activiteiten van het IC.



Figuur 12/8.4-5: Timing-diagramma bij zelfstandig gebruik van de ADC 0820.

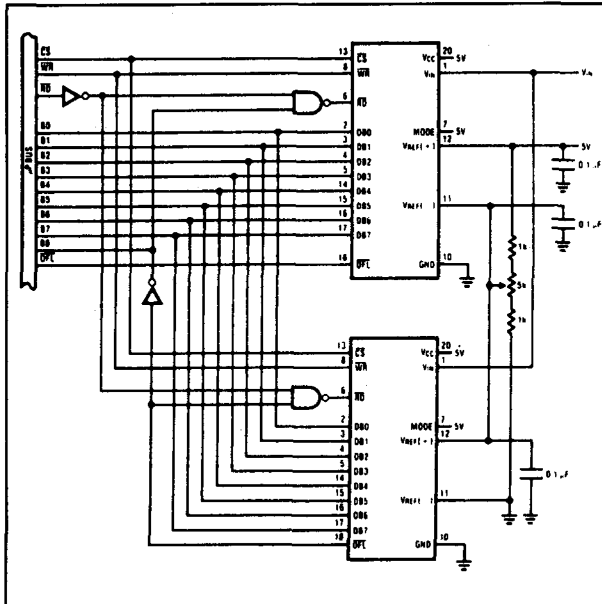


Figuur 12/8.4-6: Gebruik van de ADC 0820 als 8 bit omzetter met μP-besturing.

wordt echter geen gebruik gemaakt van een DAC en een verschil-versterker. De referentie-spanningen voor de 8 en 32 comparatoren worden afgeleid uit een spanningsdeler, samengesteld uit 256 identieke weerstanden. Deze weerstands-deler is voorzien van vier naar buiten gevoerde TAP's. Zowel de overflow als de data-uitgangen zijn tri-state uitgevoerd.
Het IC is uitgevoerd in CMOS-technologie en werkt met slechts een positieve voedingsspanning.

Technische gegevens
- fabrikant: Micro Power Systems
- behuizing: DIL-24
- aansluitgegevens: figuur 12/8.4-9
- intern blokschema: figuur 12/8.4-10
- waarheidstabel besturing: figuur 12/8.4-11
- voedingsspanning: (1) → +5 V
  (2) → +10 V max.
- dissipatie: 75 mW max.
- referentie-spanning: +3,0 V min.
  $+U_b$ max.
- ladder-weerstand: 0,8 kΩ typisch
- ingangsspanning: GND min.
  $+U_b$ max.
- ingangs-impedantie: 100 kΩ min.

8.4 Type-beschrijving resolutie 8 bit en meer

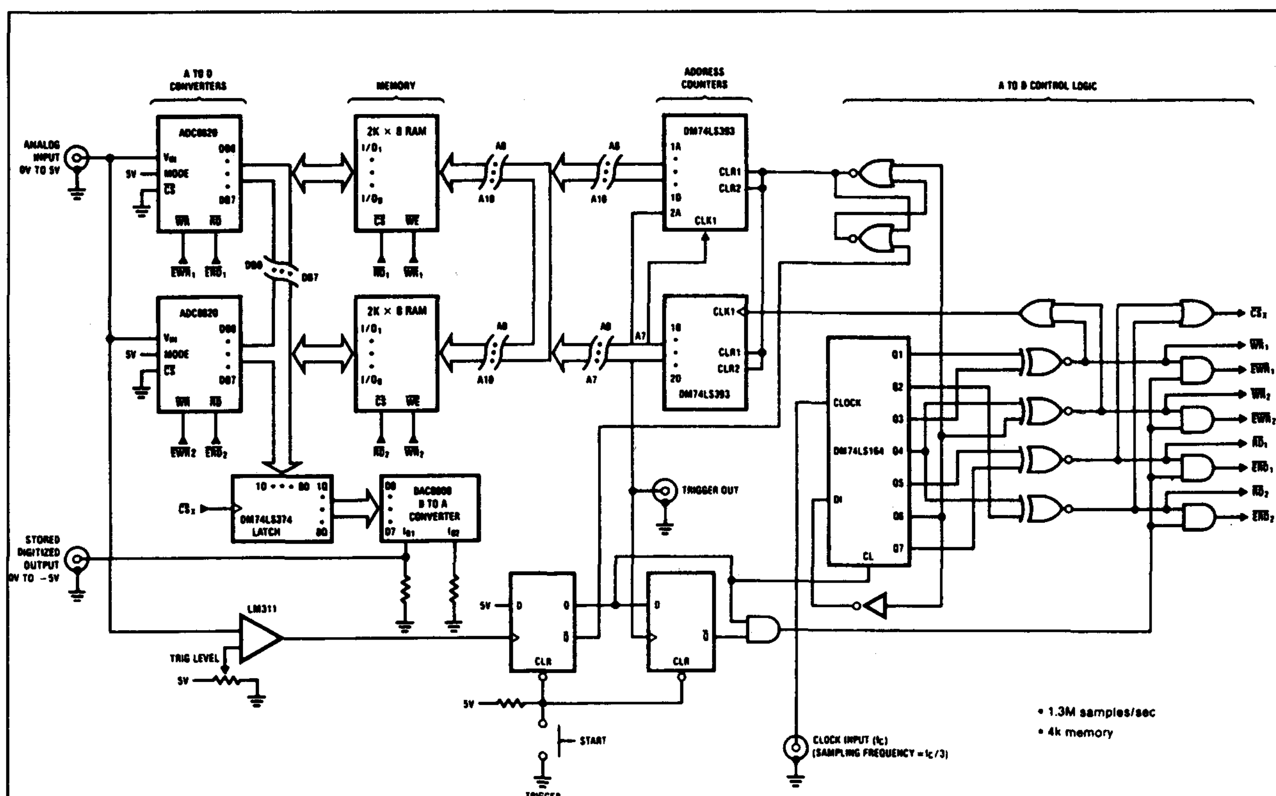


Figuur 12/8.4-7: Twee ADC 0820 omzetters als μP-gestuurde 9 bit omzetter.

- ingangs-capaciteit: 50 pF
- niet-lineariteit: +/−½ bit
- sampling-rate: 5 MHz min.

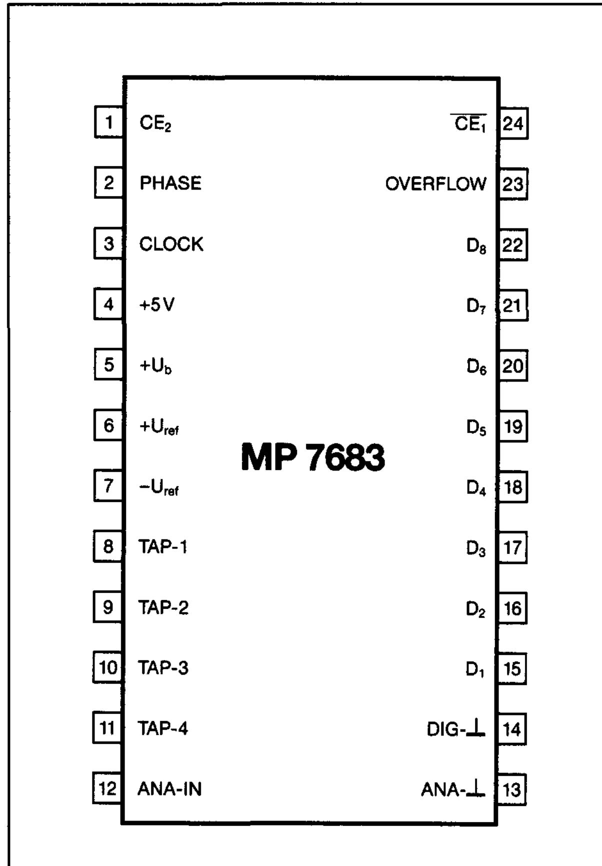
Nadere gegevens

- timing:
  De spanning op de PHASE-ingang bepaalt of een omzetting plaats vindt tijdens de 'H'- of 'L'-fase van de clock. Als PHASE = 'L' wordt omgezet tijdens de 'L'-fase van de clock en worden de condensatoren van de comparatoren uitgebalanceerd gedurende de 'H'-periode van de clock. De comperator-uitgangen worden gelatched, omgezet in een binaire code en aangeboden aan de uitgangs-buffers. Een en ander heeft tot gevolg dat de resultaten van een omzetting slechts twee clock-perioden laten op de uitgangen ter beschikking staan, zie figuur 12/8.4-12.

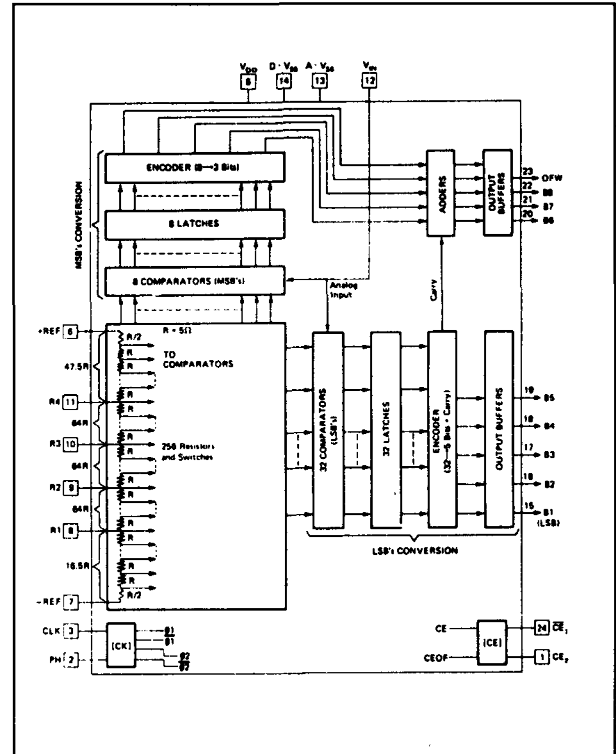


Figuur 12/8.4-8: *Volledig schema van een digitale golfvormrecorder, die bijvoorbeeld gebruikt zou kunnen worden voor het bouwen van een digitale geheugen-oscilloscoop.*

8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-9: Aansluitgegevens MP 7683.



Figuur 12/8.4-10: Intern blokschema MP 7683.

- overflow:
  Een overflow wordt aangeduid door een 'H' op alle data-uitgangen en op de OVERFLOW-uitgang.
- analoge ingang:
  De analoge ingang moet uit een buffer met een uitgangs-impedantie van maximaal 50 Ω gestuurd worden. Het wordt aanbevolen coaxiale kabels te gebruiken!
- minimale clock-breedte:
  Om het ontladen van de condensatoren van de comparatoren te vermijden mag de periode van de clock niet kleiner zijn dan 10 μs, hetgeen overeen komt met een minimale clock-frequentie van 100 kHz.

Voorbeeld-schakelingen

- figuur 12/8.4-13:

Basis-schema van de MP 7683 als 8 bit omzetter.

$\overline{CE}_1$	CE_2	B_1-B_8	OFW
0	1	Valid	Valid
1	1	TRI-STATE	Valid
X	0	TRI-STATE	TRI-STATE

Figuur 12/8.4-11: Besturing van de tri-state uitgangen.

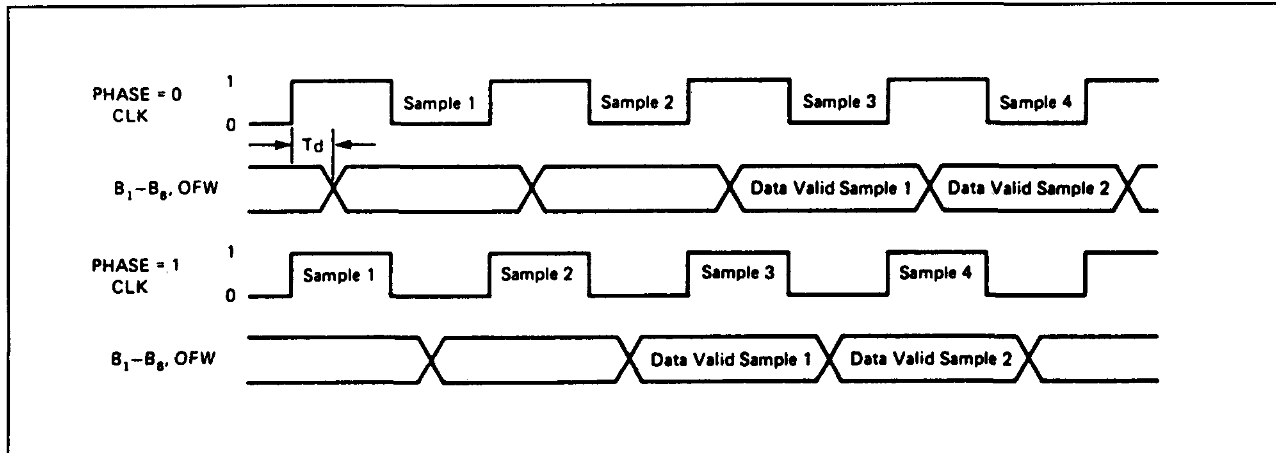
- figuur 12/8.4-14:

Twee MP 7683 IC's kunnen in cascade worden geschakeld voor het samenstellen van een 9 bit omzetter.

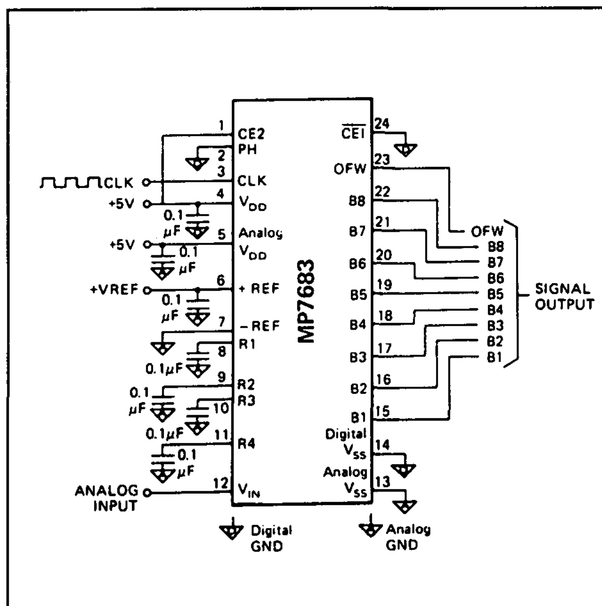
Opmerking

Van dit IC bestaan een aantal versies, die onderling verschillen in nauwkeurigheid, omzettings-snelheid en temperatuur-bereik. Deze zijn tabelarisch voorgesteld in figuur 12/8.4-15.

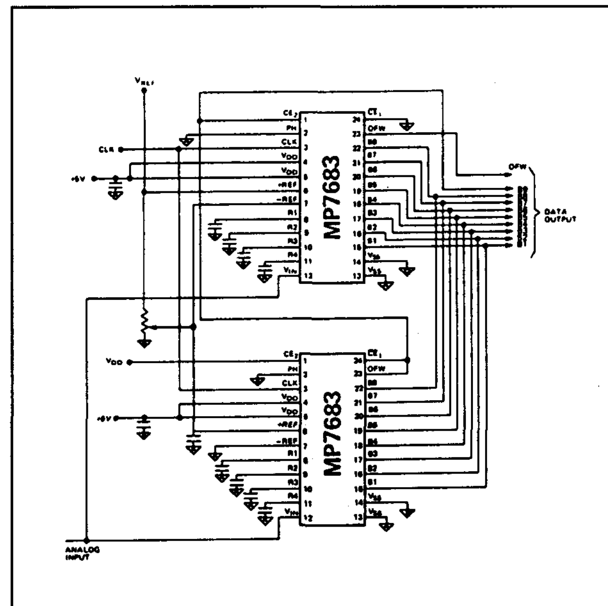
8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-12: Timing-diagramma van de MP 7683 voor de twee mogelijke niveaus op de PHASE-ingang.



Figuur 12/8.4-13: Basis-schema van de MP 7683.



Figuur 12/8.4-14: Cascade-schakeling van twee MP 7683 schakelingen als 9 bit omzetter.

CA 3308

8 bit, 15 MHz, clocked

Werkt volgens het one step principe met 256 geclockte dubbele comparatoren. Door deze zogenaamde CAB-techniek, Cascaded Auto Balance, worden de fouten bij de auto-balance fase van de comparatoren geminimaliseerd. Het IC werkt met een positieve voedingsspanning, heeft tri-state uitgangen en is gefabriceerd volgens de CMOS-technologie.

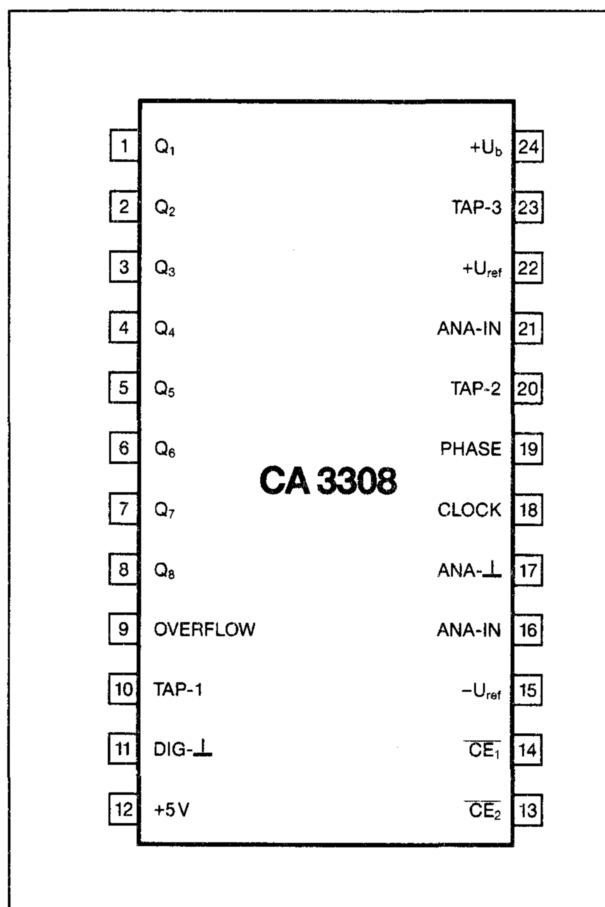
Technische gegevens

- fabrikant: RCA
- behuizing: DIL-24
- aansluitgegevens: figuur 12/8.4-16
- intern blokschema: figuur 12/8.4-17
- voedingsspanning: (1) → +5 V
  (2) → +8 V max.
- dissipatie: 315 mW max.
- referentie-spanning: 0 V min.
  $+U_b$ max.

8.4 Type-beschrijving resolutie 8 bit en meer

RELATIVE ACCURACY	SAMPLING RATE	0–70°C	TEMPERATURE RANGE −25°C to +85°C	−55°C to +125°C
±1 LSB (7 bit)	5 MHz (200 ns)	MP7683XJN	MP7683XAD	MP7683XSD
±1/2 LSB (8 bit)	5 MHz (200 ns)	MP7683XKN	MP7683XBD	MP7683XTD
±1/4 LSB (9 bit)	5 MHz (200 ns)	MP7683XLN	MP7683XCD	
±1 LSB (7 bit)	10 MHz (100 ns)	MP7683YJN		

Figuur 12/8.4-15: Overzicht van de leverbare versies van de MP 7683 met hun specificaties.



Figuur 12/8.4-16: Aansluitgegevens CA 3308.

- ladder-weerstand: 0,9 kΩ max.
- ingangsspanning: GND min.
  $+U_b$ max.
- ingangsstroom: 2 mA max.
- ingangs-capaciteit: 50 pF
- niet-lineariteit: +/−1 bit
- sampling-rate: 17 MHz typisch

Nadere gegevens

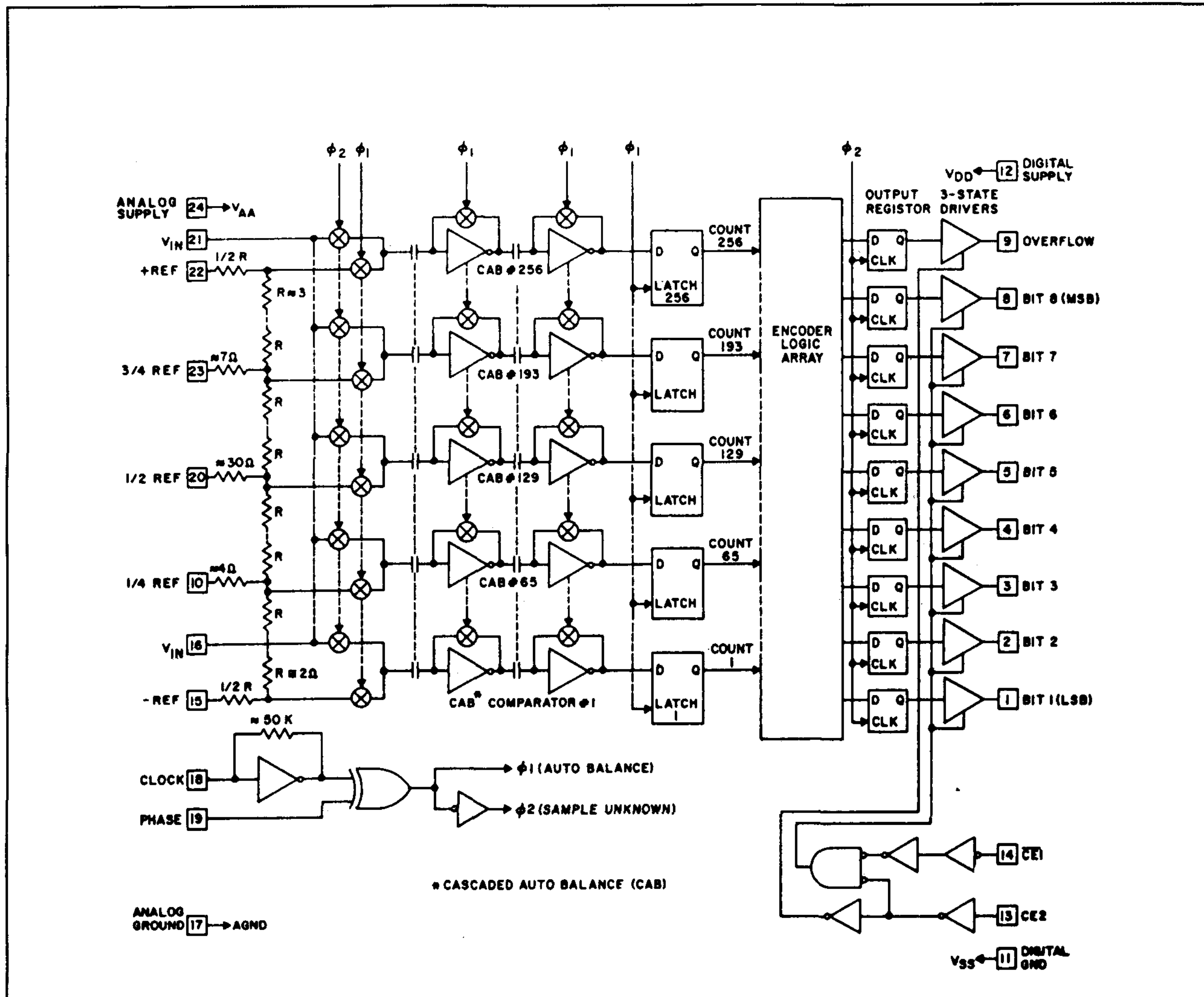
- timing:
  De spanning op de PHASE-ingang bepaalt of een omzetting plaats vindt tijdens de 'H'- of 'L'-fase van de clock. Als PHASE = 'L' wordt omgezet tijdens de 'H'-fase van de clock en worden de condensatoren van de comparatoren uitgebalanceerd gedurende de 'L'-periode van de clock. De resultaten van een omzetting staan 1/2 clock-perioden later op de uitgangen ter beschikking. De timing van het IC is getekend in figuur 12/8.4-18.
- overflow:
  Een overflow wordt aangeduid door een 'H' op alle data-uitgangen en op de OVERFLOW-uitgang.
- analoge ingang:
  De analoge ingang wordt op twee pennen uitgevoerd, die parallel moeten worden geschakeld en uit een buffer met een uitgangs-impedantie van maximaal 50 Ω gestuurd worden. Het wordt aanbevolen coaxiale kabels te gebruiken!

Voorbeeld-schakelingen

- figuur 12/8.4-19:

Basis-schema van de CA 3308 als 8 bit omzetter. Hoewel het mogelijk is de analoge $+U_b$ te voeden met 5 V, wordt het aanbevolen een spanning van minstens 6 V te gebruiken, dit verhoogt namelijk de lineariteit van

8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-17: Intern blokschema van de CA 3308, waaruit duidelijk de afwijkende structuur van de comparator-schakeling blijkt.

de werking. In dit schema zijn de drie TAP's op de weerstands-deler aangesloten op een externe spanningsdeler. De lineariteit kan echter geoptimaliseerd worden door deze aansluitingen te verbinden met extern instelbare individuele referentie-spanningen met als grootte ¼, ²⁄₄ en ¾ van U_{ref}. Een bruikbaar schema is getekend in figuur 12/8.4-20.

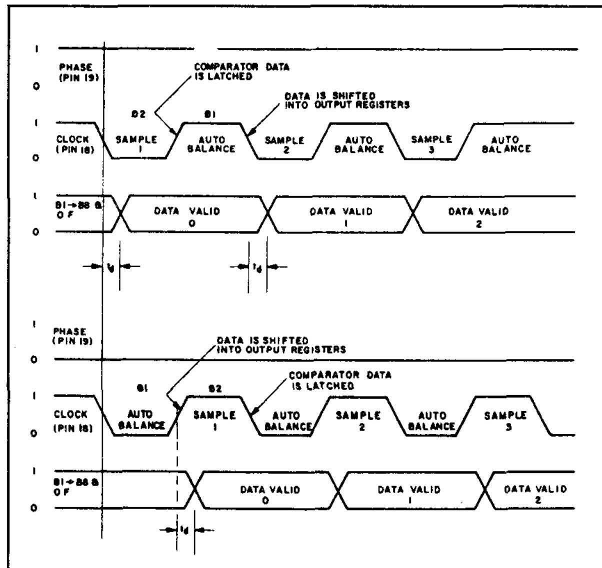
MP 7684

8 bit, 20 MHz, clocked

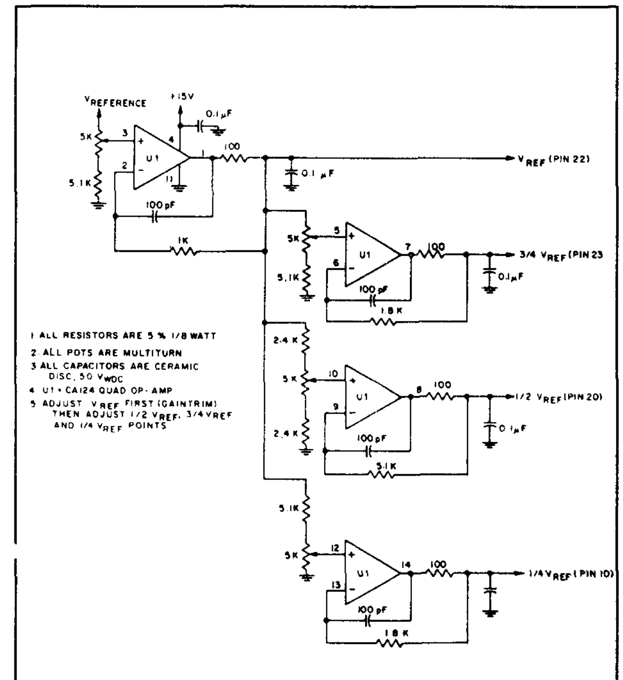
Werkt volgens het one step principe met 256 geclockte comparatoren. Het IC werkt met een positieve analoge voedingsspanning, die gelijk moet zijn aan de digitale voeding. De schakeling heeft tri-state uitgangen, is gefabriceerd volgens de CMOS-technologie en kan dus rechtstreeks LS-schakelingen aansturen. De analoge ingang heeft een zeer hoge ingangs-impedantie van 10 MΩ.

Technische gegevens
- fabrikant: Micro Power Systems
- behuizing: DIL-28
- aansluitgegevens: figuur 12/8.4-21
- intern blokschema: figuur 12/8.4-22

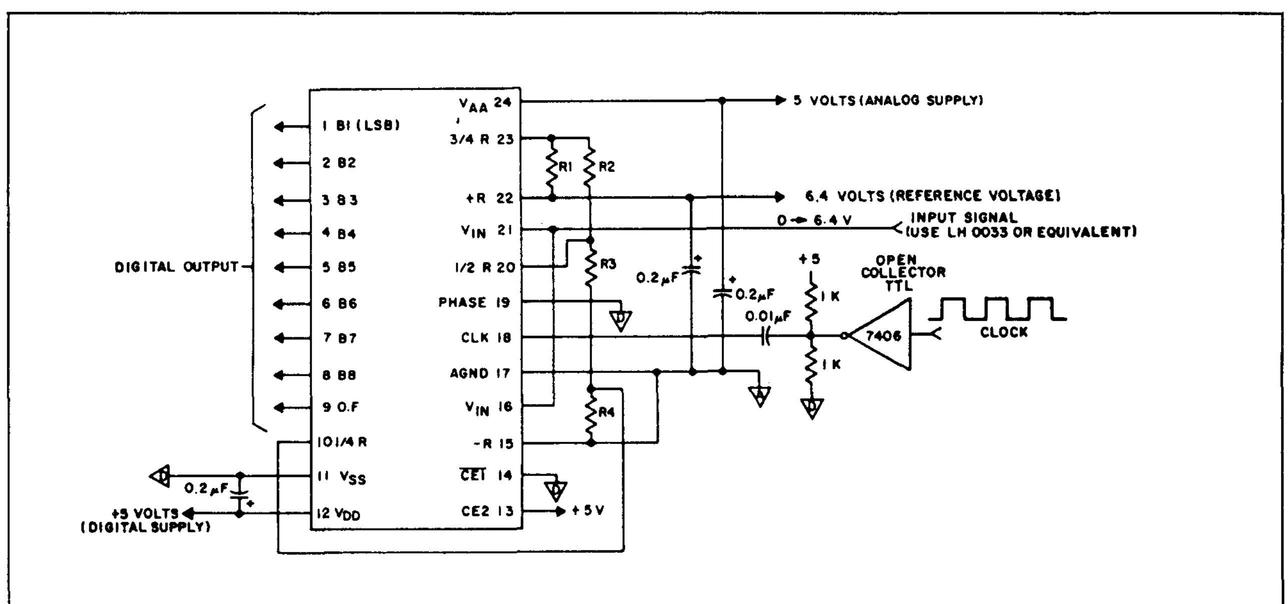
8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-18: Timing-diagramma van de CA 3308 voor de twee PHASE-niveaus.

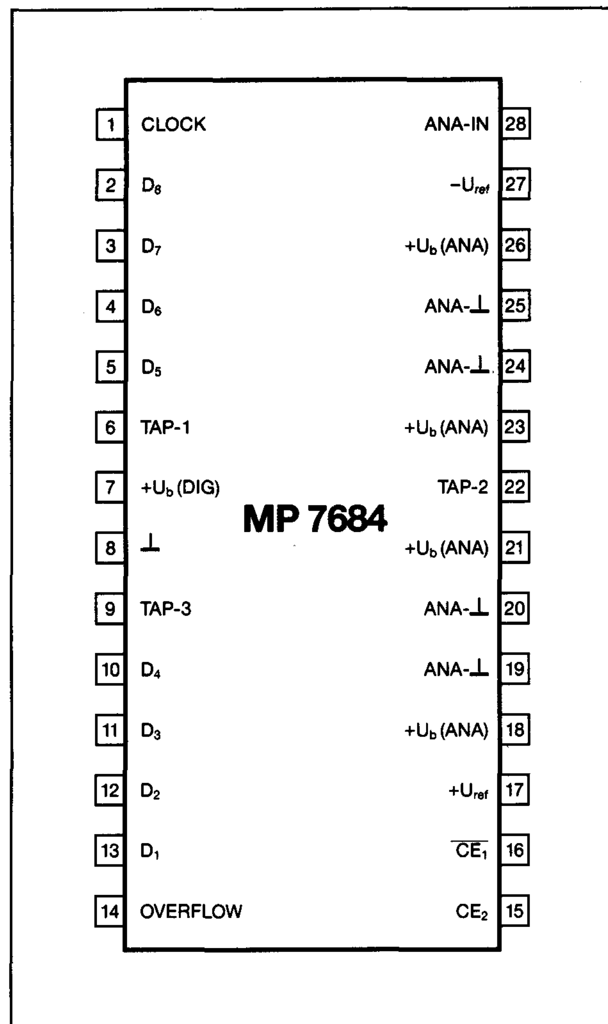


Figuur 12/8.4-20: Externe schakeling voor het opwekken van vier nauwkeurige referenties voor het voeden van de TAP-punten van de weerstandsdeler.

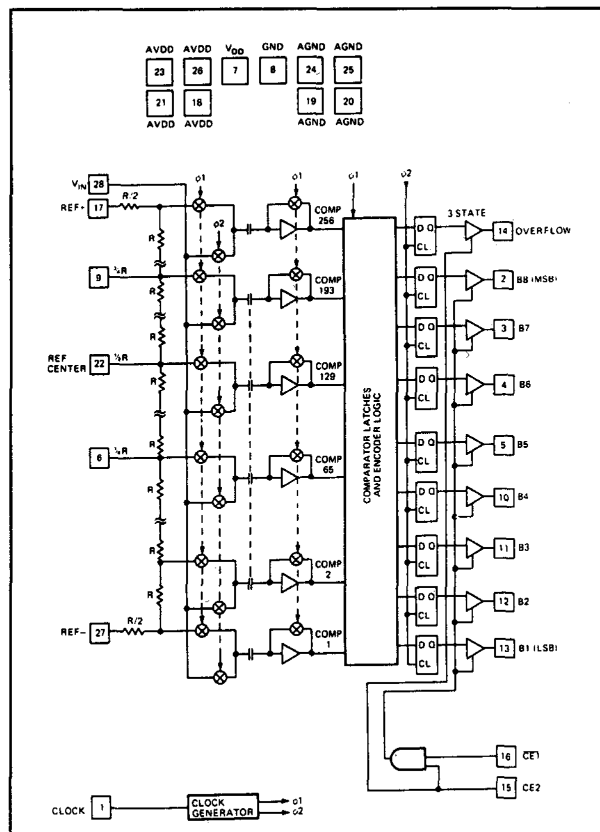


Figuur 12/8.4-19: Basis-schema van de CA 3308 met een bereik van 0 tot +6,4 V en standaard-besturing van de clock.

8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-21: Aansluitgegevens MP 7684.



Figuur 12/8.4-22: Intern blokschema van de MP 7684.

- waarheidstabel besturing: figuur 12/8.4-23
- voedingsspanning: +3 V min. +8 V max.
- dissipatie: 300 mW max.
- referentie-spanning: 0 V min. $+U_b$ max.
- ladder-weerstand: 0,2 kΩ max.
- ingangsspanning: GND min. $+U_{ref}$ max.
- ingangs-weerstand: 10 MΩ min.
- ingangs-capaciteit: 50 pF
- niet-lineariteit: +/−0,4% van de volle schaal
- sampling-rate: 25 MHz typisch

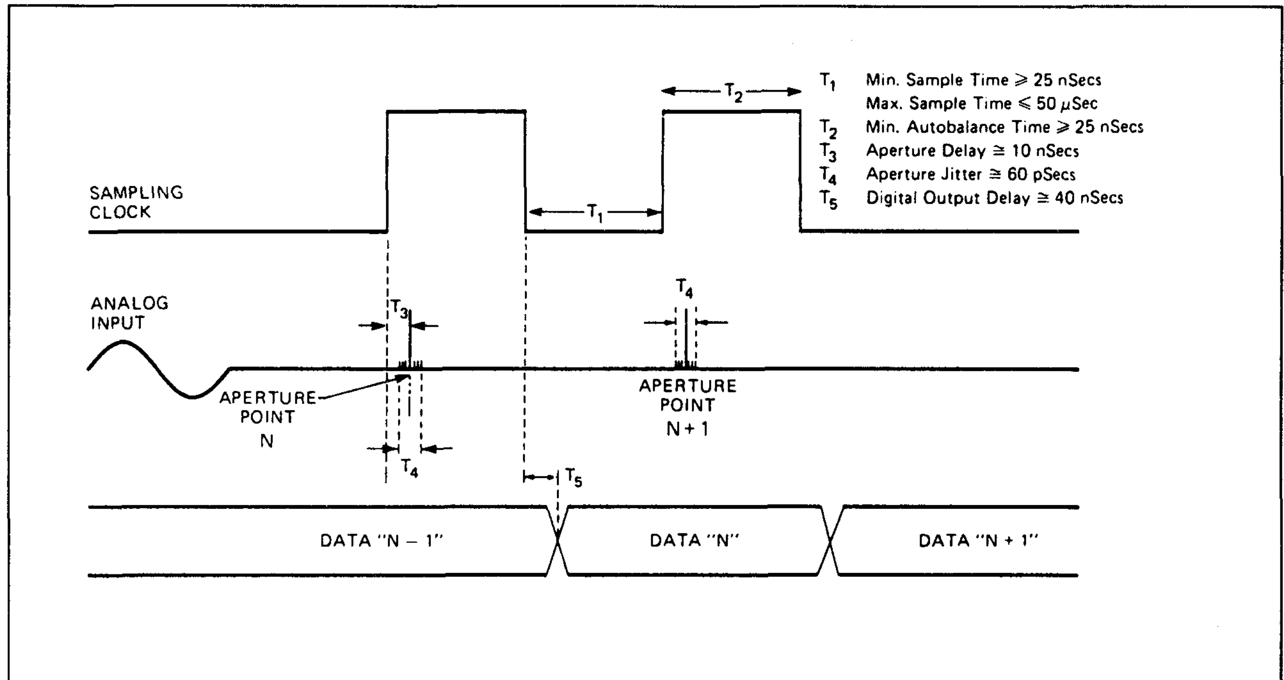
$\overline{CE}_1$	CE_2	$B_1 - B_8$	OFW
0	1	Valid	Valid
1	1	TRI-STATE	Valid
X	0	TRI-STATE	TRI-STATE

Figuur 12/8.4-23: Waarheids-tabel voor de besturing van de tri-state uitgangen.

Nadere gegevens

- timing:
  Het timing-diagramma van de schakeling is getekend in figuur 12/8.4-24. De schakeling balanceert de comparatoren tijdens de hoge clock-puls en zet de analoge ingang om tijdens de lage clock-syclus.

8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-24: Timing-diagramma van de MP 7684.

- maximale clock-breedte:
  De twee fasen van de clock mogen niet langer dan 25 μs duren, dit om de condensatoren van de integratoren niet te ontladen.
- overflow:
  Als de ingangsspanning groter wordt dan de positieve referentie gaan de OFW- en alle data-uitgangen naar 'H'.

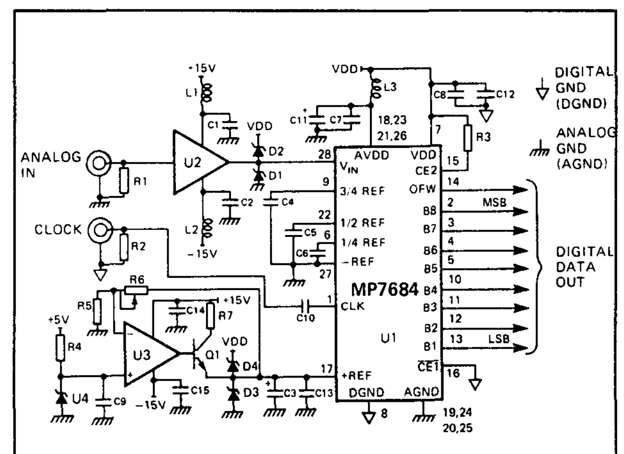
Voorbeeld-schakelingen

- figuur 12/8.4-25:

Basis-schema van de MP 7684 als enkelvoudige 8 bit omzetter. De analoge voeding kan uit de standaard +5 V digitale voeding worden gevoed, maar moet dan worden ontkoppeld met een CL-filtertje L3,C7,C11 van respectievelijk 100 μH, 100 nF en 10 μF. De clock moet via een scheidings-condensator C10 (10 nF) op de bron worden aangesloten. Als men de drie TAP's niet aansluit op externe referentie-spanningen, moeten deze drie aansluitingen ontkoppeld worden naar de massa met condensatoren van 100 nF.

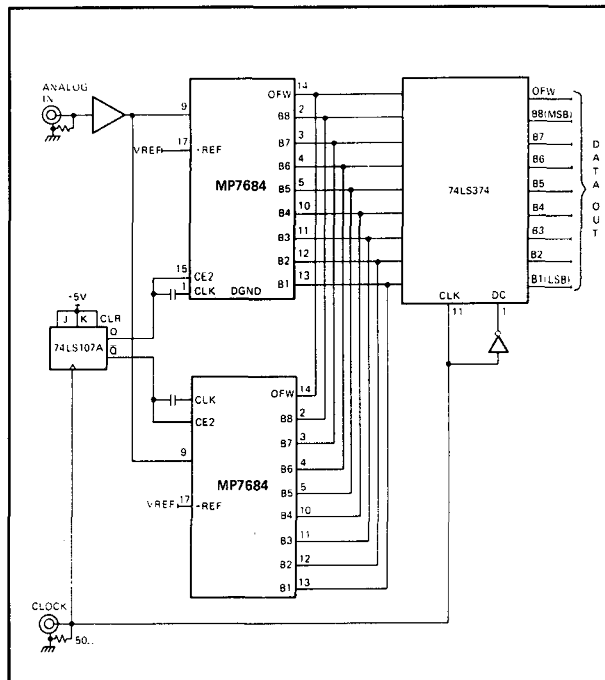
- figuur 12/8.4-26:

Een omzetter met een resolutie van 8 bit en een sampling-rate van 40 MHz ontstaat als men twee IC's parallel schakelt. De twee clock-ingangen worden gevoed uit de twee complementaire uitgangen van een flip-flop. De dubbele snelheid ontstaat omdat het ene IC de analoge ingang kan bemonsteren, terwijl het andere IC bezig is met het balanceren van de comparatoren.



Figuur 12/8.4-25: Basis-schema van de MP 7684 met analoge ingangs-buffer, referentie-generator en ontkoppelingen van de voedings-aansluitingen.

8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-26: Door het parallel schakelen van twee identieke schakelingen en het voeden van de clock-ingangen in tegenfase ontstaat een omzetter met een verdubbelde sampling-rate.

PRODUCT NUMBER	TEMPERATURE RANGE	INTEGRAL AND DIFFERENTIAL LINEARITY ERROR	SAMPLE RATE
MP7684 JD	0°C to +70°C	7 Bit (±0.4%)	10 MSPS
MP7684 KD	0°C to +70°C	8 Bit (±0.2%)	10 MSPS
MP7684 LD	0°C to +70°C	7 Bit (±0.4%)	20 MSPS
MP7684 QD	0°C to +70°C	8 Bit (±0.2%)	20 MSPS
MP7684 SD	−55°C to +125°C	7 Bit (±0.4%)	10 MSPS
MP7684 TD	−55°C to +125°C	8 Bit (±0.2%)	10 MSPS
MP7684 UD	−55°C to +125°C	7 Bit (±0.4%)	20 MSPS
MP7684 VD	−55°C to +125°C	8 Bit (±0.2%)	20 MSPS
MP7684 SD/883	−55°C to +125°C	7 Bit (±0.4%)	10 MSPS
MP7684 TD/883	−55°C to +125°C	8 Bit (±0.2%)	10 MSPS
MP7684 UD/883	−55°C to +125°C	7 Bit (±0.4%)	20 MSPS
MP7684 VD/883	−55°C to +125°C	8 Bit (±0.2%)	20 MSPS

Figuur 12/8.4-27: Overzicht van de leverbare uitvoeringen van de MP 7684.

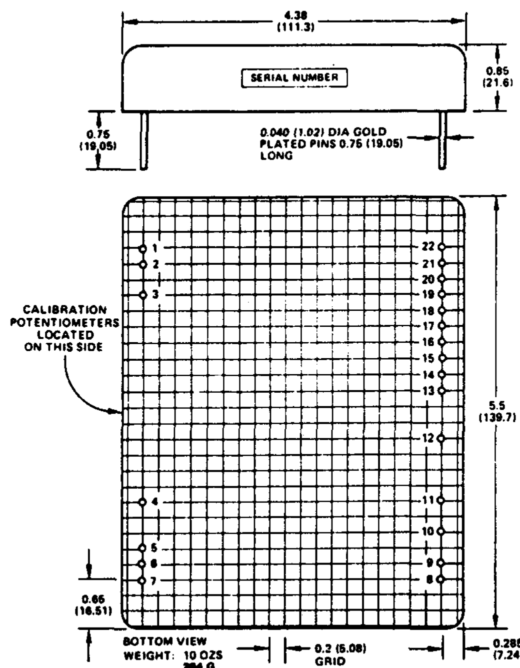
Opmerking

Van dit IC zijn 12 uitvoeringen op de markt, die onderling verschillen in nauwkeurigheid, maximale sampling-rate en temperatuur-bereik. Een overzicht van deze specificaties is gegeven in de tabel van figuur 12/8.4-27.

MATV-0820

8 bit, 20 MHz, clocked

Hybride, speciaal ontwikkeld voor het digitaliseren van breedbandige video-signalen in het standaard spanningsbereik van 0 tot +1 V of +/−0,5 V. De schakeling is uitgerust met een interne referentie-bron en wordt volledig gecalibreerd geleverd. De digitale in- en uitgangen zijn TTL-compatible. De hybride moet worden gevoed met +5 V digitaal en +/−15 V analoog.

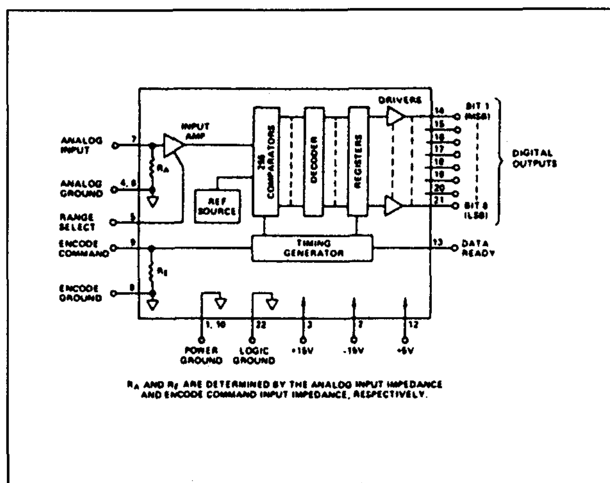


Figuur 12/8.4-28: Behuizing en aansluit-code van de hybride omzetter MATV-0820.

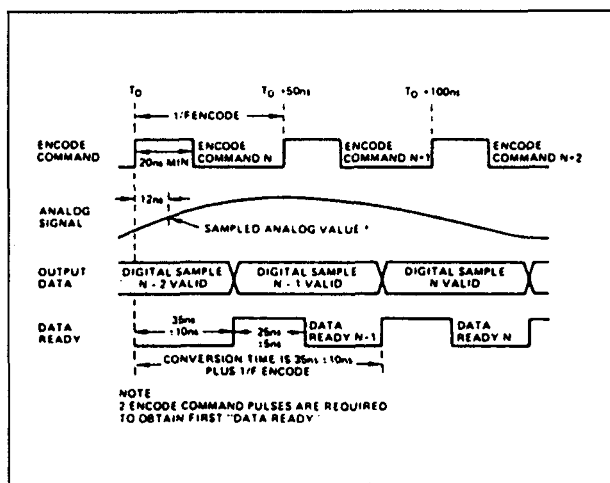
Technische gegevens

- fabrikant: Analog Devices
- behuizing: speciaal, zie figuur 12/8.4-28
- intern blokschema: figuur 12/8.4-29

8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-29: Intern blokschema van de MATV-0820.



Figuur 12/8.4-30: Timing-diagram van de MATV-0820.

- timing-diagram: figuur 12/8.4-30
- voedingsspanning:
  +5 V digitaal, +/-15 V analoog
- dissipatie: 8 W max.
- referentie-spanning:
  intern, gecalibreerd
- ingangsspanning:
  RANGE SELECT "L": 0 tot +1 V
  RANGE SELECT "H": +/-0,5 V
- ingangs-weerstand: 75 Ω
- niet-lineariteit:
  +/-0,2 % volle schaal
- sampling-rate: 20 MHz typisch

MAX 153

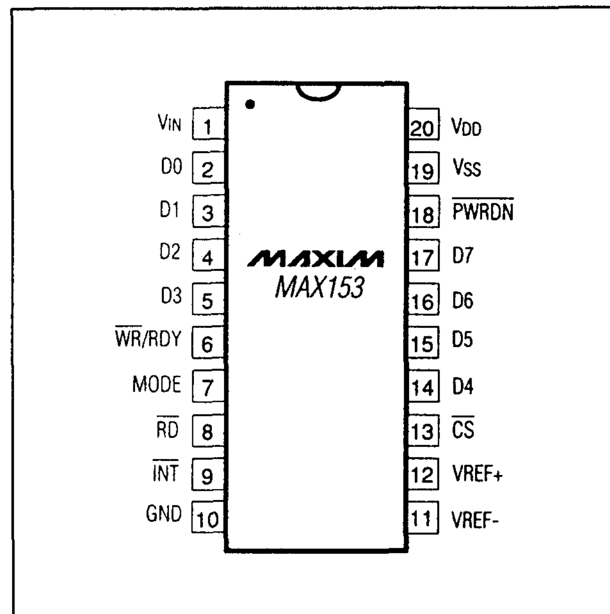
8 bit, 2 MHz, two step

De MAX 153 is een flash-converter met een convertie-tijd van slechts 400 ns. De schakeling werkt volgens het two step principe met twee vier bit brede flash-ADC's en een vier bit brede DAC. Door de ingebouwde track&hold-functie is het mogelijk signalen tot 2 MHz te digitaliseren. De analoge ingangsbandbreedte bedraagt 100 kHz, de uitgangen zijn tri-state en zijn microprocessor-compatible. De schakeling kan zowel unipolair als bipolair gevoed worden. In het laatste geval kunnen ook bipolaire analoge ingangssignalen verwerkt worden. De schakeling heeft een POWER DOWN-ingang, waarmee een aanzienlijke vermogensreductie mogelijk is.

Technische gegevens

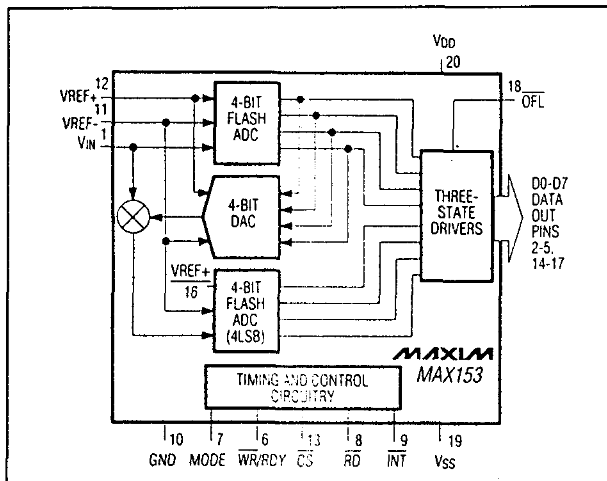
- fabrikant: Maxim
- behuizing: DIL-20
- aansluitgegevens: figuur 12/8.4-31
- intern blokschema: figuur 12/8.4-32

Nadere gegevens ontbreken.



Figuur 12/8.4-31: Aansluitgegevens van de MAX 153.

8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-32: Intern blokschema van de MAX 153.

- bandbreedte: 250 MHz
- gegevens referentie
  - weerstand laddernetwerk: 200 Ω
  - temp-coëf: 0,34 Ω/°C
- dynamische gegevens
  - maximale sampling: 200 Ms/s
  - aperture delay: 340 ps
  - jitter: 3 ps
  - transiënt response: 1 ns
  - harmonische vervorming: -50 dB
  - signaal/ruis verhouding: 44 dB
- gegevens uitgangen
  - "H"-niveau: -1,1 V min.
  - "L"-niveau: -1,6 V max.
  - vertraging uitgang: 6 ns
  - stijgtijd uitgang: 1 ns
  - daaltijd uitgang: 1 ns

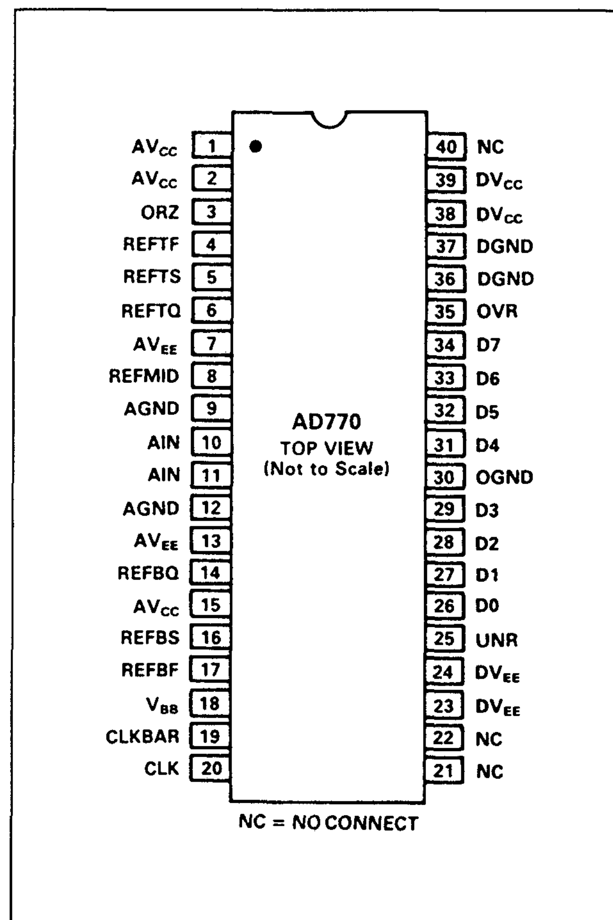
AD 770

8 bit, 250 MHz, one step, clocked

De AD 770 is een zeer snelle 8 bit one step ADC die geclockt kan worden met een maximale snelheid van 200 Megasamples/s en die een analoge bandbreedte heeft van 250 MHz. De analoge ingang werkt bipolair en heeft een bereik van +/-1 V. De uitgangsspanningen van de 257 zeer snelle comparatoren worden opgeslagen in een latchnetwerk dat werkt met ECL-compatibele signalen. Het IC heeft UNDERRANGE en OVERRANGE uitgangen en beschikt over twee ingangspennen, waarmee men de schakeling kan clocken.

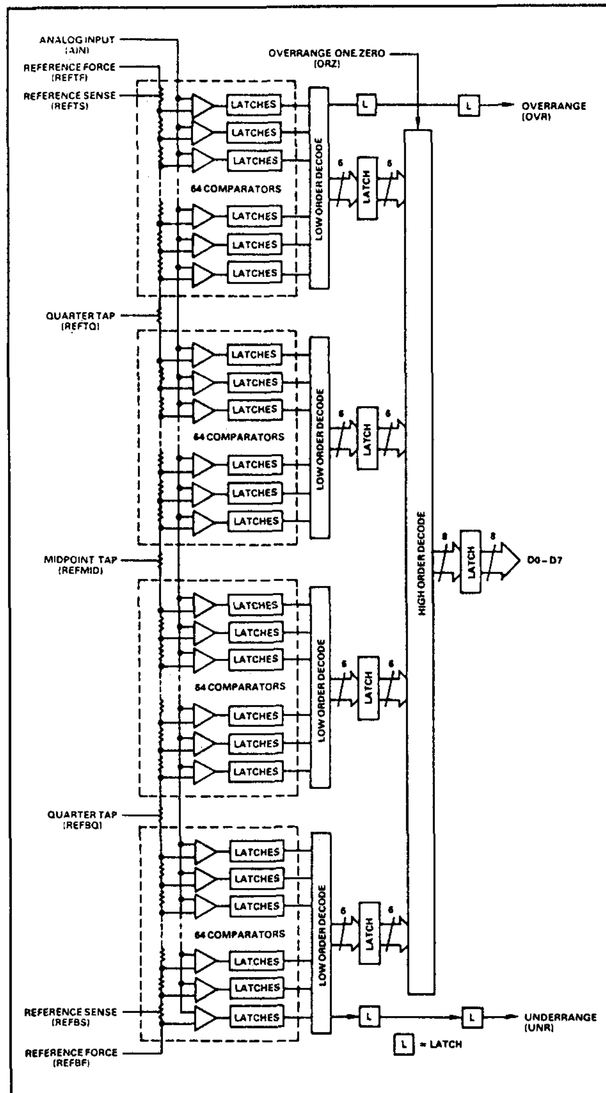
Technische gegevens

- fabrikant: Analog Devices
- behuizing: DIL-40
- aansluitgegevens: figuur 12/8.4-33
- intern blokschema: figuur 12/8.4-34
- timing omzetting: figuur 12/8.4-35
- voedingsspanningen: +5 V, -5,2 V
- voedingsstromen: +210 mA, -69 mA
- nauwkeurigheid: +/-1,25 LSB
- gegevens analoge ingang
  - ingangsspanning: +/-1 V
  - biasstroom: 300 μA
  - capaciteit: 19 pF

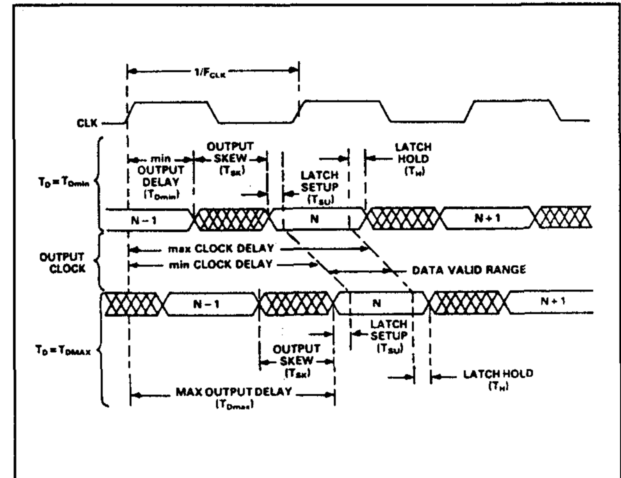


Figuur 12/8.4-33: Aansluitgegevens van de AD 770.

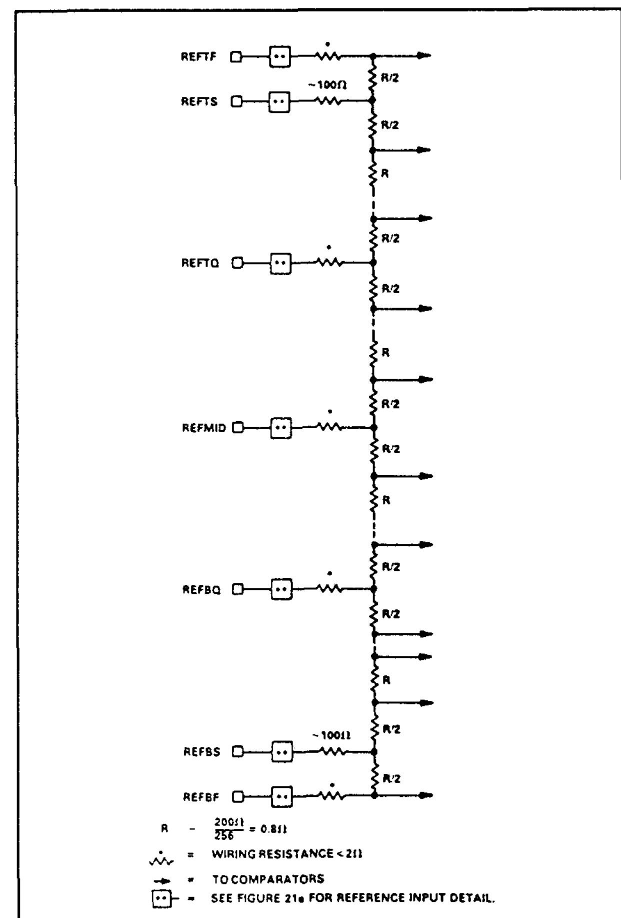
8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-34: Intern blokschema van de AD 770.



Figuur 12/8.4-35: Timing van de omzetting bij de AD 770.

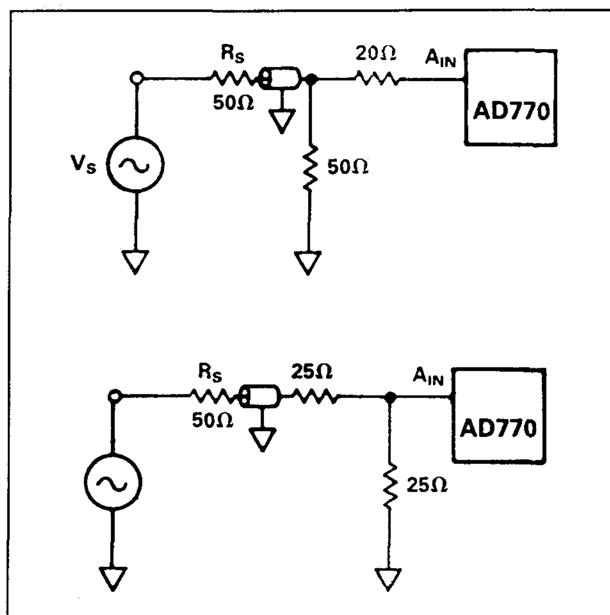


Figuur 12/8.4-36: De schakeling van de interne weerstandsdeler bij de AD 770.

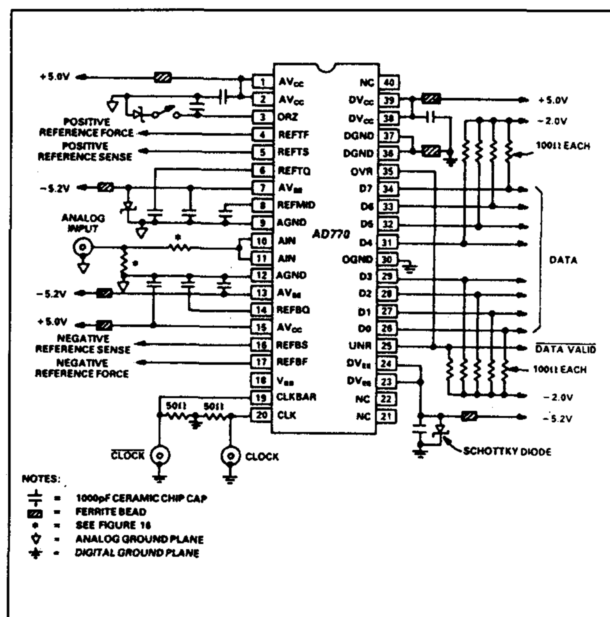
Nadere gegevens

Het weerstandsnetwerk aan de ingangen van de comparatoren is samengesteld volgens figuur 12/8.4-36. De twee ingangen REFTS en REFBS kunnen gebruikt worden om de stroom door het netwerk te stabiliseren. Dank zij de zeer lage capacitieve belasting van de analoge ingang kan men in de meeste gevallen het ingangssignaal rechtstreeks aan het IC aansluiten. Men moet echter wel de nodige maatregelen treffen om deze ingang goed af te sluiten.

8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-37: Twee manieren om het te digitaliseren ingangssignaal aan te bieden aan de analoge ingang van de AD 770. De onderste is de beste!



Figuur 12/8.4-38: Standaard schakeling rond de AD 770.

In figuur 12/8.4-37 zijn enige voorbeelden gegeven. Beide schema's geven een afsluitimpedantie van 50 Ω ten opzichte van de massa. Het onderste schema heeft de beste specificaties maar heeft als nadeel dat het ingangssignaal met een factor 2 verzwakt wordt.

Voorbeeld-schakeling
- figuur 12/8.4-38:

Standaard schakeling rond de AD 770. Let op de absoluut noodzakelijke ferrietkraaltjes in alle voedings- en massaverbindingen. Let verder ook op de symmetrische aansturing van de clock via de twee ingangen CLOCK en $\overline{\text{CLOCK}}$.

ADC 0881

8 bit, 7 MHz, one step, clocked

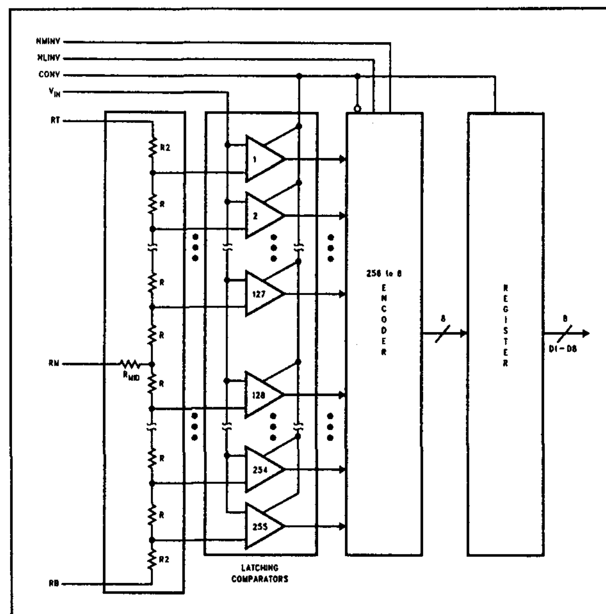
De ADC 0881 is een niet al te snelle 8 bit one step ADC die geclockt kan worden met een maximale snelheid van 20 Megasamples/s en die een analoge bandbreedte heeft van gegarandeerd 7 MHz. De schakeling is voornamelijk ontwikkeld voor het digitaliseren van videosignalen. De analoge ingang werkt positief unipolair en heeft een bereik van +5 V.

De uitgangsspanningen van de 255 comparatoren worden opgeslagen in een dubbele latch die werkt met TTL-compatibele signalen. Het IC heeft slechts één clock-signaal nodig en werkt met een enkelvoudige voeding van +5 V, hoewel wordt aanbevolen de analoge en digitale voeding te scheiden.

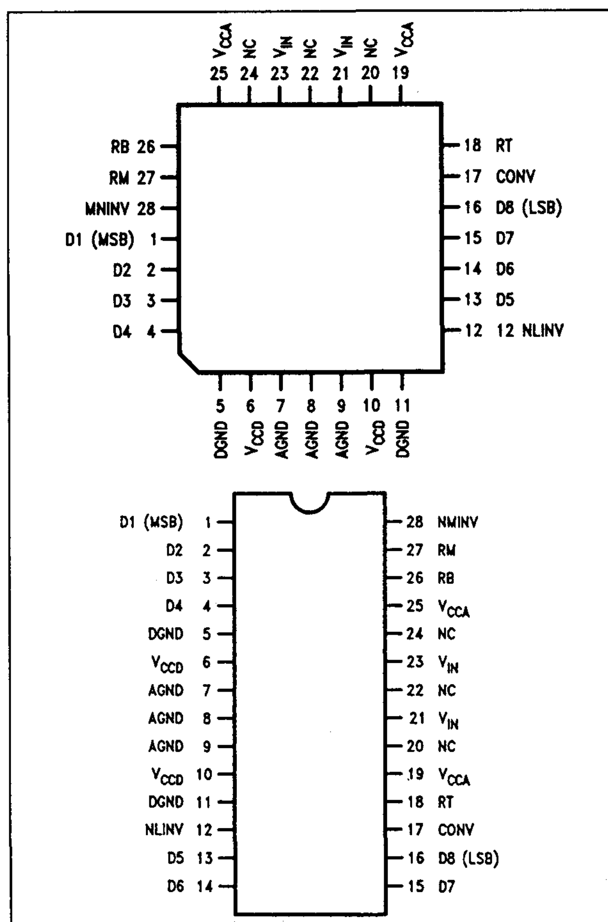
Technische gegevens
- fabrikant: NatSemi
- behuizing: DIL-28, 28-pens PCC
- aansluitgegevens: figuur 12/8.4-39
- intern blokschema: figuur 12/8.4-40
- timing omzetting: figuur 12/8.4-41
- voedingsspanningen: 2 x +5 V typisch
- voedingsstroom: 160 mA totaal
- nauwkeurigheid: 0,2 % volle schaal
- gegevens analoge ingang
  - ingangsspanning: +5 V max.

8.4 Type-beschrijving resolutie 8 bit en meer

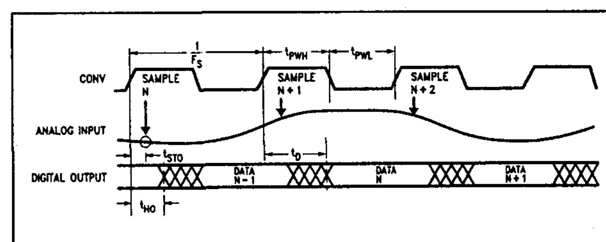
  - biasstroom: 250 µA
  - weerstand: 80 kΩ
  - capaciteit: 50 pF
  - bandbreedte: 7 MHz
- gegevens referentie
  - weerstand laddernetwerk: 67 Ω
- dynamische gegevens
  - maximale sampling: 20 Ms/s
  - aperture delay: 35 ns
  - jitter: 60 ps
  - transiënt response: 70 ns
  - signaal/ruis verhouding: 44 dB min.
- gegevens uitgangen
  - "H"-niveau: +2,4 V min.
  - "L"-niveau: +0,5 V max.
  - vertraging uitgang: 35 ns



Figuur 12/8.4-40: Intern blokschema van de ADC 0881.



Figuur 12/8.4-39: Aansluitgegevens van de ADC 0881.



Figuur 12/8.4-41: Timing van de omzetting bij de ADC 0881.

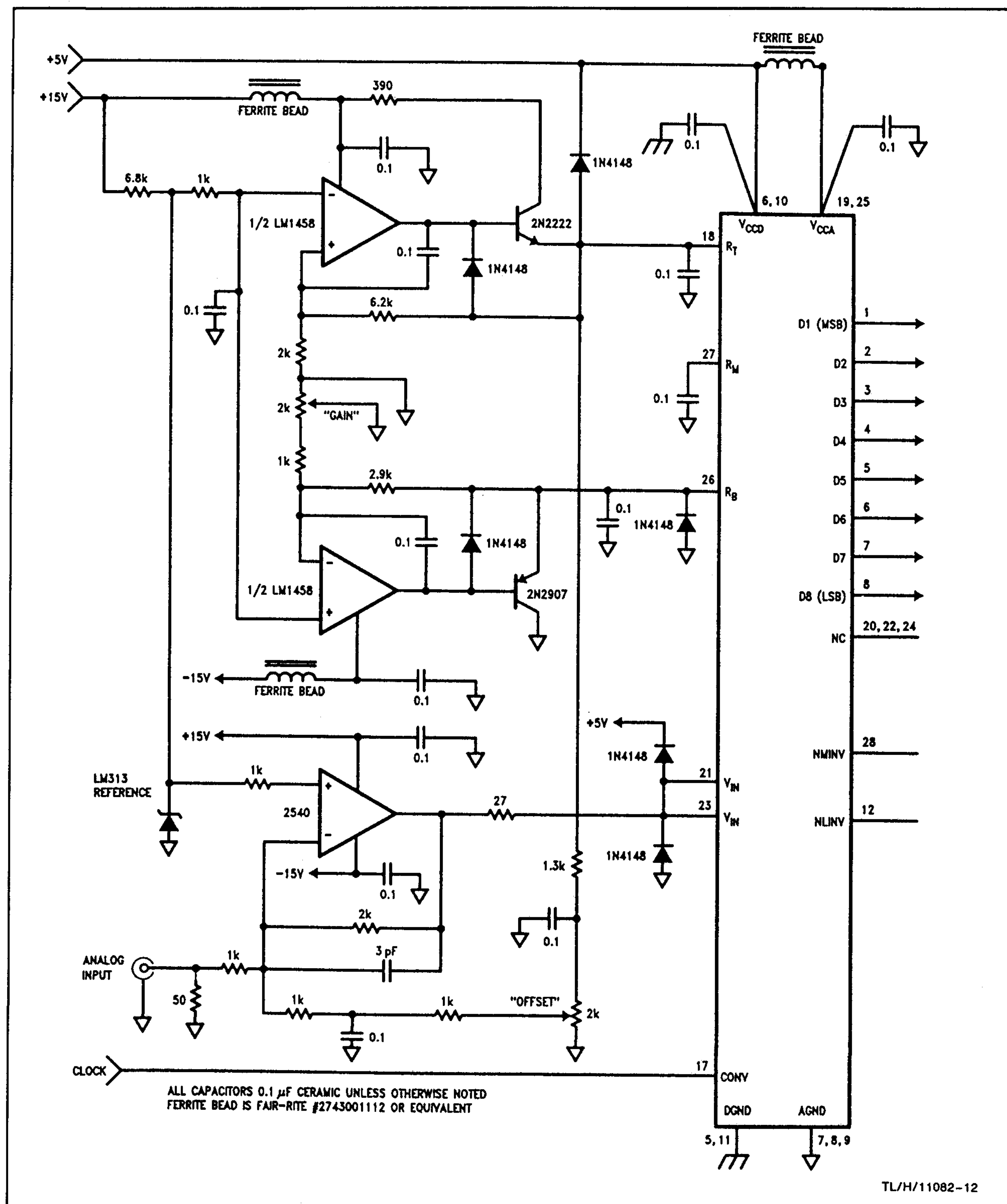
Voorbeeld-schakeling

- Figuur 12/8.4-42:

Standaard schakeling rond de ADC 0881. Hoewel de ADC zélf slechts een +5 V voeding nodig heeft, worden hier spanningen van +/15 V gebruikt voor het instellen van de referentiespanningen voor het voeden van de weerstandsdeler.

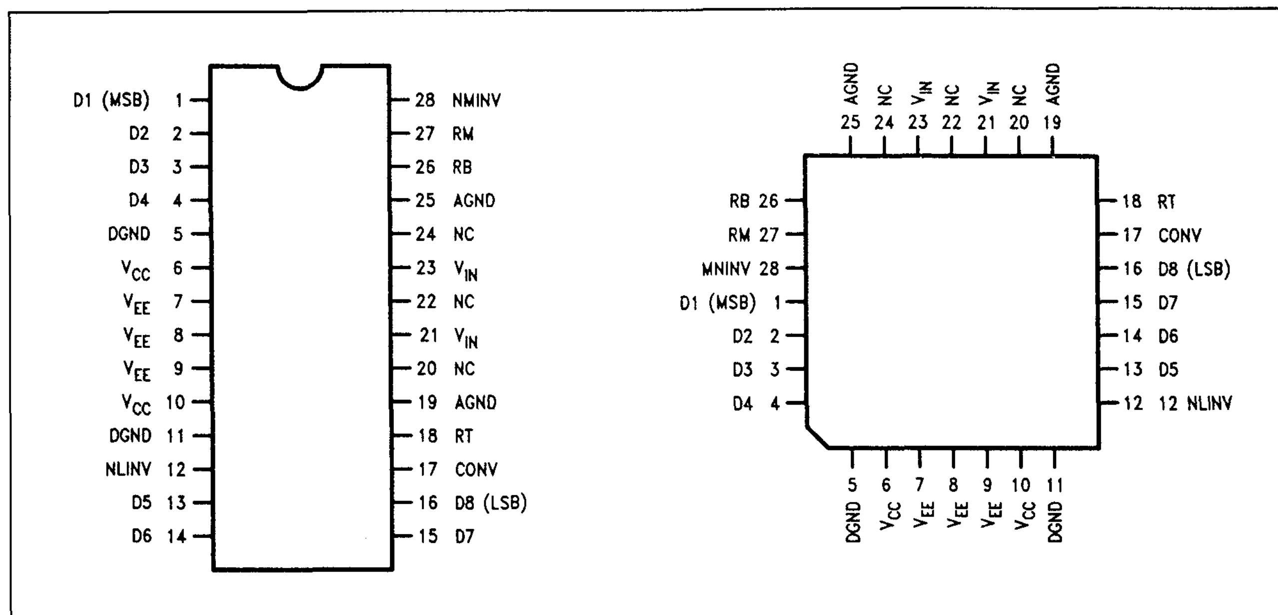
De analoge ingangsspanning wordt versterkt in een als inverterende versterker geschakelde breedband operationele versterker van het type 2540.

8.4 Type-beschrijving resolutie 8 bit en meer

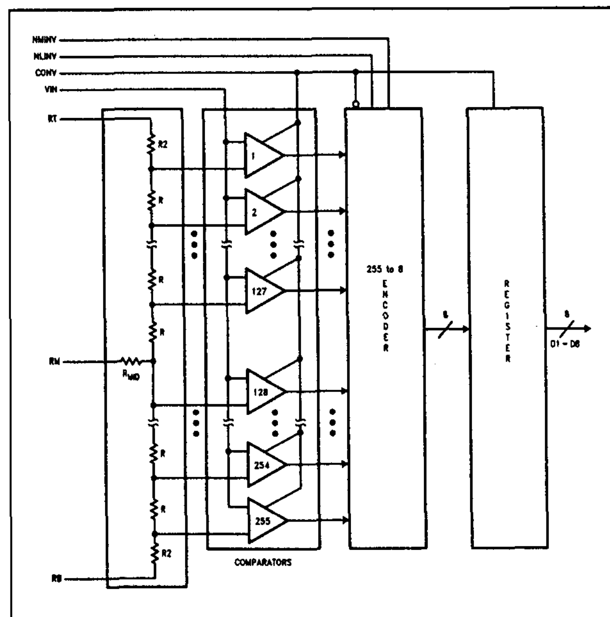


Figuur 12/8.4-42: Standaard schakeling rond de ADC 0881.

8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-43: Aansluitgegevens van de ADC 0882.



Figuur 12/8.4-44: Intern blokschema van de ADC 0882.

ADC 0882

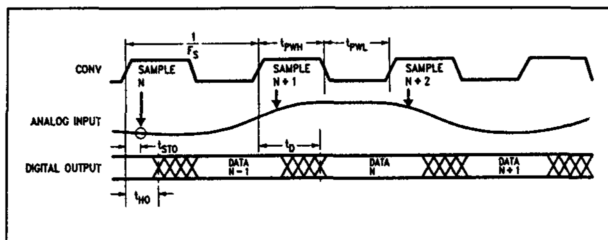
8 bit, 7 MHz, one step, clocked

De ADC 0882 is een voor het omzetten van analoge videosignalen ontwikkelde 8 bit one step ADC die geclockt kan worden met een maximale snelheid van 20 Megasamples/s en die een analoge bandbreedte heeft van gegarandeerd 7 MHz. De analoge ingang werkt negatief unipolair en heeft een bereik tot -2 V. De uitgangsspanningen van de 255 comparatoren worden opgeslagen in een dubbele latch die werkt met TTL-compatibele signalen. Het IC heeft slechts één clocksignaal nodig. De schakeling moet symmetrisch gevoed worden uit typisch +/-5 V, maar kan ook goed werken met de van de ECL-logica bekende voedingsspanningen van +5,0 V en -5,2 V.

Technische gegevens

- fabrikant: NatSemi
- behuizing: DIL-28, 28-pens PCC
- aansluitgegevens: figuur 12/8.4-43
- intern blokschema: figuur 12/8.4-44
- timing omzetting: figuur 12/8.4-45
- voedingsspanningen: +/-5 V typisch
- voedingsstromen: +45 mA, -165 mA
- nauwkeurigheid: 0,2 % volle schaal
- gegevens analoge ingang
  - ingangsspanning: -2 V max.
  - biasstroom: 250 μA
  - weerstand: 80 kΩ
  - capaciteit: 50 pF

8.4 Type-beschrijving resolutie 8 bit en meer



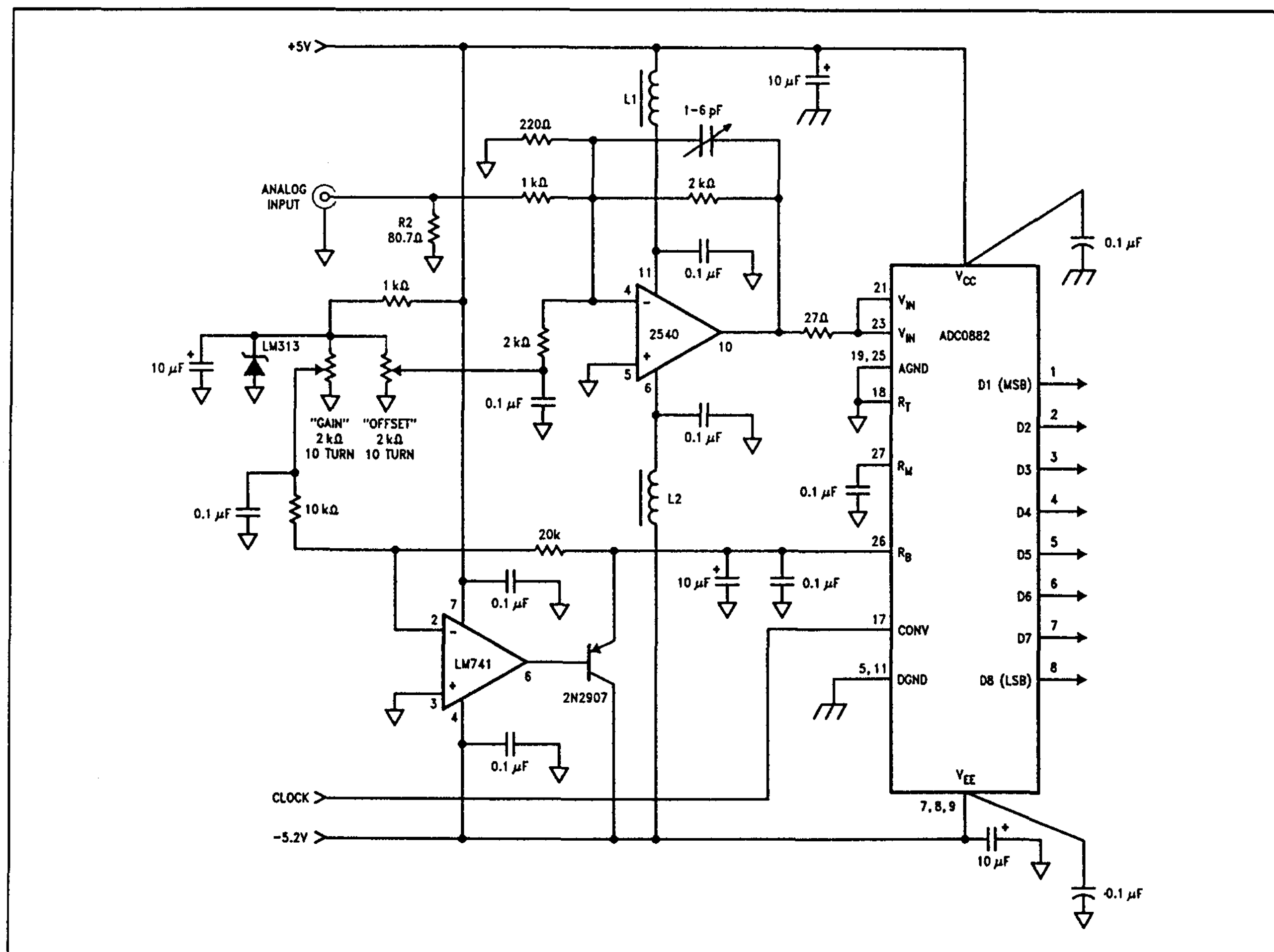
Figuur 12/8.4-45: Timing van de omzetting bij de ADC 0882.

- bandbreedte: 7 MHz
- gegevens referentie
  - weerstand laddernetwerk: 67 Ω
- dynamische gegevens
  - maximale sampling: 20 Ms/s
  - aperture delay: 35 ns
  - jitter: 60 ps
  - transiënt response: 70 ns
  - signaal/ruis verhouding: 45 dB min.
- gegevens uitgangen
  - "H"-niveau: +2,4 V min.
  - "L"-niveau: +0,5 V max.
  - vertraging uitgang: 30 ns

Voorbeeld-schakeling

- Figuur 12/8.4-46:

Standaard schakeling rond de ADC 0882. Het seriële weerstandsnetwerk wordt ingesteld door een als constante stroombron geschakelde operationele versterker van het type 741 met een transistor als regelelement. De analoge ingangsspanning wordt versterkt in een als inverterende versterker geschakelde breedband operationele versterker van het type 2540.



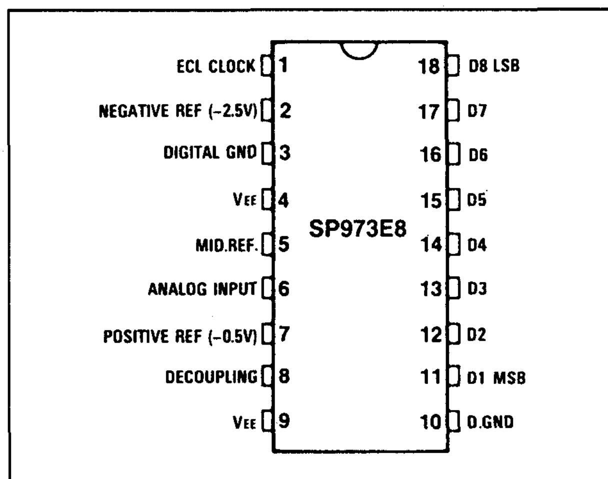
Figuur 12/8.4-46: Standaard schakeling rond de ADC 0882.

SP 973E8

8 bit, 70 MHz, one step, clocked

De SP 973E8 is een snelle 8 bit one step ADC die geclockt kan worden met een maximale snelheid van 30 Megasamples/s en die een analoge bandbreedte heeft van 70 MHz. De schakeling is voornamelijk ontwikkeld voor het met zeer goede kwaliteit digitaliseren van videosignalen, zoals noodzakelijk bij HDTV, MPEG-compressie, studio-video en medische elektronica. De analoge ingang werkt negatief unipolair en heeft een bereik tot -2,7 V.

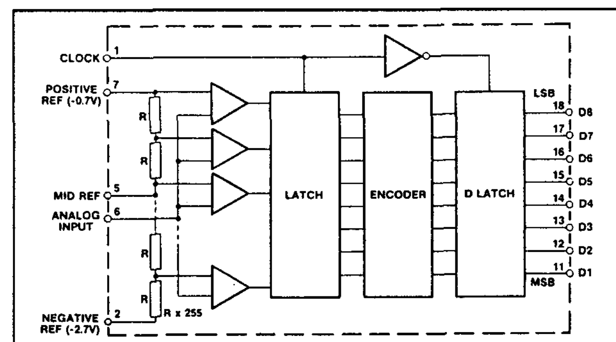
De uitgangsspanningen van de 255 comparatoren worden opgeslagen in een D-type latch die werkt met ECL-compatibele signalen. Het IC heeft slechts één clock-signaal nodig en werkt met een enkelvoudige voeding van -5,2 V.



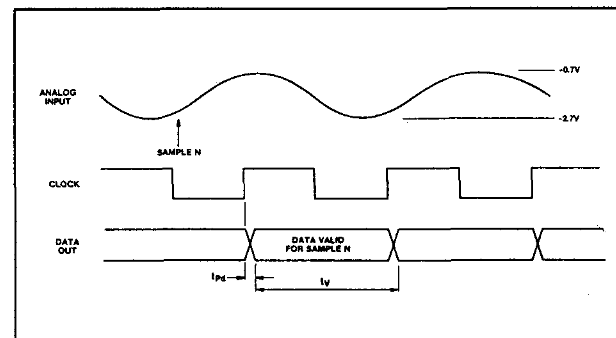
Figuur 12/8.4-47: Aansluitgegevens van de SP 973E8

Technische gegevens

- fabrikant: Plessey Semiconductors
- behuizing: DIL-18
- aansluitgegevens: figuur 12/8.4-47
- intern blokschema: figuur 12/8.4-48
- timing omzetting: figuur 12/8.4-49
- voedingsspanning: -5,2 V typisch
- voedingsstroom: -100 mA typisch
- nauwkeurigheid: +/-1,0 LSB
- gegevens analoge ingang
  - ingangsspanning: -2,7 V max.
  - bandbreedte: 70 MHz
- gegevens referentie
  - weerstand laddernetwerk: 390 Ω
- dynamische gegevens
  - maximale sampling: 30 Ms/s
- gegevens uitgangen
  - "H"-niveau: -0,96 V min.
  - "L"-niveau: -1,62 V max.
  - vertraging uitgang: 8 ns



Figuur 12/8.4-48: Intern blokschema van de SP 973E8.



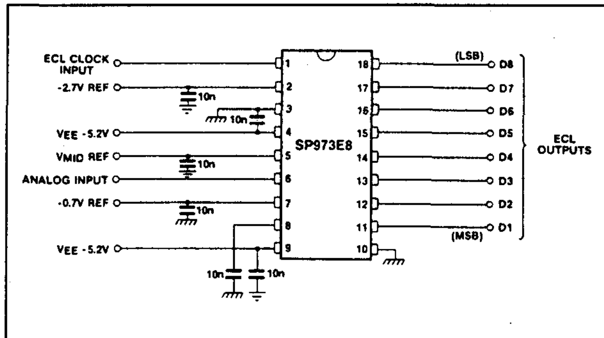
Figuur 12/8.4-49: Timing van de omzetting bij de SP 973E8

Voorbeeld-schakeling

- Figuur 12/8.4-50:

Standaard schakeling rond de SP 973E8. Let op de twee symbolen voor de massa: het "harkje" staat voor de digitale massa, het aardingsteken voor de analoge massa.

8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-50: Standaard schakeling rond de SP 973E8.

- nauwkeurigheid: +/-1,0 LSB
- gegevens analoge ingang
  - ingangsspanning: +4,3 V max.
  - bandbreedte: 70 MHz
  - capaciteit: 40 pF typisch
- gegevens referentie
  - weerstand laddernetwerk: 390 Ω
- dynamische gegevens
  - maximale sampling: 30 Ms/s
- gegevens uitgangen
  - "H"-niveau: +3,5 V min.
  - "L"-niveau: +0,4 V max.
  - vertraging uitgang: 10 ns

SP 973T8

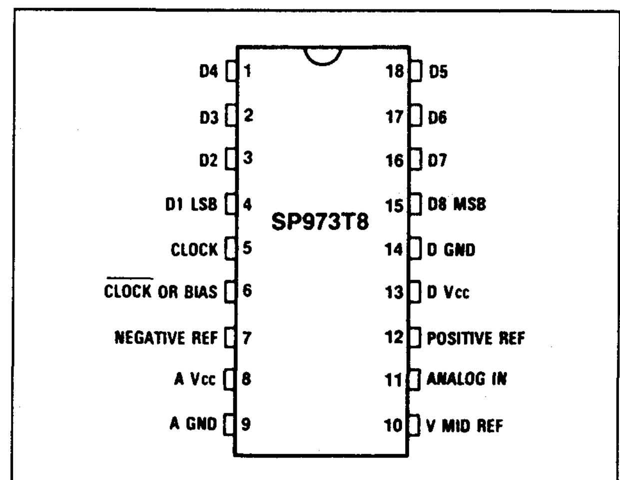
8 bit, 70 MHz, one step, clocked

De SP 973T8 is een snelle 8 bit one step ADC die geclockt kan worden met een maximale snelheid van 30 Megasamples/s en die een analoge bandbreedte heeft van 70 MHz. De schakeling is voornamelijk ontwikkeld voor het digitaliseren van videosignalen met zeer hoge kwaliteit.

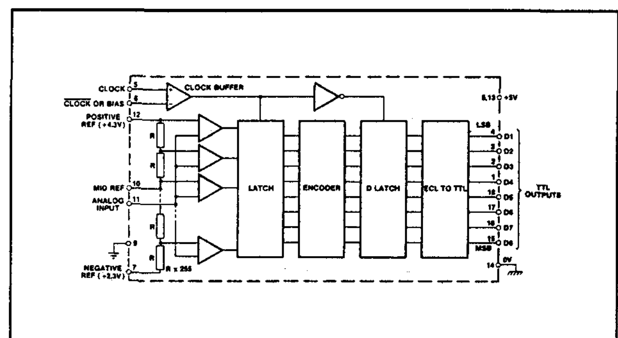
De analoge ingang werkt positief unipolair en heeft een bereik tot +4,3 V. De uitgangsspanningen van de 255 comparatoren worden opgeslagen in een D-type latch die werkt met ECL-compatibele signalen. Nadien volgt een ECL-naar-TTL omzetter, met als gevolg dat de uitgangen van het IC TTL- en CMOS-compatibel zijn. Het IC heeft slechts één clock-signaal nodig en werkt met een enkelvoudige voeding van +5 V typisch. De SP 973T8 heeft echter twee pennen voor de voeding, een analoge en een digitale. Aanbevolen wordt met twee verschillende +5 V voedingen te werken.

Technische gegevens

- fabrikant: Plessey Semiconductors
- behuizing: DIL-18
- aansluitgegevens: figuur 12/8.4-51
- intern blokschema: figuur 12/8.4-52
- timing omzetting: figuur 12/8.4-53
- voedingsspanningen: 2 x 5 V typisch
- voedingsstroom: 95 mA totaal

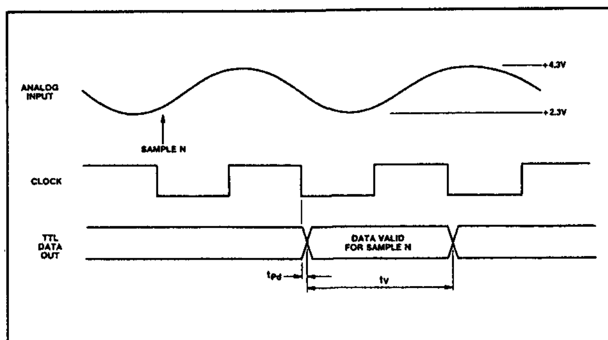


Figuur 12/8.4-51: Aansluitgegevens van de SP 973T8.



Figuur 12/8.4-52: Intern blokschema van de SP 973T8.

8.4 Type-beschrijving resolutie 8 bit en meer

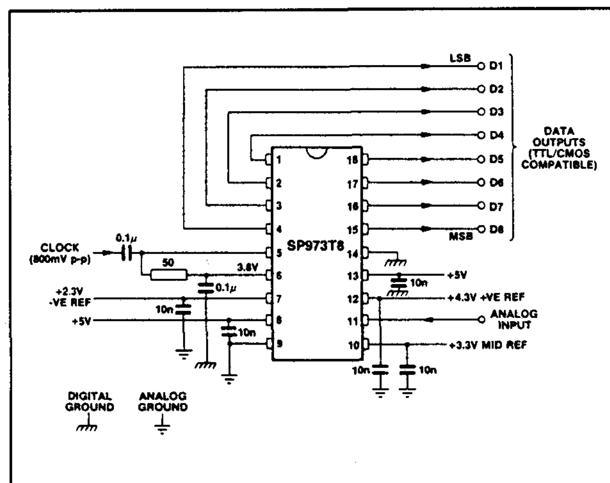


Figuur 12/8.4-53: Timing van de omzetting bij de SP 973T8.

Voorbeeld-schakeling

– Figuur 12/8.4-54:

Standaard schakeling rond de SP 973T8. Let op de twee symbolen voor de massa: het "harkje" staat voor de digitale massa, het aardingsteken voor de analoge massa.

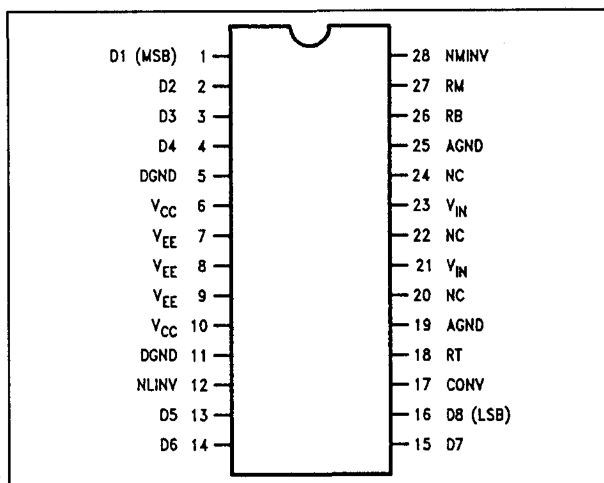


Figuur 12/8.4-54: Standaard schakeling rond de SP 973T8.

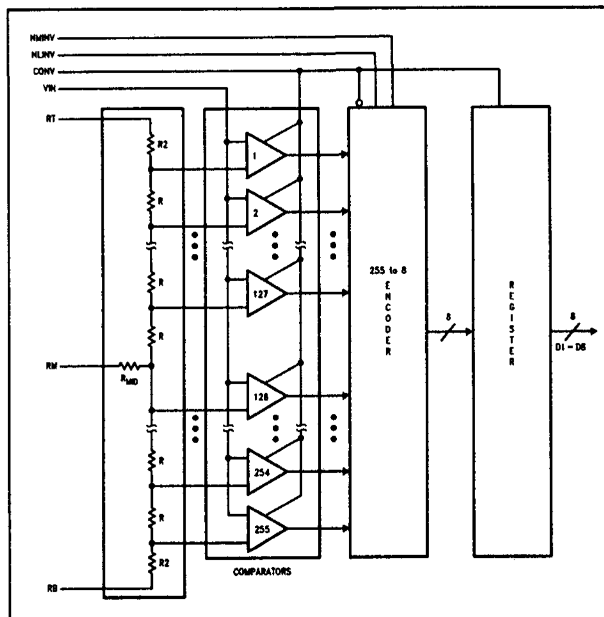
TDC 1038

8 bit, 7 MHz, one step, clocked

De TDC 1038 is een voor het omzetten van analoge videosignalen ontwikkelde 8 bit one step ADC die geclockt kan worden met een maximale snelheid van 20 Megasamples/s en die een analoge bandbreedte heeft van 7 MHz. De analoge ingang werkt negatief unipolair en heeft een bereik tot -2 V. De uitgangsspanningen van de 255 comparatoren worden opgeslagen in een dubbele latch die werkt met TTL-compatibele signalen. Het IC heeft slechts één clock-signaal nodig. De schakeling moet symmetrisch gevoed worden uit typisch +/-5 V, maar kan ook goed werken met de van de ECL-logica bekende voedingsspanningen van +5,0 V en -5,2 V.

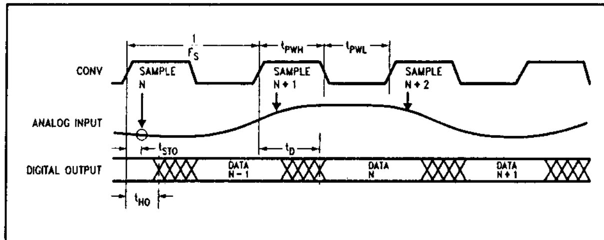


Figuur 12/8.4-55: Aansluitgegevens van de TDC 1038.



Figuur 12/8.4-56: Intern blokschema van de TDC 1038.

8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-57: Timing van de omzetting bij de TDC 1038.

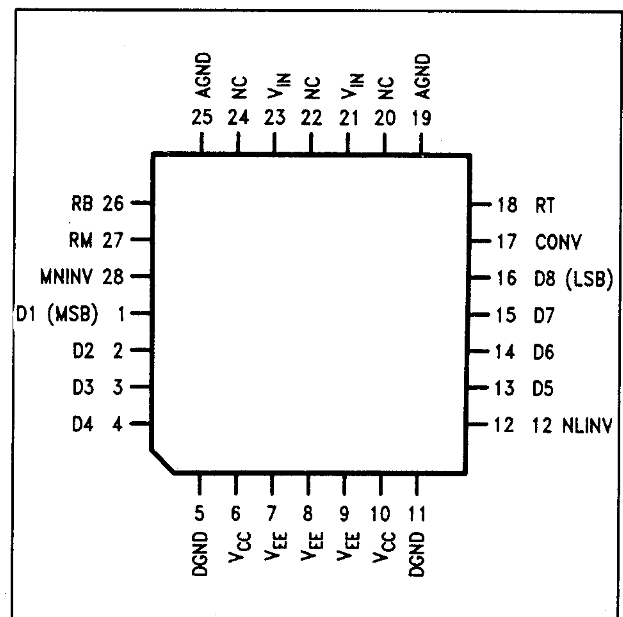
Technische gegevens

- fabrikant: Thomson
- behuizing: DIL-28
- aansluitgegevens: figuur 12/8.4-55
- intern blokschema: figuur 12/8.4-56
- timing omzetting: figuur 12/8.4-57
- voedingsspanningen: +/-5 V typisch
- voedingsstromen: +45 mA, -165 mA
- nauwkeurigheid: 0,2 % volle schaal
- gegevens analoge ingang
  - ingangsspanning: -2 V max.
  - biasstroom: 250 µA
  - weerstand: 80 kΩ
  - capaciteit: 50 pF
  - bandbreedte: 7 MHz
- gegevens referentie
  - weerstand laddernetwerk: 67 Ω
- dynamische gegevens
  - maximale sampling: 20 Ms/s
  - aperture delay: 35 ns
  - jitter: 60 ps
  - transiënt response: 70 ns
  - signaal/ruis verhouding: 45 dB min.
- gegevens uitgangen
  - "H"-niveau: +2,4 V min.
  - "L"-niveau: +0,5 V max.
  - vertraging uitgang: 30 ns

TDC 1048

8 bit, 7 MHz, one step, clocked

De TDC 1048 is een voor het digitaliseren van videosignalen ontwikkelde 8 bit one step ADC die geclockt kan worden met een maximale snelheid van 20 Megasamples/s en die aan de analoge ingang signalen met een bandbreedte van 7 MHz kan verwerken. Deze ingang werkt negatief unipolair en heeft een bereik tot -2 V. De uitgangsspanningen van de 255 comparatoren worden opgeslagen in een dubbele latch, werkend met TTL-compatibele signalen.
Het IC heeft slechts één clock-signaal nodig. De schakeling moet symmetrisch gevoed worden uit typisch +/-5 V, maar kan ook goed werken met de van de ECL-logica bekende voedingsspanningen van +5,0 V en -5,2 V.

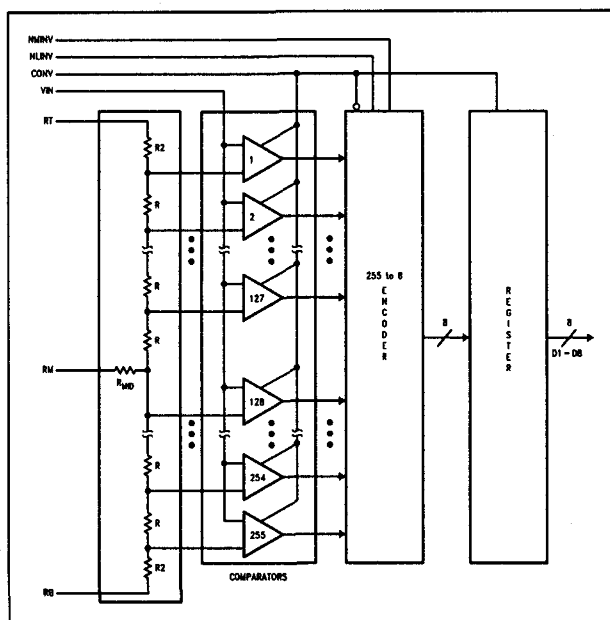


Figuur 12/8.4-58: Aansluitgegevens van de TDC 1048.

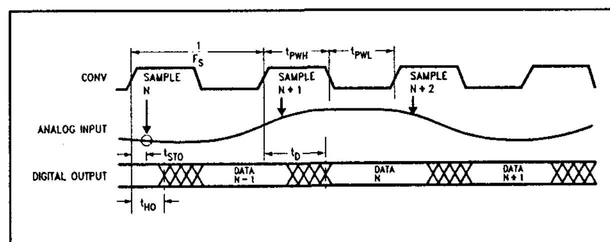
Technische gegevens

- fabrikant: Thomson
- behuizing: 28-pens PCC
- aansluitgegevens: figuur 12/8.4-58
- intern blokschema: figuur 12/8.4-59
- timing omzetting: figuur 12/8.4-60
- voedingsspanningen: +/-5 V typisch
- voedingsstromen: +45 mA, -165 mA
- nauwkeurigheid: 0,2 % volle schaal
- gegevens analoge ingang
  - ingangsspanning: -2 V max.
  - biasstroom: 250 µA
  - weerstand: 80 kΩ

  - capaciteit: 50 pF
  - bandbreedte: 7 MHz
- gegevens referentie
  - weerstand laddernetwerk: 67 Ω
- dynamische gegevens
  - maximale sampling: 20 Ms/s
  - aperture delay: 35 ns
  - jitter: 60 ps
  - transiënt response: 70 ns
  - signaal/ruis verhouding: 45 dB min.
- gegevens uitgangen
  - "H"-niveau: +2,4 V min.
  - "L"-niveau: +0,5 V max.
  - vertraging uitgang: 30 ns



Figuur 12/8.4-59: Intern blokschema van de TDC 1048.



Figuur 12/8.4-60: Timing van de omzetting bij de TDC 1048.

TDC 1058

8 bit, 7 MHz, one step, clocked

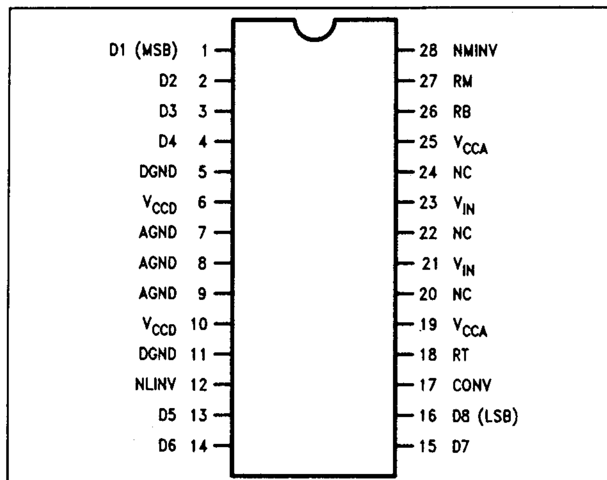
De TDC 1058 is een 8 bit one step ADC die geclockt kan worden met een maximale snelheid van 20 Megasamples/s en die een analoge bandbreedte heeft van gegarandeerd 7 MHz. De schakeling is voornamelijk ontwikkeld voor het digitaliseren van videosignalen, waarbij geen al te hoge eisen aan de kwaliteit worden gesteld. De analoge ingang werkt positief unipolair en heeft een bereik van +5 V.

De uitgangsspanningen van de 255 comparatoren worden opgeslagen in een dubbele latch werkend met TTL-compatibele signalen. Het IC heeft slechts één clock-signaal nodig en werkt met een enkelvoudige voeding van +5 V, hoewel wordt aanbevolen de analoge en digitale voeding te scheiden.

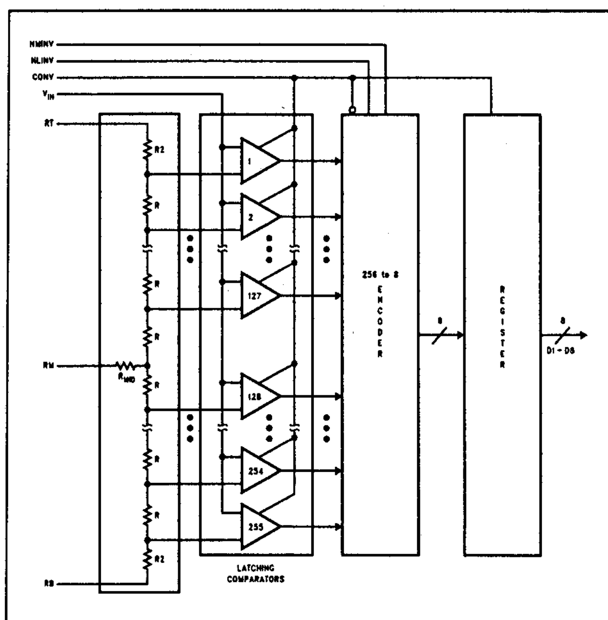
Technische gegevens

- fabrikant: Thomson
- behuizing: DIL-28
- aansluitgegevens: figuur 12/8.4-61
- intern blokschema: figuur 12/8.4-62
- timing omzetting: figuur 12/8.4-63
- voedingsspanningen: 2 x +5 V typisch
- voedingsstroom: 160 mA totaal
- nauwkeurigheid: 0,2 % volle schaal
- gegevens analoge ingang
  - ingangsspanning: +5 V max.
  - biasstroom: 250 μA
  - weerstand: 80 kΩ
  - capaciteit: 50 pF
  - bandbreedte: 7 MHz
- gegevens referentie
  - weerstand laddernetwerk: 67 Ω
- dynamische gegevens
  - maximale sampling: 20 Ms/s
  - aperture delay: 35 ns
  - jitter: 60 ps
  - transiënt response: 70 ns
  - signaal/ruis verhouding: 44 dB min.
- gegevens uitgangen
  - "H"-niveau: +2,4 V min.
  - "L"-niveau: +0,5 V max.
  - vertraging uitgang: 35 ns

8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-61: Aansluitgegevens van de TDC 1058.



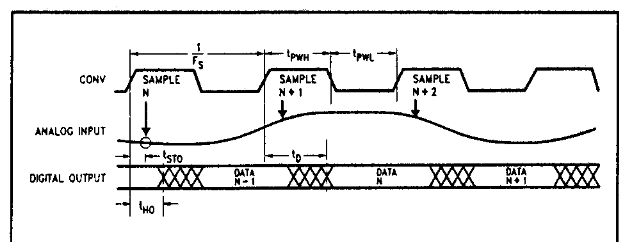
Figuur 12/8.4-62: Intern blokschema van de TDC 1058.

CXA 1096P

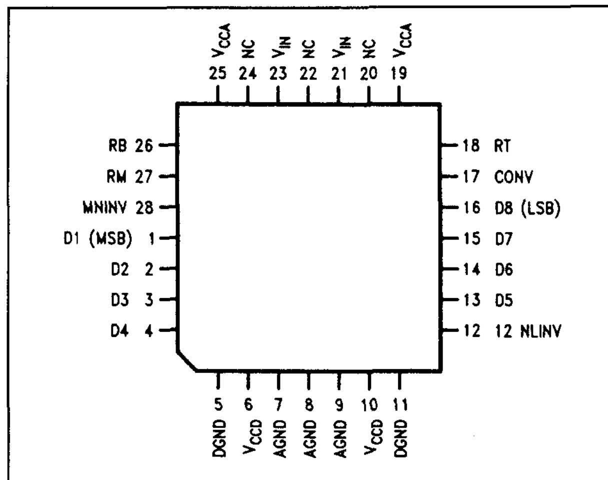
8 bit, 7 MHz, one step, clocked

De CXA 1096P is een middelmatig snelle 8 bit one step flash-ADC die geclockt kan worden met een snelheid van 20 Megasamples/s en met een analoge bandbreedte van gegarandeerd 7 MHz. De schakeling is ontwikkeld voor het digitaliseren van videosignalen. De analoge ingang werkt positief unipolair en heeft een bereik van +5 V. De uitgangsspanningen van de 255 comparatoren worden opgeslagen in een dubbele latch die werkt met TTL-compatibele signalen. Het IC heeft slechts één clock-signaal nodig en werkt met een enkelvoudige voeding van +5 V, hoewel wordt aanbevolen de analoge en digitale voeding te scheiden.

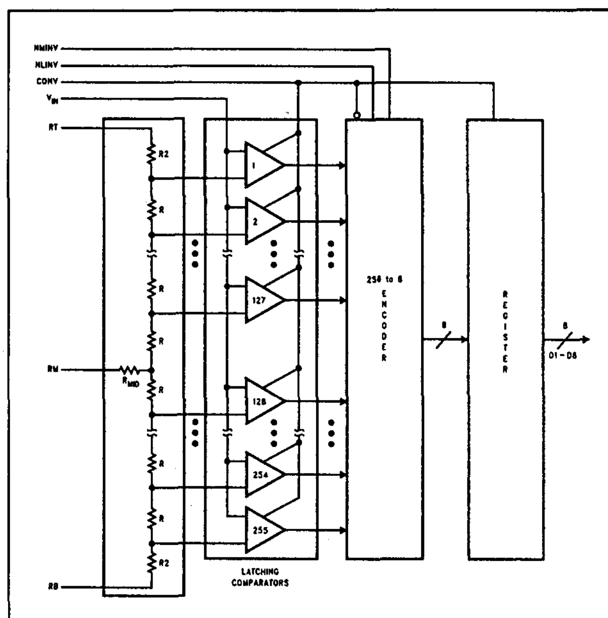
Technische gegevens
- fabrikant: Sony
- behuizing: 28-pens PCC
- aansluitgegevens: figuur 12/8.4-64
- intern blokschema: figuur 12/8.4-65
- timing omzetting: figuur 12/8.4-66
- voedingsspanningen: 2 x +5 V typisch
- voedingsstroom: 160 mA totaal
- nauwkeurigheid: 0,2 % volle schaal
- gegevens analoge ingang
  - ingangsspanning: +5 V max.
  - biasstroom: 250 μA
  - weerstand: 80 kΩ
  - capaciteit: 50 pF
  - bandbreedte: 7 MHz
- gegevens referentie
  - weerstand laddernetwerk: 67 Ω
- dynamische gegevens
  - maximale sampling: 20 Ms/s
  - aperture delay: 35 ns
  - jitter: 60 ps
  - transiënt response: 70 ns
  - signaal/ruis verhouding: 44 dB min.
- gegevens uitgangen
  - "H"-niveau: +2,4 V min.
  - "L"-niveau: +0,5 V max.
  - vertraging uitgang: 35 ns



Figuur 12/8.4-63: Timing van de TDC 1058.



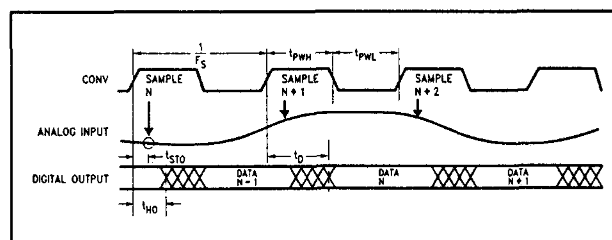
Figuur 12/8.4-64: Aansluitgegevens van de CXA 1096P.



Figuur 12/8.4-65: Intern blokschema van de CXA 1096P.

De analoge ingang werkt negatief unipolair en heeft een bereik tot -2 V. De uitgangsspanningen van de 255 comparatoren worden opgeslagen in een dubbele latch die werkt met TTL-compatibele signalen. Het IC heeft slechts één clock-signaal nodig. De schakeling moet symmetrisch gevoed worden uit typisch +/-5 V, maar kan ook goed werken met de van de ECL-logica bekende voedingsspanningen van +5,0 V en -5,2 V.

Technische gegevens
- fabrikant: Sony
- behuizing: DIL-28, 28-pens PCC
- aansluitgegevens: figuur 12/8.4-67
- intern blokschema: figuur 12/8.4-68
- timing omzetting: figuur 12/8.4-69
- voedingsspanningen: +/-5 V typisch
- voedingsstromen: +45 mA, -165 mA
- nauwkeurigheid: 0,2 % volle schaal
- gegevens analoge ingang
  - ingangsspanning: -2 V max.
  - biasstroom: 250 µA
  - weerstand: 80 kΩ
  - capaciteit: 50 pF
  - bandbreedte: 7 MHz
- gegevens referentie
  - weerstand laddernetwerk: 67 Ω
- dynamische gegevens
  - maximale sampling: 20 Ms/s
  - aperture delay: 35 ns
  - jitter: 60 ps
  - transiënt response: 70 ns
  - signaal/ruis verhouding: 45 dB min.
- gegevens uitgangen
  - "H"-niveau: +2,4 V min.
  - "L"-niveau: +0,5 V max.
  - vertraging uitgang: 30 ns



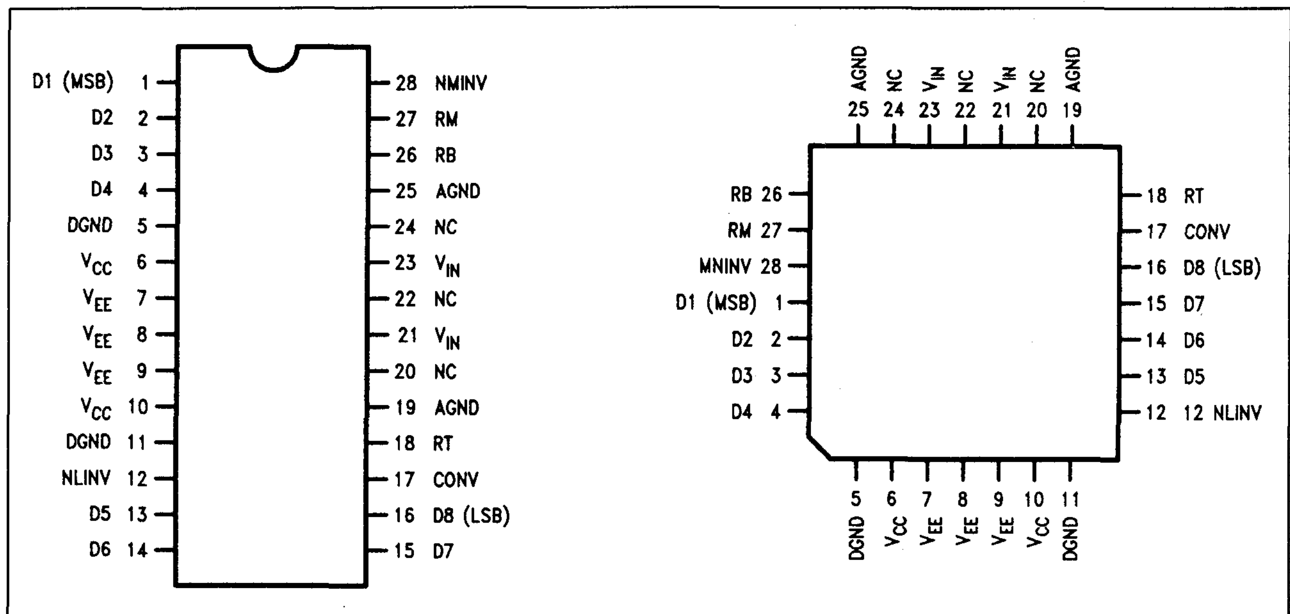
Figuur 12/8.4-66: Timing bij de CXA 1096P.

CXA 1296P

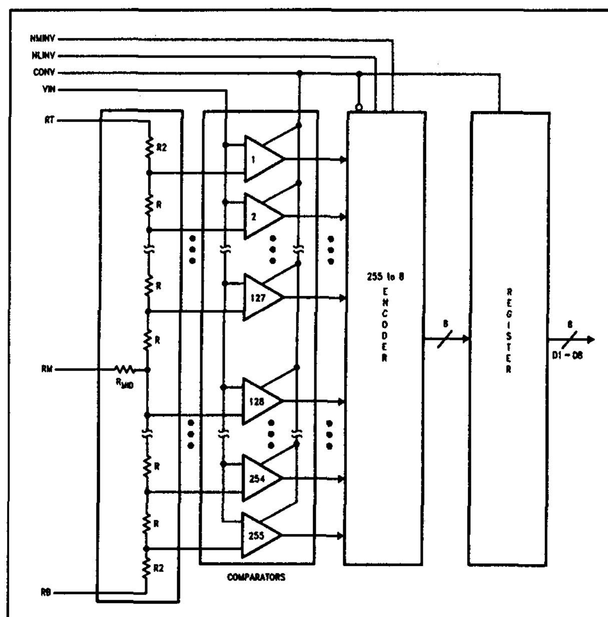
8 bit, 7 MHz, one step, clocked

De CXA 1296P is een voor het omzetten van analoge videosignalen ontwikkelde 8 bit one step ADC die geclockt kan worden met een maximale snelheid van 20 Megasamples/s en die een bandbreedte heeft van 7 MHz.

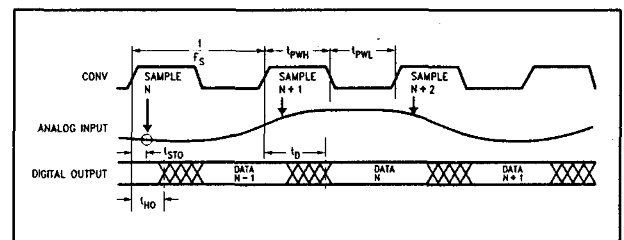
8.4 Type-beschrijving resolutie 8 bit en meer



Figuur 12/8.4-67: Aansluitgegevens van de twee versies van de CXA 1296P.



Figuur 12/8.4-68: Intern blokschema van de CXA 1296P.



Figuur 12/8.4-69: Timinggrafieken van de omzetting bij de CXA 1296P.

12/9

Delta-modulatoren en -demodulatoren

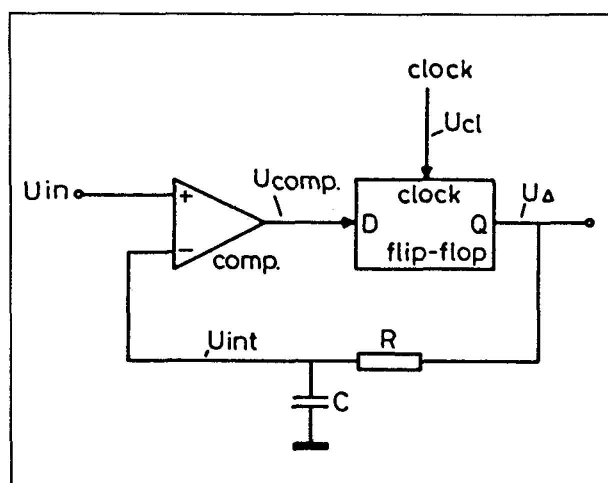
Inhoud

12/9.1

Achtergrond-informatie

Principe van de lineaire delta-modulator

De lineaire delta modulator is een serieel werkende analoog naar digitaal omzetter.
Een continu variërende analoge spanning wordt omgezet in een seriële pulstrein. De breedte van de pulsen is echter niet constant, maar afhankelijk van het verloop van de analoge spanning. Als deze stijgt zal de delta modulator zijn uitgangsspanning van "L" naar "H" sturen. Er ontstaat dus een stijgende flank als de ingangsspanning stijgt. Als de ingangsspanning daalt zal de uitgang van de modulator van "H" naar "L" gaan. Een dalende ingangsspanning veroorzaakt dus een dalende flank.
Als de ingangsspanning constant blijft zal het uitgangssignaal van de delta modulator zeer snel omschakelen van "L" naar "H" en vice versa.



Figuur 12/9.1-1: Principieel blokschema van een delta modulator.

Er ontstaan dan zeer smalle symmetrische pulsen, in feite dus een gewone blokgolf.
Een van de principiële eigenschappen van de delta modulator is dat de schakeling kan werken zonder sample-and-hold. Men kan een snel variërende analoge spanning aan de ingang leggen en de uitgangsspanning van de modulator zal een pulstrein opwekken waarbij de verhouding tussen de "L"- en de "H"-pulsen de digitale vertaling is van het variërende verloop van de ingangsspanning.

Blokschema van een delta modulator

Het principieel blokschema is getekend in figuur 12/9.1-1.
De analoge ingangsspanning wordt aangeboden aan de niet-inverterende ingang van een zeer snelle comparator COMP. De uitgang van deze schakeling stuurt een type D flip-flop. De clock-ingang van deze schakeling wordt gestuurd met een externe puls die de snelheid van het systeem bepaalt. De Q-uitgang U_{Δ} van de flip-flop stuurt een integrator die is samengesteld uit de weerstand R en de condensator C. De uitgangsspanning van deze integrator U_{int} stuurt de inverterende ingang van de comparator.
Er wordt dus een in zichzelf teruggekoppeld systeem gevormd waarbij de comparator de stand van de flip-flop stuurt en de flip-flop de referentiespanning van de comparator levert.
Bij iedere positieve flank op de clockingang kijkt de flip-flop naar de logische waarde van het signaal op de D-ingang. De Q-uitgang zal op dat moment de logische waarde van D overnemen en deze waarde blijft in de

9.1 Achtergrond-informatie

flip-flop opgeslagen tot er op de D-ingang een tegengesteld logisch signaal wordt ontvangen. Bij de volgende clock-puls wordt deze waarde in de flip-flop opgeslagen en wordt de Q-uitgang geïnverteerd.

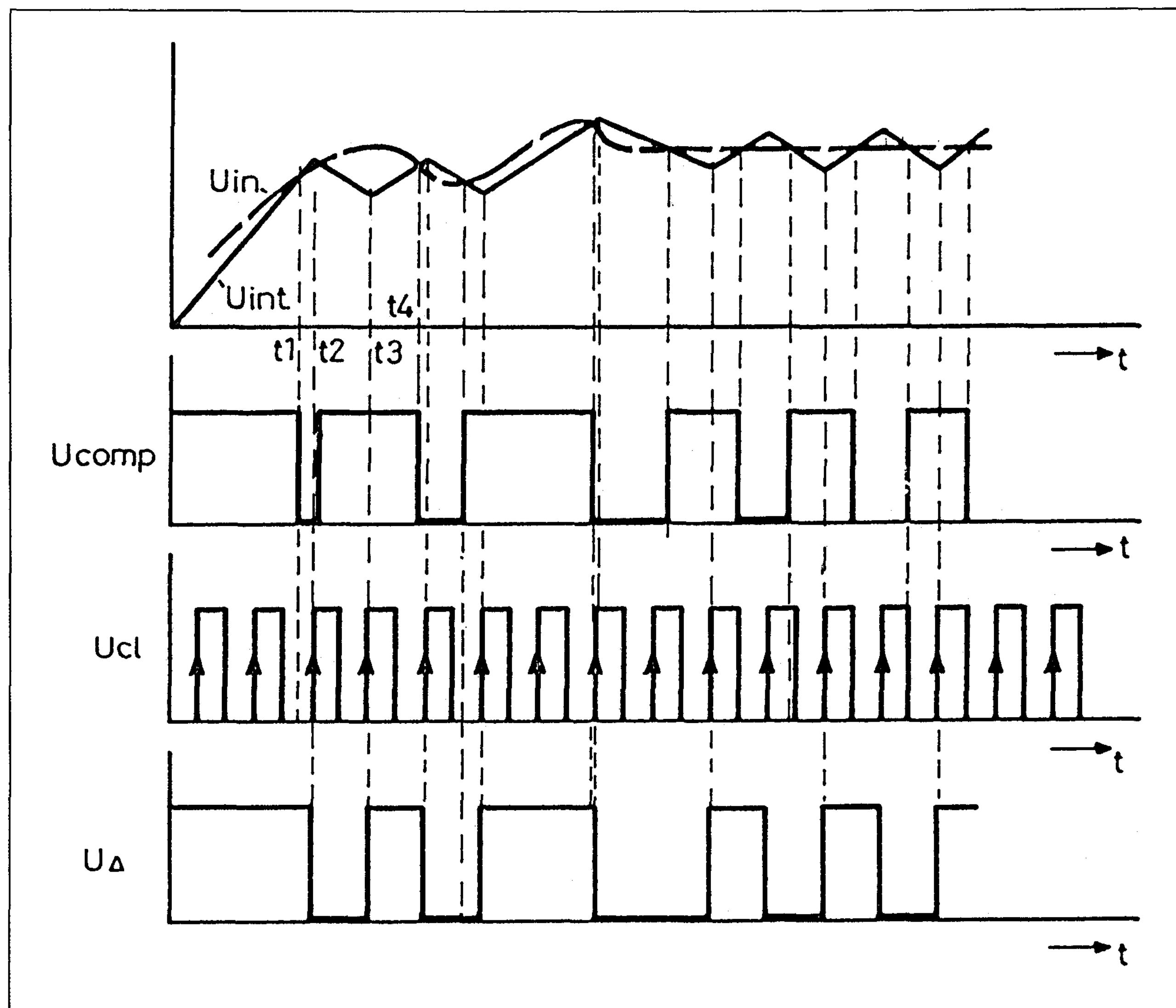
Gedetailleerde werkingsbeschrijving

De werking van de schakeling wordt gedetailleerd beschreven aan de hand van de grafieken in figuur 12/9.1-2.

Bij het inschakelen van de voedingsspanning is de spanning over de integratorcondensator uiteraard gelijk aan nul. De ingangsspanning heeft op dit moment een bepaalde positieve waarde. De spanning op de niet-inverterende ingang van de comparator is dus groter dan deze op de inverterende ingang. De uitgang van de comparator wordt "H".

Deze logische waarde verschijnt op de D-ingang van de flip-flop en wordt bij de eerste stijgende flank van het clock-signaal in de flip-flop geclocked.

De Q-uitgang van de schakeling, tevens de uitgang U_Δ van de delta modulator wordt bijgevolg "H".



Figuur 12/9.1-2: De werking van de delta modulator grafisch toegelicht.

Deze hoge spanning gaat de condensator C via de weerstand R opladen. De spanning op de inverterende ingang van de comparator gaat langzaam stijgen. Op tijdstip t1 wordt deze spanning gelijk aan de waarde van de ingangsspanning. De comparator klapt om, de uitgang wordt gelijk aan "L".
Op tijdstip t2, bij de volgende actieve flank van de clock, wordt deze nieuwe waarde van D in de flip-flop opgenomen. De uitgangsspanning van de schakeling gaat dus ook naar "L".

Het gevolg is nu dat de integratie-condensator via de weerstand gaat ontladen naar het massapotentiaal op de uitgang van de schakeling. De spanning op de inverterende ingang van de integrator daalt, met als gevolg dat deze schakeling dadelijk omklapt omdat de ingangsspanning nog steeds stijgende is en de spanning op de niet-inverterende ingang dus groter is dan de spanning op de inverterende ingang. D wordt dus weer "H".

Bij de volgende actieve flank van de clock (tijdstip t3) wordt deze waarde weer in de flip-flop ingelezen. De uitgangsspanning van de schakeling U_Δ wordt weer "H". De condensator gaat weer opladen, de spanning op de inverterende ingang van de comparator gaat stijgen.

Op deze manier zorgt de teruggekoppelde schakeling ervoor dat de spanning op de inverterende ingang van de comparator een zo goed mogelijke benadering wordt van de ingangsspanning.

Als de ingangsspanning constant blijft (rechter gedeelte van de grafieken) zal de flip-flop op het ritme van het clock-signaal steeds omklappen en zal de spanning op de inverterende ingang van de comparator driehoekvormig schommelen rond de constante waarde van de ingangsspanning.
Aan deze laatste eigenschap dankt de schakeling haar naam. De griekse letter Δ heeft een driehoekvorm!

Eigenschappen van delta modulatoren

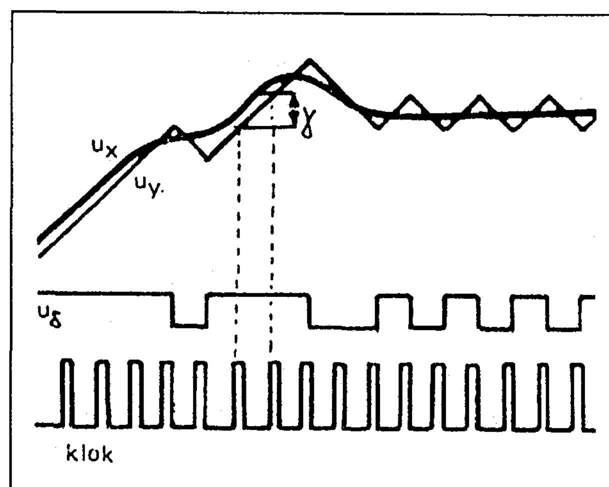
- Geen sample-and-hold
  Een van de voornaamste eigenschappen van delta modulatoren is dat de schakeling geen behoefte heeft aan een sample-and-hold. Bij de meeste analoog naar digitaal omzetters is het noodzakelijk dat de om te zetten ingangsspanning tijdens het omzettingsproces constant blijft. Men moet dan steeds een sample-and-hold inschakelen om de momentele waarde van de ingangsspanning even te "bevriezen". Hier is dat niet noodzakelijk hetgeen de schakeling zeer vereenvoudigt en speciale toepassingen binnen het bereik brengt.
- Seriële werking
  Tweede belangrijke eigenschap van een delta modulator is dat de schakeling serieel werkt.
  De schakeling heeft slechts één digitale uitgang en deze kan gemakkelijk verder verwerkt worden in digitale schakelingen zoals schuifregisters.

Het zal duidelijk zijn dat de nauwkeurigheid waarmee een delta modulator werkt in hoofdzaak afhankelijk is van de snelheid van de clock. Hoe sneller deze werkt, hoe sneller het systeem reageert op veranderingen in de momentele waarde van de ingangsspanning.

De lineaire delta demodulator

Na verwerking moet het delta gemoduleerde signaal in de meeste gevallen weer omgezet worden in een analoge spanning. Uit het principe van de delta modulator volgt in feite reeds hoe dat kan. De integrator R-C zet de uitgangsspanning van de delta modulator om in een analoge spanning die de analoge ingangsspanning zo goed mogelijk benadert.
Het volstaat dus de gemoduleerde spanning door een identieke integrator te sturen om de spanning na te bootsen die verschijnt op de inverterende ingang van de comparator in de modulator.

9.1 Achtergrond-informatie



Figuur 12/9.1-3: Grafische toelichting van de parameter "staphoogte" γ.

Het zal duidelijk zijn dat deze eenvoudige terugwinning van een delta gemoduleerd signaal niet in geringe mate bijdraagt aan de eenvoud van het systeem!

De nauwkeurigheid van een lineaire delta modulator

De mate waarin het geregenereerde analoge signaal vervormd is ten opzichte van het originele ingangssignaal wordt bepaald door de snelheid waarmee de integrator reageert.
Men definieert deze eigenschap door de staphoogte γ.
Deze parameter wordt toegelicht in figuur 12/9.1-3.

De staphoogte is de maximale spanning die het geregenereerde signaal gedurende één periode van de clock kan overbruggen. Als de ingangsspanning U_x van de modulator plotseling sterk gaat stijgen, dan zal de uitgang van de flip-flop naar "H" gestuurd worden.
De integrator gaat nu aan het werk, de integratorspanning U_y zal gaan stijgen. De snelheid waarmee deze spanning kan stijgen is afhankelijk van de tijdconstante van de integrator.
De waarde γ geeft aan hoeveel mV/clockperiode de integrator zijn uitgangsspanning kan laten dalen of stijgen. Deze waarde is, voor een gegeven schakeling, constant want immers alleen afhankelijk van de tijdconstante van de integrator.
Vandaar dat men de besproken basisschakeling een lineaire delta modulator noemt.

Hoe groter γ, hoe sneller de integrator in staat is zijn uitgangsspanning aan te passen aan snel variërende ingangsspanningen. Maar anderzijds heeft een grote γ tot gevolg dat, bij constante ingangsspanning, de integratorspanning behoorlijk rond deze constante waarde heen en weer gaat slingeren.

Er moet dus een compromis gevonden worden, maar zoals alle compromissen heeft ook dit compromis als nadeel dat in geen van beide situaties een bevredigende oplossing wordt gevonden.

De adaptieve delta modulator

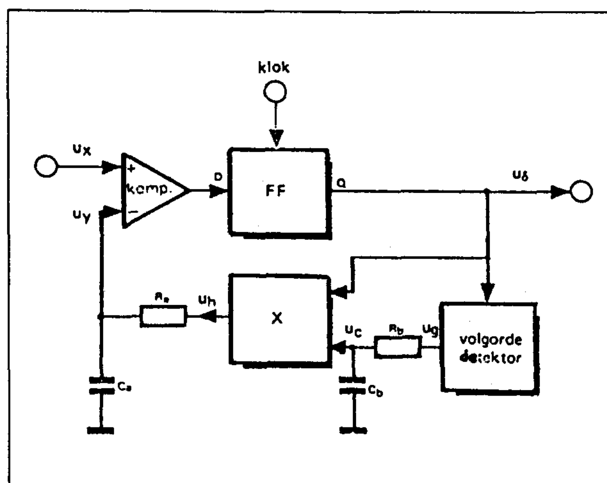
Een oplossing voor het probleem zou zijn de waarde van γ afhankelijk te maken van de momentele snelheidsvariatie van het ingangssignaal.
Als dit snel verandert, dan zou gewerkt moeten worden met een grote γ. Blijft het analoge ingangssignaal zo goed als constant, dan kan de waarde van γ gereduceerd worden.

Een delta modulator waarvan γ afhankelijk is van het snelheidsverloop van het ingangssignaal heeft een werking die vergelijkbaar is met deze van een automatische volumeregeling.
In de betere schakelingen wordt van dit principe gebruik gemaakt.
Men noemt dergelijke delta modulatoren adaptief of zelfinstellend. In het engels wordt vaak gesproken over een "companded delta modulator".

Blokschema van een adaptieve delta modulator

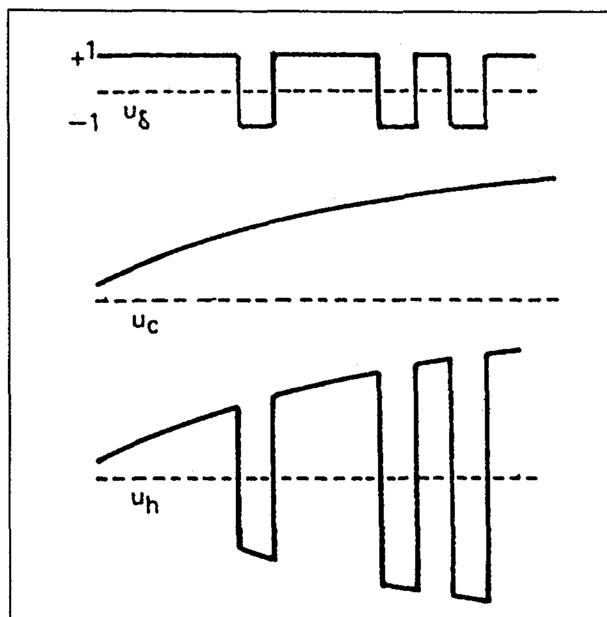
Het blokschema van een adaptieve delta modulator is getekend in figuur 12/9.1-4.

9.1 Achtergrond-informatie



Figuur 12/9.1-4: Het blokschema van de adaptieve delta modulator.

Men herkent de drie basisbestanddelen van de lineaire delta modulator: de comparator, de flip-flop en de integrator Ra-Ca. Daarnaast zijn er drie extra blokken noodzakelijk: een vermenigvuldiger X, een volgorde detector en een tweede integrator Rb-Cb die een veel grotere tijdconstante heeft dan de eerste.



Figuur 12/9.1-5: De werking van de adaptieve delta modulator grafisch toegelicht.

Gedetailleerde bespreking van de werking

De werking van de schakeling is tamelijk ingewikkeld en wordt toegelicht aan de hand van de grafieken van figuur 12/9.1-5.

De volgorde detector is een digitale schakeling. Deze bekijkt de onderlinge relatie tussen de uitgangspulsen van de modulator. Deze onderlinge relatie geeft immers informatie over de snelheid waarmee het analoge ingangssignaal varieert. Varieert dat niet erg snel, dan zal het uitgangssignaal van de delta modulator bestaan uit een groot aantal smalle pulsjes.
Stijgt de analoge ingangsspanning snel, dan zal de uitgangsspanning bestaan uit veel minder pulsen waarbij het "H"-aandeel veel groter is dan het "L"-aandeel. Dat kan men onmiddellijk afleiden bij een nadere bestudering van figuur 12/9.1-3.
Gaat het analoge ingangssignaal snel dalen, dan zal het uitgangssignaal van de delta modulator ook bestaan uit veel minder pulsen, maar nu zal het "L"-aandeel van de pulsen overheersen.

De volgorde detector wekt een brede positieve uitgangspuls op als hij constateert dat de ingangsspanning snel stijgt of snel daalt. Constateert hij daarentegen dat het analoge ingangssignaal traag varieert, dan wekt hij een logische "L" op.

Het uitgangssignaal U_g van de volgorde detector is dus "H" als de analoge ingangsspanning snel varieert en "L" als dit signaal traag is. Dit signaal wordt geïntegreerd door middel van de integrator Rb-Cb. Zoals reeds gezegd heeft deze integrator een vrij grote tijdconstante. Het uitgangssignaal van deze integrator U_c gaat dus stijgen als de ingangsspanning snel varieert en dalen als de ingangsspanning traag varieert.

Het signaal U_c moet nu zijn invloed laten gelden op de hoofd-integrator Ra-Ca van de delta modulator. Dat doet men door dit sig-

naal te vermenigvuldigen met het uitgangssignaal van de modulator. Wat er gebeurt valt onmiddellijk af te leiden uit de grafieken in figuur 12/9.1-5.
Het uitgangssignaal U_h van de vermenigvuldiger is, zuiver logisch bekeken, gelijk aan het uitgangssignaal van de modulator. Het signaal U_h volgt de logische status van het uitgangssignaal getrouw. Maar in plaats van constant om te schakelen tussen de vaste logische niveaus "L" en "H" zal U_h omschakelen tussen twee grenzen die bepaald worden door het regelsignaal U_c.

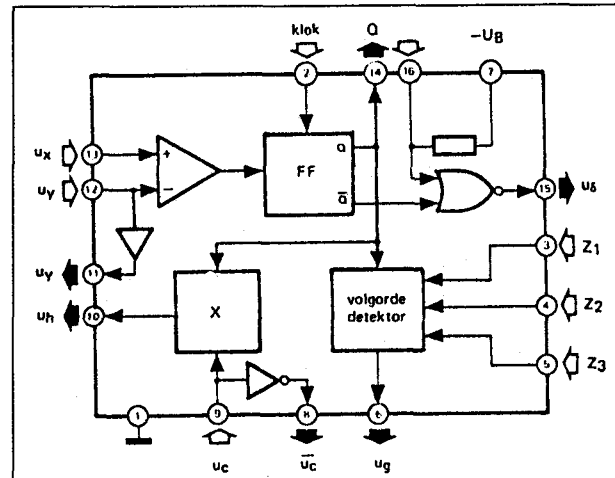
Op deze manier wordt de hoofd-integrator van de modulator gestuurd door de uitgangspulsen van de modulator zélf, net zoals dat het geval is bij de lineaire delta modulator, maar reageert de integrator ook op de snelheid waarmee de analoge ingangsspanning varieert.

Het gevolg is dat een veel getrouwere digitale representatie van het analoge ingangssignaal wordt verkregen en dat de adaptieve delta demodulator heel wat minder moeite heeft om de originele vorm van het analoge ingangssignaal te herwinnen.

De adaptieve delta demodulator
Ook nu zal het duidelijk zijn dat men een identieke schakeling nodig heeft als gebruikt in de adaptieve modulator.
De adaptieve delta demodulator bestaat dus uit een identieke volgorde detector, een hulpintegrator, een vermenigvuldiger en de hoofd-integrator.

Een praktische schakeling
Er zijn geïntegreerde schakelingen in de handel die het volledige proces van adaptieve delta modulatie en demodulatie uitvoeren.

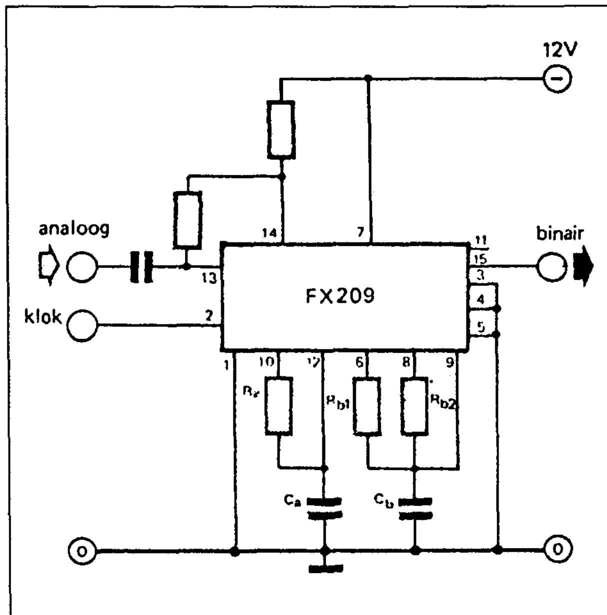
Als voorbeeld wordt de FX 209 besproken, een 16-pens IC dat als adaptieve modulator en idem demodulator kan ingezet worden.
Het blokschema van dit IC is getekend in figuur 12/9.1-6.



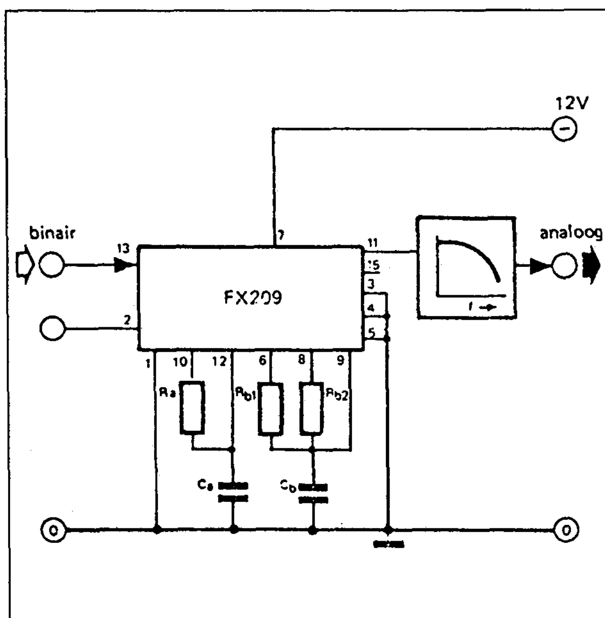
Figuur 12/9.1-6: Het interne blokschema van de FX 209.

Men herkent zonder moeite de bestanddelen van het theoretische blokschema van figuur 12/9.1-4 terug.
Er zijn echter enige extra's:
- Pen 11:
  Het signaal U_y wordt gebufferd uitgevoerd op deze pen.
  Op deze pen staat dus hetzelfde signaal als op pen 12, maar nu met een zeer lage impedantie.
- Pen 15
  Het uitgangssignaal van de modulator op pen 14 staat ook ter beschikking op pen 15.
  Alleen staat er een NOR-poort tussen. Als pen 16, de tweede ingang van de NOR, niet is aangesloten zijn de signalen op de pennen 14 en 15 identiek.
- Pen 8
  Op deze pen staat het geïnverteerde U_c-signaal ter beschikking.
- Pennen 3, 4 en 5
  Drie programmeerpennen waarmee men de werking van de volgorde detector kan instellen.
  Als deze drie ingangen aan de massa liggen zal de uitgang van de volgorde detector (pen 6) gedurende een clockperiode "H" blijven als Q gedurende drie clock-perioden onveranderd blijft.

9.1 Achtergrond-informatie



Figuur 12/9.1-7: De FX 209 als adaptieve delta modulator.



Figuur 12/9.1-8: Het praktische schema van een adaptieve delta demodulator met de FX 209.

Het IC werkt met negatieve logica, dat wil zeggen dat een logische "L" overeen komt met een spanning van ongeveer 0 V en een logische "H" met een negatieve spanning.

De FX 209 als adaptieve delta modulator

Het praktische schema van zo'n modulator is getekend in figuur 12/9.1-7.

De onderdelen Ra en Ca vormen de hoofdintegrator van het systeem. Tussen de pennen 6, 8 en 9 is de tragere integrator aangesloten die de adaptieve werking van het systeem verzorgt.
Weerstand Rb1 bepaalt de aanspreektijd, terwijl weerstand Rb2 verantwoordelijk is voor de afvaltijd.

Beide weerstanden vormen samen met de condensator Cb twee tijdconstanten die te vergelijken zijn met de opkom- en afvalvertragingen van een automatische volumeregeling.

Opmerkenswaard is de kleine rechtstreekse terugkoppeling van de uitgang (pen 14) naar de ingang (pen 13). Deze terugkoppeling zorgt ervoor dat de modulator bij een constante ingangsspanning inderdaad het gewenste patroon "L-H-L-H-L-...." op het ritme van het clock-signaal aflevert.

De FX 209 als adaptieve delta demodulator

In figuur 12/9.1-8 is het praktische schema getekend van een adaptieve delta demodulator rond de FX 209.

Het digitale signaal wordt niet rechtstreeks aan de volgorde detector en vermenigvuldiger aangeboden, maar aan de niet-inverterende ingang van de comparator. Omdat het signaal op de inverterende ingang altijd kleiner is dan het signaal op de niet-inverterende ingang volgt de uitgang van de comparator steeds het ingangssignaal van de demodulator. De comparator wordt in feite gebruik als een soort buffer.

Het analoge uitgangssignaal wordt afgenomen van pen 11 en moet via een laagdoorlaatfilter bevrijd worden van de resten van het clock-signaal. Het voordeel van een delta

demodulator is dat dit filter tamelijk vlak kan verlopen, zodat geen problemen ontstaan met looptijdvertragingen en de slechte respons op snelle pulsen.

Toepassingen van delta modulatoren

Delta modulatoren worden in de professionele elektronica voornamelijk gebruikt in moderne telecommunicatie-schakelingen. De seriële uitgang is immers ideaal om verwerkt te worden door enkeldraadsverbindingen zoals telefoonlijnen.

Bij het digitaliseren van telefoonverkeer heeft men immers steeds te maken met de beperking dat het digitale signaal over slechts één verbinding verstuurd kan worden.

Het gebruik van delta modulatie bespaart ingewikkelde parallel naar serieel omzetters die in de normale modems wel noodzakelijk zijn.

12/10

Frequentie naar spanning en spanning naar frequentie omzetters

Inhoud

ADVFC 32	500 kHz	+/-0,01 %	+/-100 ppm/°C
MPSVFC 32	500 kHz	+/-0,01 %	+/-150 ppm/°C
VFC 32	100 kHz	+/-0,01 %	+/-150 ppm/°C
VFC 42	10 kHz	+/-0,01 %	+/-50 ppm/°C
VFC 52	100 kHz	+/-0,05 %	+/-50 ppm/°C
VFC 62	1 MHz	+/-0,005 %	+/-50 ppm/°C
VFC 100	1 MHz	+/-0,02 %	+/-80 ppm/°C
VFC 101	100 kHz	+/-0,02 %	+/-40 ppm/°C
VFC 110	4 MHz	+/-0,05 %	+/-100 ppm/°C
LM 131	100 kHz	+/-0,01 %	+/-50 ppm/°C
TDB 0131	100 kHz	+/-0,01 %	+/-50 ppm/°C
LM 231	100 kHz	+/-0,01 %	+/-50 ppm/°C
VFC 320	1 MHz	+/-0,005 %	+/-20 ppm/°C
LM 331	100 kHz	+/-0,01 %	+/-50 ppm/°C
450	10 kHz	+/-0,005 %	+/-25 ppm/°C
451	20 kHz	+/-0,008 %	+/-50 ppm/°C
453	200 kHz	+/-0,008 %	+/-50 ppm/°C
454	20 kHz	+/-0,005 %	+/-25 ppm/°C
456	10 kHz	+/-0,02 %	+/-80 ppm/°C
458	100 kHz	+/-0,01 %	+/-5 ppm/°C
460	1 MHz	+/-0,015 %	+/-100 ppm/°C
AD 537	100 kHz	+/-0,07 %	+/-50 ppm/°C
AD 650	1 MHz	+/-0,01 %	+/-100 ppm/°C
AD 652	2 MHz	+/-0,005 %	+/-25 ppm/°C
AD 654	500 kHz	+/-0,1 %	+/-50 ppm/°C
SSM 2031	1 MHz	+/-0,1 %	
LM 2907	10 kHz	+/-0,3 %	
LM 2907N	10 kHz	+/-0,3 %	
LM 2907N-8	10 kHz	+/-0,3 %	
LM 2917	10 kHz	+/-0,3 %	

LM 2917N	10 kHz	+/-0,3 %	
LM 2917N-8	10 kHz	+/-0,3 %	
RC 4151	100 kHz	+/-0,013 %	+/-50 ppm/°C
RM 4151		+/-0,05 %	+/-100 ppm/°C
XR-4151		+/-0,05 %	+/-100 ppm/°C
RC 4152	100 kHz	+/-0,007 %	+/-50 ppm/°C
RC 4153	250 kHz	+/-0,01 %	+/-50 ppm/°C
MB 4207		geen gegevens bekend	
TA 8029 S		geen gegevens bekend	
TSC 9400	100 kHz	+/-0,05 %	+/-25 ppm/°C
TSC 9401	100 kHz	+/-0,02 %	+/-25 ppm/°C
TSC 9402	100 kHz	+/-0,25 %	+/-25 ppm/°C

12/10.1

Achtergrond-informatie

Principe

De spanning naar frequentie omzetter is een analoog naar digitaal omzetter die de grootte van de analoge ingangsspanning omzet in een blokspanning met een bepaalde frequentie.
De frequentie naar spanning omzetter doet uiteraard het tegengestelde. Een blokspanning wordt omgezet in een gelijkspanning, waarvan de grootte recht evenredig is met de momentele waarde van de frequentie van het ingangssignaal.

Er bestaat een bepaald eenvoudig wiskundig verband tussen de grootte van de analoge ingangsspanning U en de frequentie f_{uit} van het uitgangssignaal van de U→f omzetter:

$$f_{uit} = k \cdot U$$

Hierbij is k de omzettingsfactor, een constante grootheid die wordt uitgedrukt in kHz/V. Een omzetter met een k van 1 zal dus een ingangsspanning van 1 V omzetten in een signaal met een frequentie van 1 kHz en een ingangsspanning van 0,1 V omzetten in een signaal met een frequentie van 100 Hz.
Het verband tussen de analoge ingangsspanning en de uitgangsfrequentie is dus lineair.

Algemene eigenschappen

Uit het werkingsprincipe kan men twee belangrijke eigenschappen van de U→f omzetter afleiden.

- Op de eerste plaats werkt de schakeling serieel. Er is slechts één digitale uitgang beschikbaar waarop het spanningsverloop van de ingangsspanning onder digitale vorm terug te vinden is.
- Op de tweede plaats zal het duidelijk zijn dat een spanning naar frequentie omzetter voornamelijk bruikbaar is voor het digitaliseren van zeer traag variërende analoge spanningen.

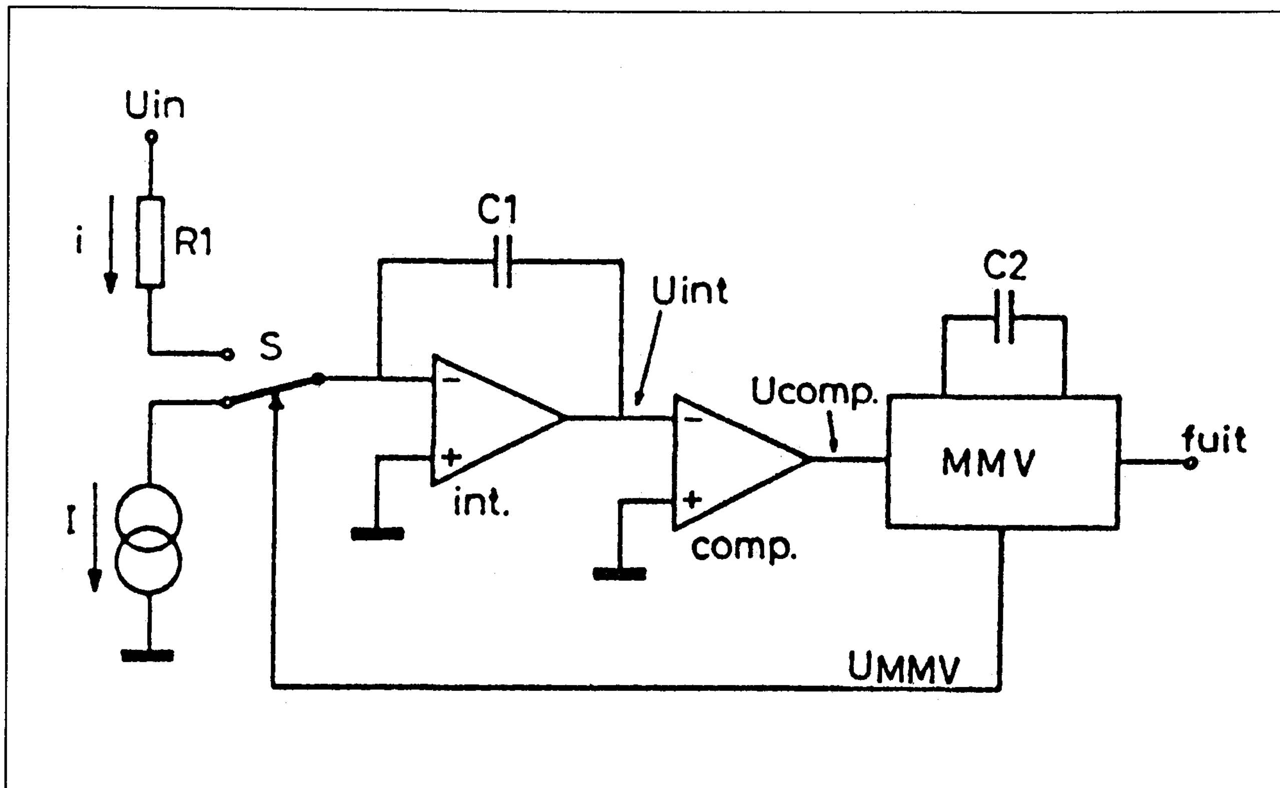
Dergelijke omzetters worden bijvoorbeeld in de industrie gebruikt om kleine gelijkspanningen, afkomstig van fysisch/elektronische omzetters zoals druksensoren, over grote afstanden te versturen.
Het digitale uitgangssignaal is immers veel minder storingsgevoelig dan de kleine analoge spanning van de omzetter en kan zonder gebruik te moeten maken van dure afgeschermde kabels over grote afstanden verstuurd worden. Ook kan het digitale signaal tamelijk eenvoudig koperloos verstuurd worden, bijvoorbeeld via glasvezelkabels of infrarode straalverbindingen door de lucht. Voornamelijk deze tweede toepassing kan in de industrie een heleboel geld besparen.

Nadien kan de pulsspanning door een frequentie naar spanning omzetter weer in een analoog signaal worden omgezet. In de meeste gevallen kan men daarvoor hetzelfde soort geïntegreerde schakelingen gebruiken.

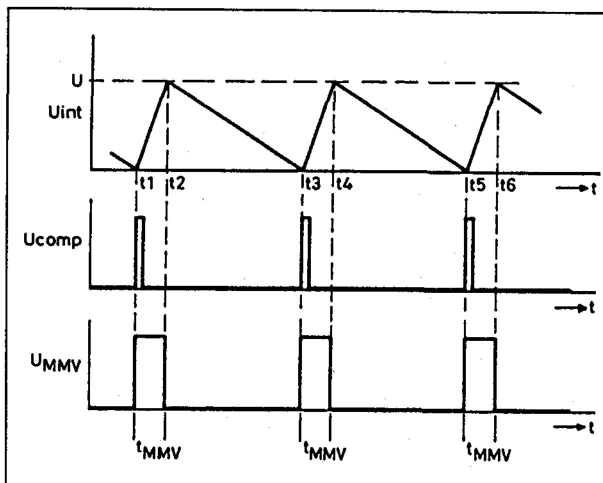
Blokschema van een U→f omzetter

Het werkingsprincipe van een spanning naar frequentie omzetter is getekend in figuur 12/10.1-1.

10.1 Achtergrond-informatie



Figuur 12/10.1-1: Het blokschema van een spanning naar frequentie omzetter.



Figuur 12/10.1-2: De grafische verklaring van de werking van de U→f omzetter.

De schakeling is samengesteld uit een integrator INT, een comparator COMP, een monostabiele multivibrator MMV, een constante stroombron I en een elektronische omschakelaar S.

De monostabiele multivibrator levert een puls af met een door C2 bepaalde breedte op het moment dat hij gestuurd wordt door het uitgangssignaal van de comparator.

De werking van de schakeling wordt toegelicht aan de hand van de grafieken in figuur 12/10.1-2.

In het kort komt de werking op het volgende neer. Gedurende de "H"-tijd van de uitgangspuls van de monostabiele multivibrator staat de schakelaar in de onderste stand.
De stroombron I trekt een constante stroom uit de integrator, waardoor de uitgangsspanning van dit onderdeel lineair gaat stijgen. De schakeling werkt immers inverterend, een negatieve stroom aan de ingang zorgt ervoor dat de uitgangsspanning stijgt.
Nadien klapt de schakelaar S om en wordt de integrator gestuurd met een stroom i die afkomstig is van de analoge ingangsspanning en waarvan de waarde bepaald wordt

10.1 Achtergrond-informatie

door de grootte van deze spanning en door de waarde van de serieweerstand R1. Deze stroom i heeft de tegengestelde richting van de stroom I.
Het gevolg is dat de uitgangsspanning van de integrator gaat dalen. Op het moment dat deze spanning gelijk wordt aan 0 V zal de comparator reageren. De niet-inverterende ingang van deze schakeling ligt immers aan de massa.
De uitgang van de comparator levert een signaal aan de monostabiele multivibrator. Deze schakeling levert weer een puls die de schakelaar S doet omschakelen en een tweede cyclus kan beginnen.

De werking in detail.
Voor moment t1 zorgt de stroom i ervoor dat de uitgangsspanning van de integrator gaat dalen. Op moment t1 gaat deze spanning door nul volt. De comparator slaat om en levert een puls aan de monostabiele multivibrator. Deze schakeling wekt een smalle puls op met een constante breedte t_{MMV}.
Deze puls schakelt de elektronische omschakelaar S naar de onderste stand. De stroom i van de constante stroombron gaat nu de integrator-condensator C1 opladen.
Het gevolg is dat de uitgangsspanning van de integrator stijgt. Omdat de tijdsduur van de MMV-puls en de stroom I constant zijn zal de eindwaarde van deze spanning voor alle cycli constant zijn en dus gelijk aan de waarde U.
Op tijdstip t2 valt de MMV-puls weg. De schakelaar schakelt om en de condensator C1 van de integrator wordt nu ontladen door de stroom i. De snelheid waarmee de uitgangsspanning van de integrator daalt is uiteraard afhankelijk van de grootte van de stroom i.
Deze grootte wordt in eerste instantie bepaald door de waarde van de weerstand R1. Deze is echter constant, dus deze weerstand zorgt alleen voor een constante factor. In tweede instantie is de grootte van de stroom i afhankelijk van de grootte van de ingangsspanning. Hoe groter deze spanning, hoe groter de stroom en hoe sneller de uitgangsspanning van de integrator zal dalen.

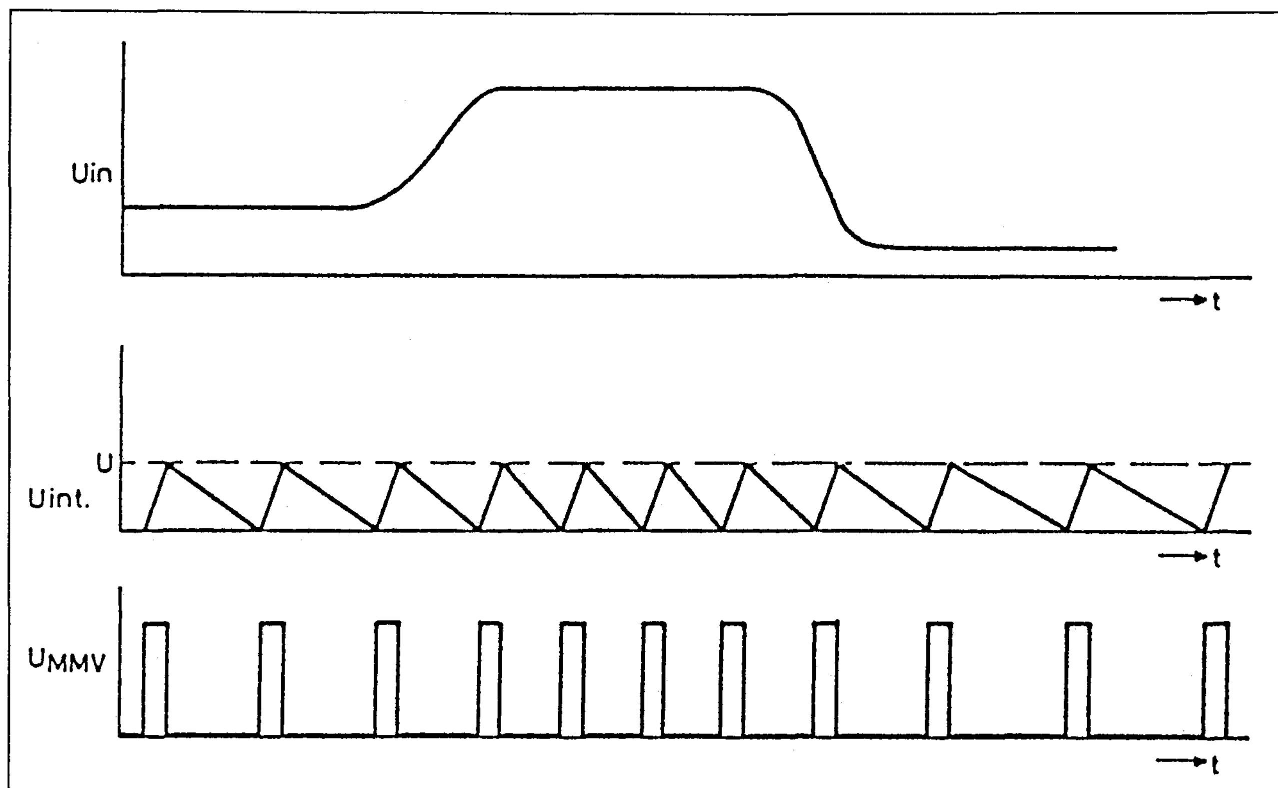
Op moment t3 wordt de integratorspanning gelijk aan nul volt. Het gevolg is dat de comparator een smalle positieve puls levert. Op dat moment wordt de spanning op de inverterende ingang immers kleiner dan de spanning op de niet inverterende ingang die gelijk is aan 0 V. De smalle puls op de uitgang van de comparator triggert de monostabiele multivibrator, die weer een puls met constante breedte aflevert. De volgende cyclus kan beginnen.

De analoge ingangsspanning wordt dus omgezet in een pulstrein, die beschikbaar staat op de uitgang van de monostabiele multivibrator.
Het zal duidelijk zijn dat de herhalingstijd van deze pulsen, dus de frequentie, recht evenredig is met de grootte van de analoge ingangsspanning. De tijd die verloopt tussen de momenten t2 en t3 wordt immers alleen bepaald door de constante waarde van de weerstand R1 en de grootte van de ingangsspanning.
Hoe groter de spanning, hoe sneller de integrator-condensator ontlaadt en hoe dichter de tijdstippen t2 en t3 bij elkaar komen te liggen.

Op deze manier is dus een recht evenredige relatie gelegd tussen de grootte van de analoge ingangsspanning en de herhalingsfrequentie van de pulsen op de uitgang van de monostabiele multivibrator.

In figuur 12/10.1-3 is geschetst wat er gebeurt als op de ingang van de schakeling een gelijkspanning wordt aangesloten die langzaam van waarde varieert. Dat zou bijvoorbeeld het uitgangssignaal van een temperatuur- of druksensor kunnen zijn.
Als de spanning stijgt, dan zullen de uitgangspulsen van de spanning naar frequentie omzetter dichter bij elkaar komen te liggen.

10.1 Achtergrond-informatie



Figuur 12/10.1-3: De reactie van een U→f omzetter op een langzaam variërende analoge spanning op de ingang.

De pulsbreedte blijft echter constant, omdat deze alleen wordt bepaald door de instelling van de monostabiele multivibrator. Als de spanning nadien weer daalt zullen de pulsen verder uit elkaar komen te liggen. Vandaar dat een U→f omvormer ook wel eens spanning naar tijd omzetter wordt genoemd. Het is immers het tijdverschil tussen twee opeenvolgende pulsen dat een maat is voor de grootte van de gemeten ingangsspanning.

Eigenschappen van spanning naar frequentie omzetters

Er worden tal van geïntegreerde spanning naar frequentie omzetters aangeboden van bekende merken zoals Analog Devices en Micro Power Systems.
Deze schakelingen hebben drie belangrijke specificaties:
- de omzettingsfactor;
- het omzettingsbereik;
- de nauwkeurigheid.

Deze drie specificaties worden nu in het kort besproken.
- De omzettingsfactor
  In de meeste gevallen kan men deze zélf bij het ontwerpen van de schakeling instellen. Toch geven alle fabrikanten een aanbevolen omzettingsfactor op. In de meeste gevallen is deze gelijk aan 1 kHz per volt.
  Voor zeer nauwkeurige schakelingen kan men werken met 10 kHz/V.
- Het omzettingsbereik
  Dit geeft aan tussen welke grenzen de ingangsspanning mag variëren.
  Dit bereik is van een aantal factoren afhankelijk.
  Op de eerste plaats bepaalt de serieweerstand in de ingangskring van de integrator de stroom die uit de ingangsspanning onttrokken wordt.
  Deze stroom mag natuurlijk een bepaalde waarde niet overschrijden.

10.1 Achtergrond-informatie

Op de tweede plaats is het spanningsbereik afhankelijk van de nauwkeurigheid die men aan het systeem stelt. Vandaar dat de meeste fabrikanten een link leggen tussen het bereik en de nauwkeurigheid. Men zegt bijvoorbeeld dat een omzetter een bereik van zes decaden heeft bij een nauwkeurigheid van 0,1 %.
Op de derde plaats is het bereik afhankelijk van de instelling van de monostabiele multivibrator.
Hoe hoger de ingangsspanning, hoe sneller de pulsen op elkaar volgen. De breedte van de pulsen wordt dan de beperkende factor.
Men zou natuurlijk de pulsbreedte van de uitgangspulsen kunnen verlagen, maar op een bepaald moment ontstaan dan problemen bij het terugwinnen van de analoge spanning uit de pulstrein.

- De nauwkeurigheid
  De nauwkeurigheid geeft aan in hoeverre een praktische schakeling afwijkt van de theoretische omzettingscoëfficiënt.
  Bij een omzetter met een omzetting van 1 kHz/V zou een ingangsspanning van 1 V een uitgangsfrequentie van exact 1 kHz moeten genereren en een ingangsspanning van 0,1 V een frequentie van 100 Hz. In de praktijk zal dat uiteraard niet het geval zijn, maar zullen er bepaalde afwijkingen optreden.
  Deze worden uitgedrukt in %, waarbij nauwkeurigheden van +/-0,01 % zonder meer haalbaar zijn!

De frequentie naar spanning omzetter

Het handige van het besproken systeem is dat voor het omgekeerde proces, het herwinnen van de analoge ingangsspanning uit de pulstrein, dezelfde schakeling kan worden gebruikt! Weliswaar zijn de verschillende blokken op een iets andere manier ingesteld.

Het basisschema is getekend in figuur 12/10.1-4.
De integrator wordt nu alleen gestuurd door de interne constante stroombron I en niet meer door een extern signaal. Over de integrator-condensator C1 is nu een weerstand R1 parallel geschakeld. De pulstrein wordt aangeboden aan de inverterende ingang van de comparator. Deze dient alleen als buffertrap.

Iedere inkomende puls zal de monostabiele multivibrator triggeren. Deze wekt een puls met constante breedte op die de schakelaar S even sluit. Het gevolg is dat voor iedere inkomende puls er even een stroom uit de integrator wordt onttrokken. Het gevolg is dat de condensator zich iets zal opladen.
Tussen twee pulsen is de schakelaar geopend en kan de condensator niet opladen. Hij wordt dan echter ontladen door de weerstand R1 die er parallel over staat.
Het gevolg is dat de schakeling streeft naar een evenwichtstand.
Er ontstaat over de condensator een spanning waarvan de grootte afhankelijk is van de verhouding tussen de laad- en de ontlaadtijd.

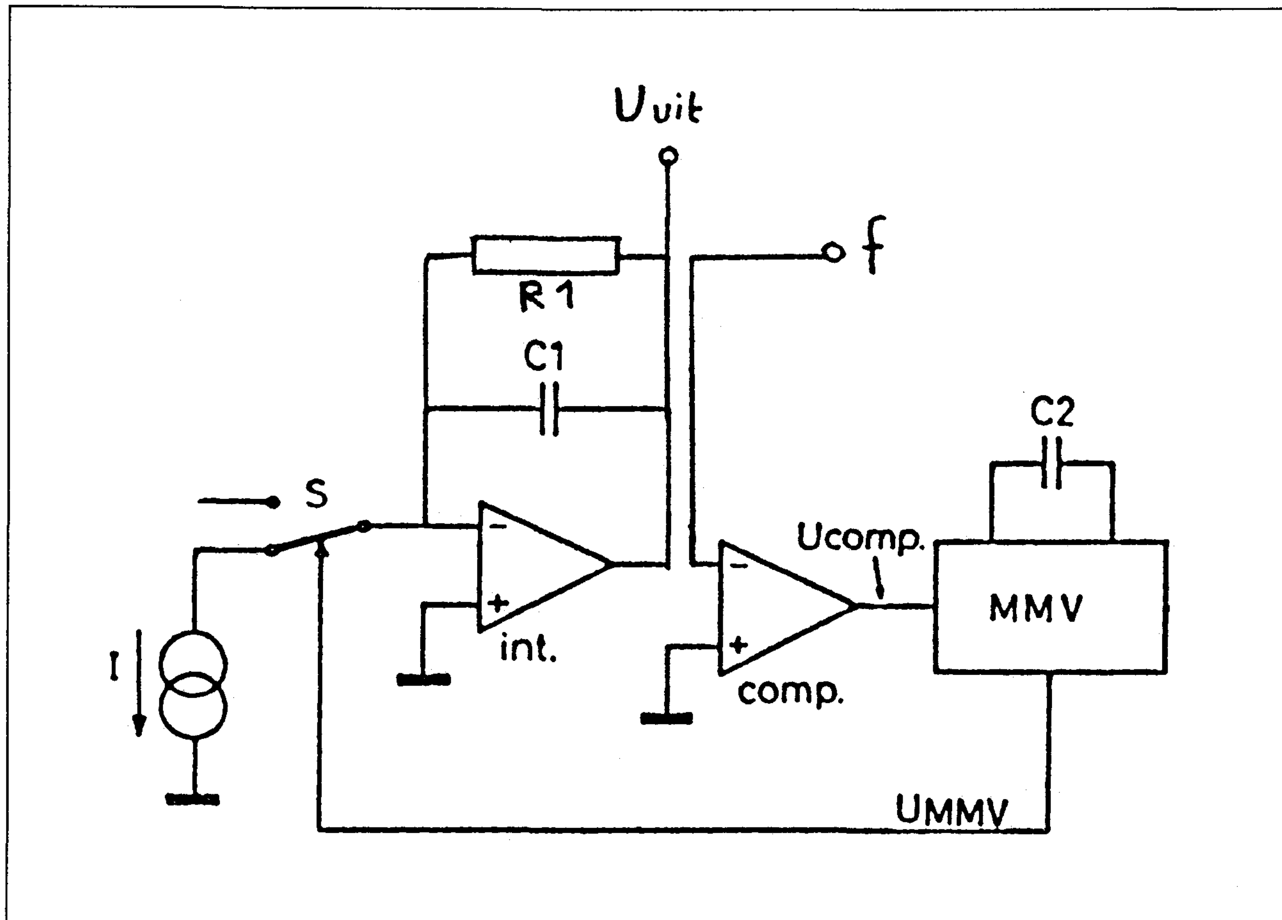
Het zal duidelijk zijn dat deze spanning groter wordt naarmate er meer pulsen ontvangen worden en kleiner wordt als er minder pulsen worden ontvangen.
Omdat zowel het laden als het ontladen van de condensator een lineair proces is zal de resulterende spanning over de condensator recht evenredig zijn met het aantal pulsen dat wordt ontvangen.

Ook deze schakeling werkt dus lineair: als een pulstrein met een frequentie van 1 kHz een resulterende spanning over de condensator van 1 V opwekt, dan zal een pulstrein met een frequentie van 3 kHz een resulterende spanning van 3 V genereren.

Een praktische schakeling

In figuur 12/10.1-5 wordt een praktische schakeling gegeven, de MP VFC32 van Micro Power Systems.
Uiteraard bevat zo'n praktische schakeling een aantal verfijningen.

10.1 Achtergrond-informatie

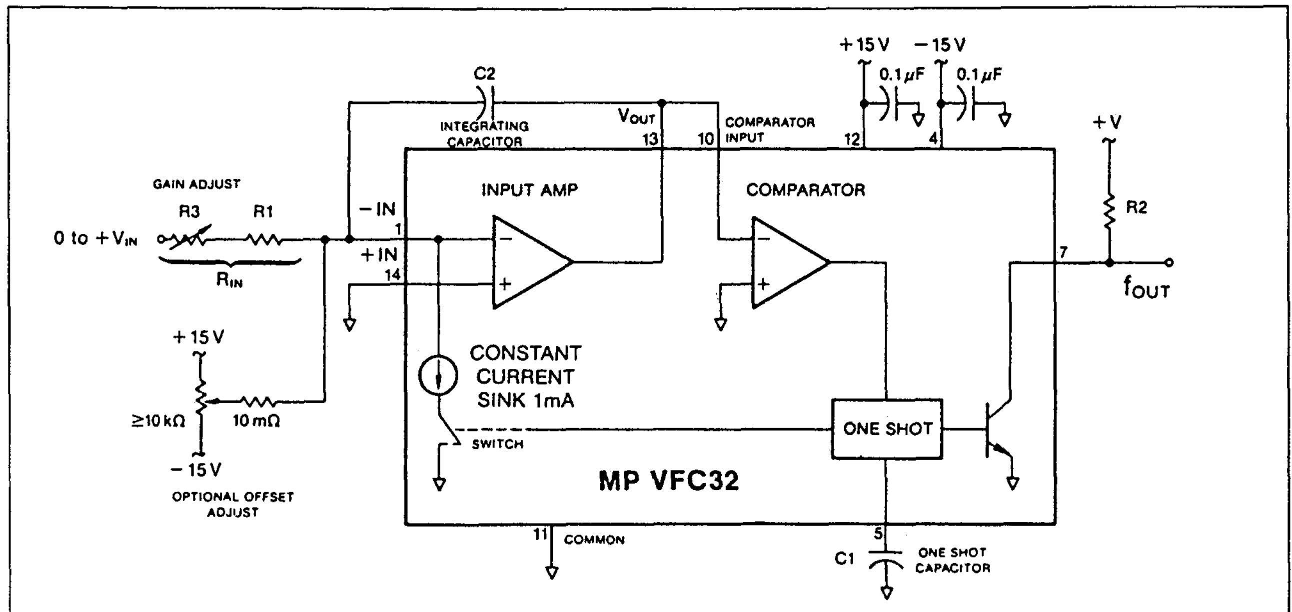


Figuur 12/10.1-4: Het principiële schema van een frequentie naar spanning omzetter.

Op de eerste plaats valt de OFFSET ADJUST op. Met deze potentiometer wordt een kleine positieve of negatieve spanning aan de ingang van de integrator toegevoerd. De noodzaak van deze voorziening zal duidelijk zijn. De integrator werkt met een operationele versterker en dergelijke schakelingen hebben als slechte eigenschap dat zij een offset hebben. Als de integrator noch door de interne stroombron, noch door de externe spanning gestuurd wordt, dan zou de uitgangsspanning van de schakeling nul moeten zijn en dat ook blijven. Door de kleine offsetstroom in de ingangen van de operationele versterker zal dat echter niet het geval zijn. De uitgangsspanning zal iets dalen of stijgen. Om dit verschijnsel te compenseren is de externe potentiometer noodzakelijk. Deze stuurt een klein positief of negatief stroompje naar de ingang van de integrator. Deze stroom is even groot maar tegengesteld aan de offsetstroom van de operationele versterker. Zonder deze voorziening zou de schakeling bij 0 V aan de ingang toch af en toe een puls opwekken, waardoor de nauwkeurigheid voor kleine ingangsspanningen zeer slecht zou zijn.

Op de tweede plaats valt op dat de ingangsspanning niet via een vaste weerstand maar via een potentiometer GAIN ADJUST aan de integrator wordt aangeboden. Met deze potentiometer kan men de schakeling ijken. Als men een omzettingsfactor van 1 kHz/V wil moet men een spanning van precies 1 V op de ingang zetten en deze potentiometer verdraaien tot de schakeling een pulstrein met een frequentie van precies 1 kHz genereert.

10.1 Achtergrond-informatie



Figuur 12/10.1-5: D e MP VFC32 is een spanning naar frequentie omzetter met een nauwkeurigheid van +/-0,01 %.

De schakeling heeft een maximaal bereik van 500 kHz aan de uitgang en van 6 decaden aan de ingang.
Dat wil dus zeggen dat gegarandeerd wordt dat bij de minimale spanning aan de ingang er niet meer dan 0,5 pulsen per seconde zullen worden gegenereerd! De lineariteit over dit bereik bedraagt +/-0,05 % en stijgt tot +/-0,01 % als men het werkingsbereik beperkt tot 10 kHz.

10.1 Achtergrond-informatie

12/10.2

Type-beschrijving

ADVFC 32

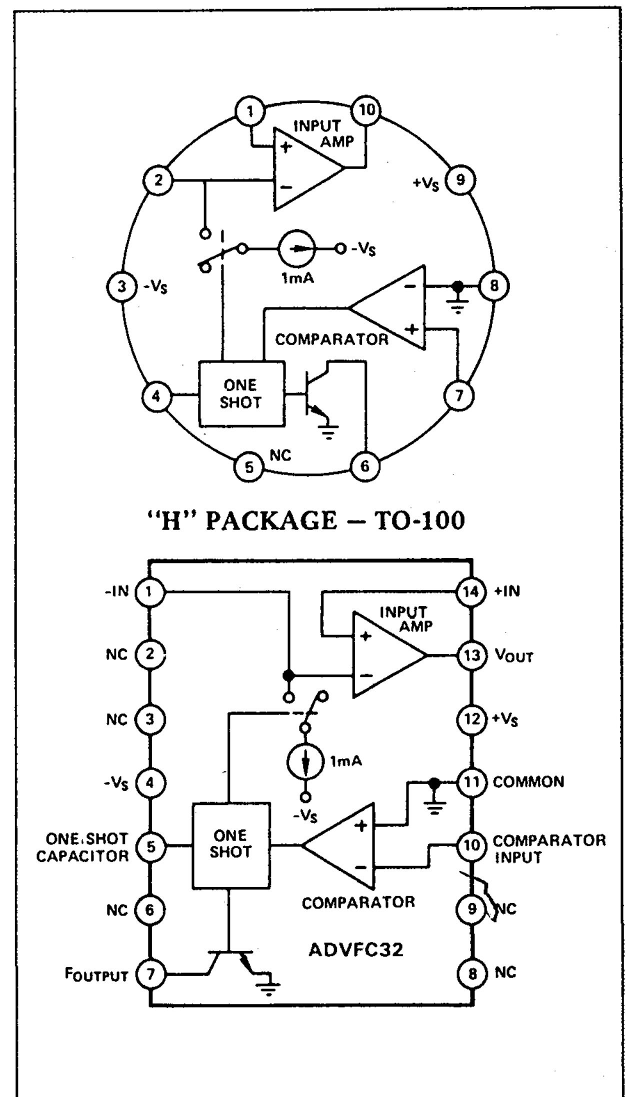
500 kHz, +/-0,01 %, +/-100 ppm/°C

Low-cost spanning naar frequentie omzetter, die een industrie standaard is geworden. Heeft een gemiddelde fout van +/-0,01 % bij 10 kHz op de uitgang, maar kan ingezet worden tot ongeveer 500 kHz. De schakeling is in staat bipolaire ingangsspanningen of -stromen te verwerken. Gebruikt als frequentie naar spanning omzetter kan de schakeling door enige externe componenten aangepast worden aan alle logische standaardniveau's.

De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: TO-100, DIL-14
- aansluitgegevens: figuur 12/10.2-1
- intern blokschema: figuur 12/10.2-1
- voedingsspanning: +/-9 V tot +/-20 V
- voedingsstroom: +10, -6 mA
- ingangsspanning: +/-10 V max.
- ingangsstroom: +/-0,25 mA max.
- ingangsimpedantie: 170 kΩ
- biasstroom: 40 nA
- offsetspanning: 4 mV max.
- uitgangsspanning: 0 tot 10 V max.
- uitgangsstroom: 10 mA max.
- frequentiebereik: 0 tot 500 kHz max.
- niet-lineariteit:
  +/-0,01 % tot 10 kHz
  +/-0,05% tot 100 kHz
  +/-0,2 % tot 500 kHz
- temperatuurscoëfficiënt: +/-100 ppm/°C
- kalibratie-fout: +/-0,002 % volle schaal



Figuur 12/10.2-1: Aansluitgegevens en intern blokschema van de ADVFC 32.

10.2 Type-beschrijving

Voorbeeld-schakelingen

– figuur 12/10.2-2:

Schakeling bruikbaar voor unipolaire positieve ingangsspanningen die naar frequentie worden omgezet.

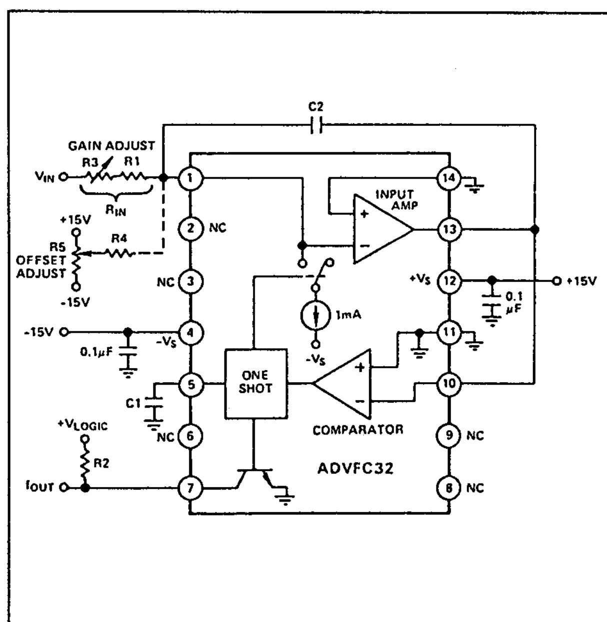
De frequentie op de uitgang wordt gegeven door de formule:

$$f_{uit} = U_{in} / (1 \text{ mA} \times t_{MMV} \times R_{IN})$$

De waarde van de twee condensatoren wordt gegeven door de uitdrukkingen:

$$C_1 = (3{,}3 \times 10^{-5}) / f_{max} - 3{,}0 \times 10^{-11} \text{ [F]}$$

$$C_2 = 10^{-4} / f_{max} \text{ [F]}$$



Figuur 12/10.2-2: Spanning naar frequentie omzetter voor positieve ingangsspanningen.

De ingangsweerstand R_{IN} wordt berekend in kΩ door de maximale ingangsspanning te delen door 0,25.

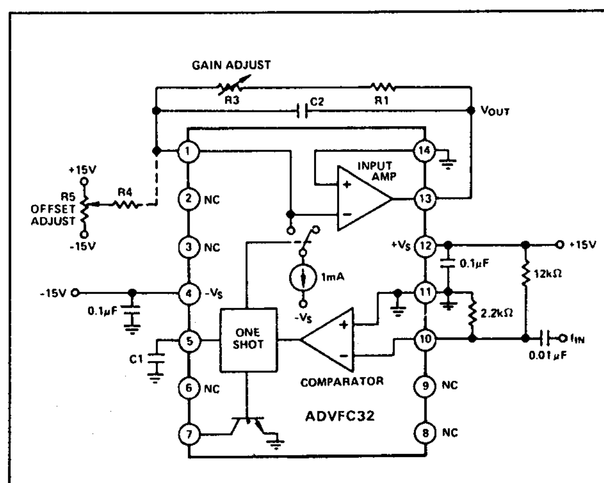
– figuur 12/10.2-3:

Spanning naar frequentie omzetter voor negatieve ingangsspanningen. Deze schakeling heeft een veel hogere ingangsimpedantie dan de vorige, namelijk 250 kΩ.

– figuur 12/10.2-4:

Frequentie naar spanning omzetter met de ADVFC 32. De schakeling werkt met TTL ingang.

Figuur 12/10.2-3: Spanning naar frequentie omzetter voor negatieve ingangsspanningen.



Figuur 12/10.2-4: Frequentie naar spanning omzetter met de ADVFC 32.

MPVFC 32

500 kHz, +/-0,01 %, +/-150 ppm/°C

Compatibele uitvoering van de ADVFC 32, op de markt gebracht door Micro Power Systems. Heeft echter op enige punten afwijkende specificaties.

10.2 Type-beschrijving

Technische gegevens
- fabrikant: Micro Power Systems
- behuizing: TO-100, DIL-14
- aansluitgegevens: figuur 12/10.2-1
- intern blokschema: figuur 12/10.2-1
- voedingsspanning: +/-9 V tot +/-22 V
- voedingsstroom: +10, -6 mA
- ingangsspanning: +/-10 V max.
- ingangsstroom: +/-0,25 mA max.
- ingangsimpedantie: 300 kΩ
- biasstroom: 100 nA
- offsetspanning: 4 mV max.
- uitgangsspanning: 0 tot 10 V max.
- uitgangsstroom: 20 mA max.
- frequentiebereik: 0 tot 500 kHz max.
- niet-lineariteit:
  +/-0,01 % tot 10 kHz
  +/-0,025 % tot 100 kHz
  +/-0,5 % tot 500 kHz
- temperatuurscoëfficiënt: +/-150 ppm/°C
- kalibratie-fout: +/-0,005 % volle schaal

Voor de overige gegevens en de voorbeeldschakelingen wordt verwezen naar de ADVFC 32.

VFC 32

100 kHz, +/-0,01 %, +/-150 ppm/°C

Low-cost spanning naar frequentie omzetter, die een industrie standaard is geworden. Is compatible met de ADVFC 32 van Analog Devices, maar heeft afwijkende specificaties.

Technische gegevens
- fabrikant: Burr-Brown
- behuizing: TO-100, DIL-14
- aansluitgegevens: figuur 12/10.2-1
- intern blokschema: figuur 12/10.2-12
- voedingsspanning: +/-11 tot +/-20 V
- voedingsstroom: +/-6 mA
- ingangsspanning: +/-10 V max.
- ingangsstroom: +/-0,25 mA max.
- ingangsimpedantie: 650 kΩ
- biasstroom: 100 nA
- offsetspanning: 4 mV max.
- uitgangsspanning: 0 tot 10 V max.
- uitgangsstroom: 10 mA max.
- frequentiebereik: 0 tot 500 kHz max.
- niet-lineariteit:
  +/-0,01 % tot 10 kHz
  +/-0,05% tot 100 kHz
  +/-0,05 % tot 500 kHz
- temperatuurscoëfficiënt: +/-150 ppm/°C
- kalibratie-fout: +/-0,002 % volle schaal

Voor de overige gegevens en de voorbeeldschakelingen wordt verwezen naar de ADVFC 32.

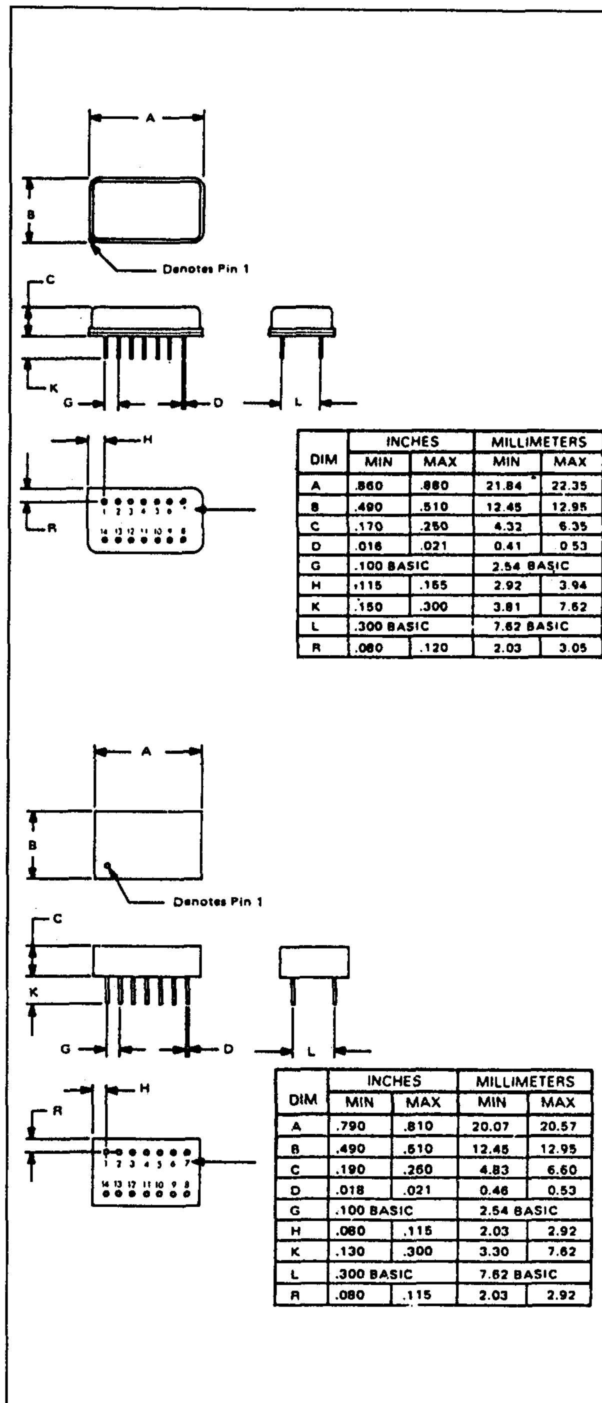
VFC 42

10 kHz, +/-0,01 %, +/-50 ppm/°C

Hybride-schakeling met zeer lage temperatuurscoëfficiënt maar zeer laag frequentiebereik. Heeft een gemiddelde fout van +/-0,01 % bij 10 kHz op de uitgang, maar kan ingezet worden tot ongeveer 100 kHz. Gebruikt als frequentie naar spanning omzetter kan de schakeling door enige externe componenten aangepast worden aan alle logische standaard-niveau's. De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens
- fabrikant: Burr-Brown
- behuizing: speciaal, figuur 12/10.2-5
- aansluitgegevens: figuur 12/10.2-5
- intern blokschema: figuur 12/10.2-6
- voedingsspanning: +/-9 V tot +/-20 V
- voedingsstroom: +/-6,5 mA
- ingangsspanning: +/-10 V max.
- ingangsstroom: +/-0,25 mA max.
- ingangsimpedantie: 40 kΩ
- biasstroom: 8 nA
- offsetspanning: 0,1 mV max.
- uitgangsspanning: 0 tot 10 V max.
- uitgangsstroom: 10 mA max.
- frequentiebereik: 0 tot 10 kHz max.
- niet-lineariteit:
  +/-0,01 % tot 10 kHz
- temperatuurscoëfficiënt: +/-50 ppm/°C
- kalibratie-fout: +/-0,005 % volle schaal

10.2 Type-beschrijving



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.860	.880	21.84	22.35
B	.490	.510	12.45	12.95
C	.170	.250	4.32	6.35
D	.016	.021	0.41	0 53
G	.100 BASIC		2.54 BASIC	
H	.115	.155	2.92	3.94
K	.150	.300	3.81	7.62
L	.300 BASIC		7.62 BASIC	
R	.080	.120	2.03	3.05

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.790	.810	20.07	20.57
B	.490	.510	12.45	12.95
C	.190	.260	4.83	6.60
D	.018	.021	0.46	0.53
G	.100 BASIC		2.54 BASIC	
H	.080	.115	2.03	2.92
K	.130	.300	3.30	7.62
L	.300 BASIC		7.62 BASIC	
R	.080	.115	2.03	2.92

Figuur 12/10.2-5: Behuizing van de VFC 42.

Voorbeeld-schakelingen

- figuur 12/10.2-7:

Standaard schema van een spanning naar frequentie omzetter rond de VFC 42.

- figuur 12/10.2-8:

Standaard schema van een frequentie naar spanning omzetter met een VFC 42.

- figuur 12/10.2-9:

Eenvoudig digitaal transmissie systeem met twee VFC 42'ers. De analoge ingangsgegevens worden in de zender omgezet in een digitale pulstrein, deze pulsen worden in de ontvanger weer omgezet in een gelijkspanning. Het spanningsbereik gaat van 0 tot +10 V, er kan een getwiste afgeschermde kabel met een impedantie van 100 Ω worden gebruikt. De rimpel op de uitgang van de ontvanger bedraagt slechts 10 mV op 10 V, de settling-tijd voor een spanningssprong aan de ingang van 0 tot + 10 V bedraagt 60 ms.

VFC 52

100 kHz, +/-0,05 %, +/-50 ppm/°C

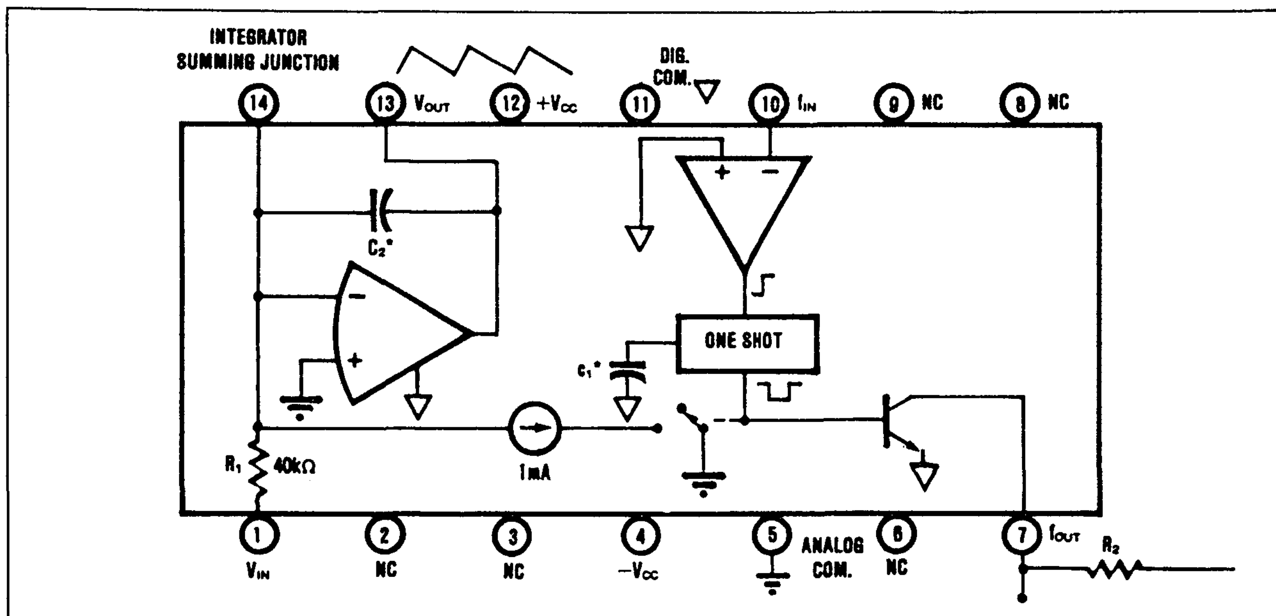
Volledig compatible, wat betreft aansluitgegevens en intern blokschema, met de VFC 42. De schakeling heeft echter afwijkende specificaties.

Technische gegevens

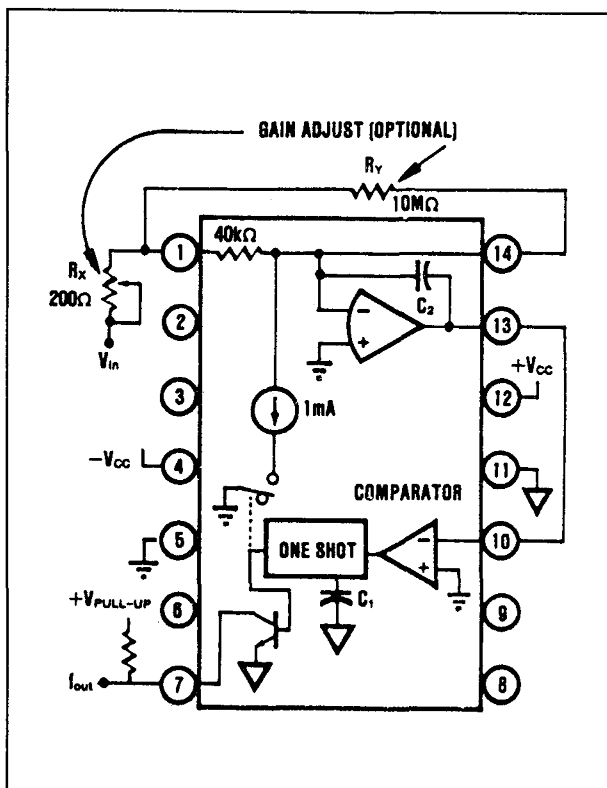
- fabrikant: Burr-Brown
- behuizing: speciaal, zie figuur 12/10.2-5
- aansluitgegevens: figuur 12/10.2-5
- intern blokschema: figuur 12/10.2-6
- voedingsspanning: +/-9 V tot +/-20 V
- voedingsstroom: +/-6,5 mA
- ingangsspanning: +/-10 V max.
- ingangsstroom: +/-0,25 mA max.
- ingangsimpedantie: 48 kΩ
- biasstroom: 8 nA
- offsetspanning: 0,2 mV max.
- uitgangsspanning: 0 tot 10 V max.
- uitgangsstroom: 10 mA max.
- frequentiebereik: 0 tot 100 kHz max.
- niet-lineariteit:
  +/-0,05% tot 10 kHz
- temperatuurscoëfficiënt: +/-50 ppm/°C
- kalibratie-fout: +/-0,002 % volle schaal

Voor de overige gegevens en voorbeeldschakelingen wordt verwezen naar VFC 42.

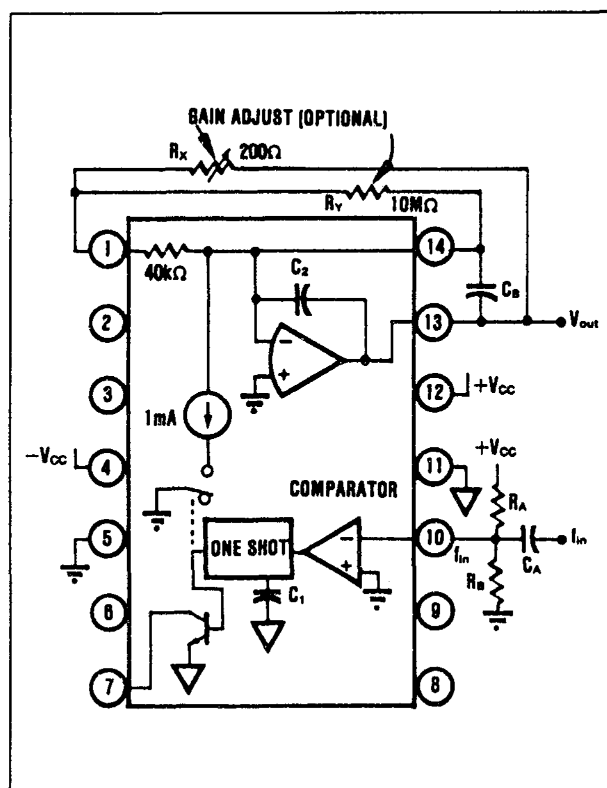
10.2 Type-beschrijving



Figuur 12/10.2-6: Intern blokschema en aansluitgegevens van de VFC 42.

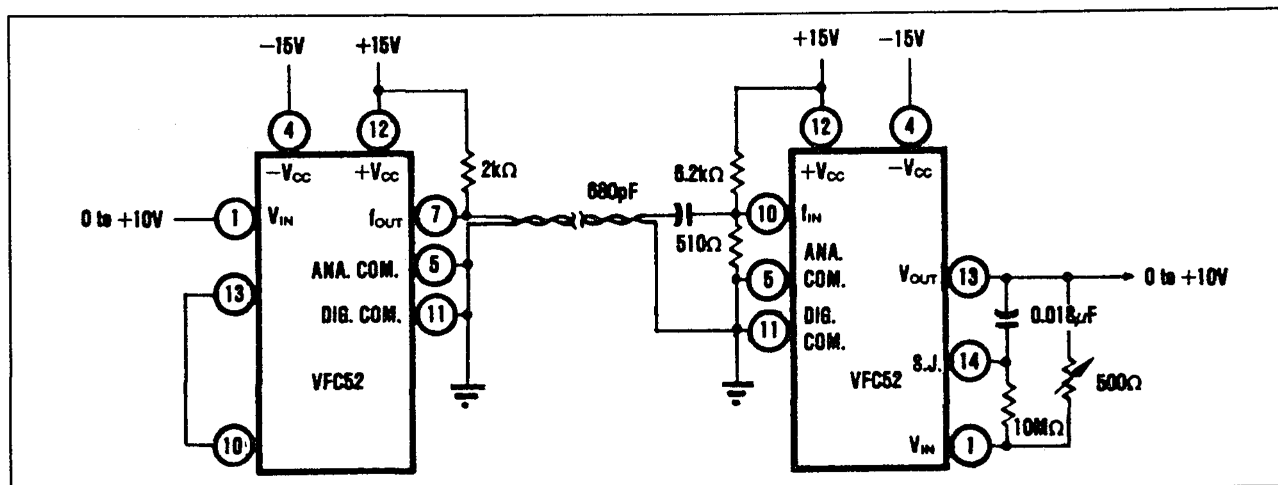


Figuur 12/10.2-7: U naar f omzetter met een VFC 42.



Figuur 12/10.2-8: f naar U omzetter met een VFC 42.

10.2 Type-beschrijving



Figuur 12/10.2-9: Eenvoudig digitaal transmissie systeem met twee VFC 42 IC's.

VFC 62

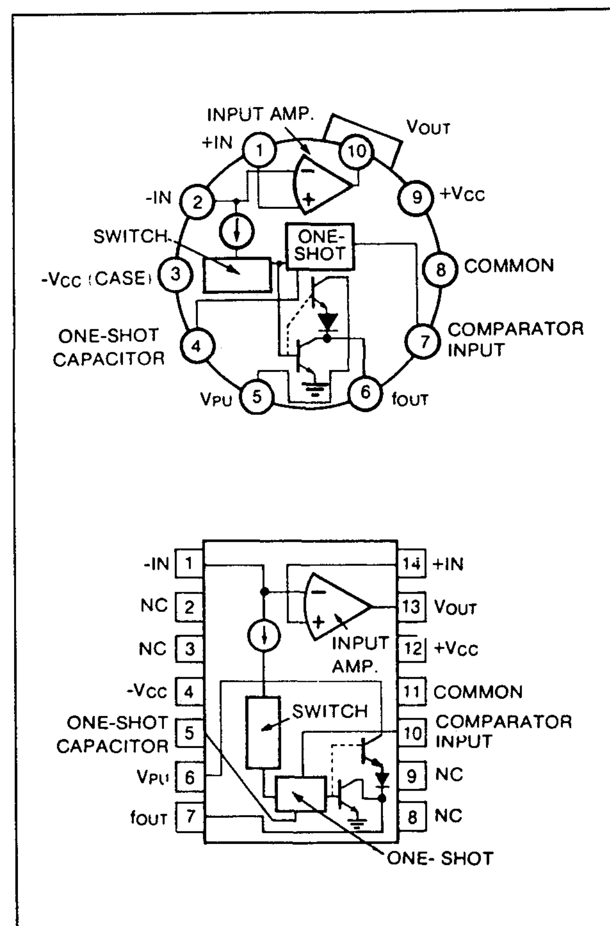
1 MHz, +/-0,005 %, +/-50 ppm/°C

Spanning naar frequentie omzetter, die wordt gekenmerkt door een zeer hoge lineariteit. Heeft een gemiddelde fout van +/-0,005 % bij 10 kHz op de uitgang.

De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

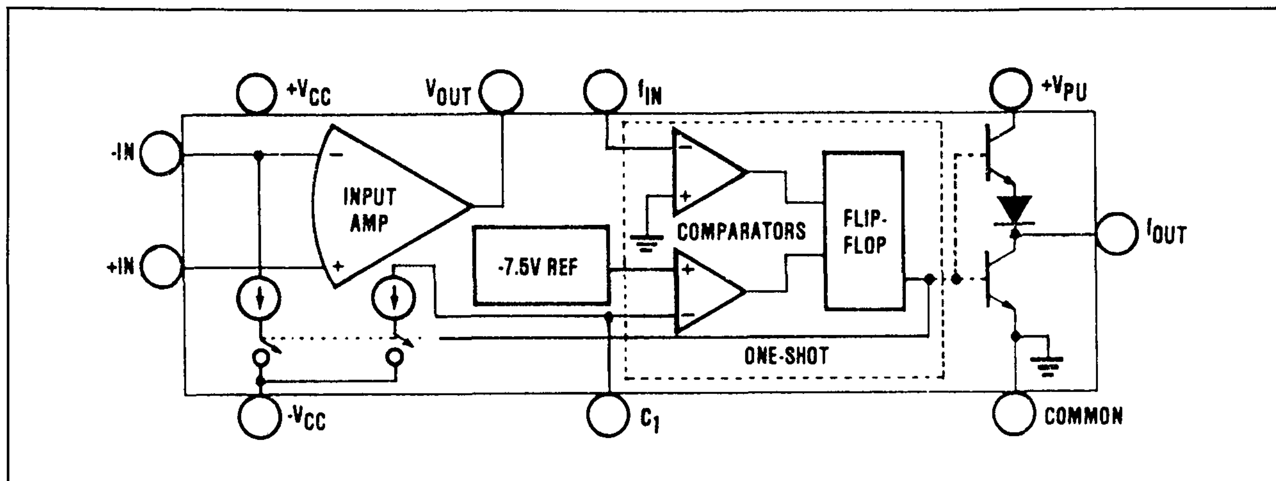
Technische gegevens

- fabrikant: Burr-Brown
- behuizing: TO-100, DIL-14
- aansluitgegevens: figuur 12/10.2-10
- intern blokschema: figuur 12/10.2-11
- voedingsspanning: +/-13 V tot +/-20 V
- voedingsstroom: +/-7,5 mA
- ingangsspanning: +/-10 V max.
- ingangsstroom: +/-750 μA max.
- ingangsimpedantie: 650 kΩ
- biasstroom: 4 nA
- offsetspanning: 5 mV max.
- uitgangsspanning: 0 tot 10 V max.
- uitgangsstroom: 10 mA max.
- frequentiebereik: 0 tot 1 MHz max.
- niet-lineariteit:
  +/-0,005 % tot 10 kHz
  +/-0,03 % tot 100 kHz
  +/-0,1 % tot 1 MHz
- temperatuurscoëfficiënt: +/-50 ppm/°C
- kalibratie-fout: +/-0,0015 % volle schaal



Figuur 12/10.2-10: Aansluitgegevens van de VFC 62.

10.2 Type-beschrijving



Figuur 12/10.2-11: Intern blokschema van de VFC 62.

Voorbeeld-schakelingen

- figuur 12/10.2-12:

Standaard schakeling rond de VFC 62 als spanning naar frequentie omzetter voor positieve spanningen. Met de offset adj. wordt de frequentie op de uitgang op minimaal ingesteld bij 0 V aan de ingang. Nadien kan met de gain adj. de schaalijking worden doorgevoerd.

- figuur 12/10.2-13:

Standaard schema rond de VFC 62 als spanning naar frequentie omzetter voor negatieve ingangsspanningen. Voor deze schakeling geldt dezelfde afregelprocedure.

- figuur 12/10.2-14:

Schakeling van een spanning naar frequentie omzetter voor bipolaire ingangsspanningen. De ingangsspanning wordt gesuperponeerd op een zeer stabiele referentiespanning die wordt gegenereerd door een REF 01 referentie. Bij een ingangsspanning van 0 V is de uitgangsfrequentie gelijk aan de helft van de volle schaal waarde.

- figuur 12/10.2-15:

Standaard schema rond de VFC 62 voor een frequentie naar spanning omzetter.

VFC 100

1 MHz, +/-0,02 %, +/-80 ppm/°C

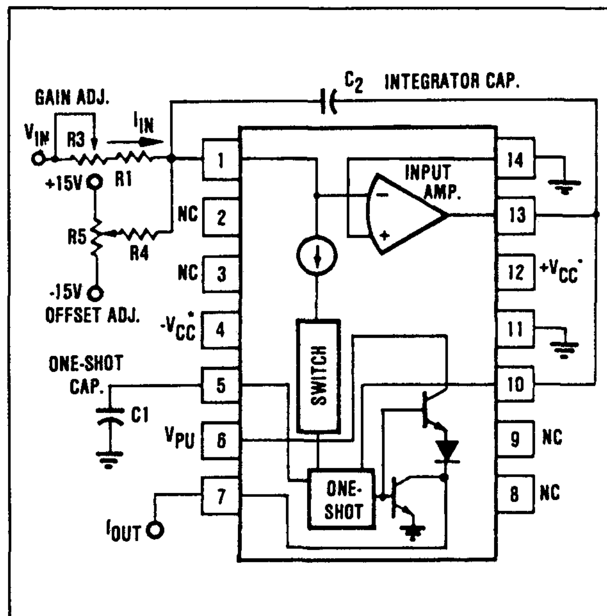
Spanning naar frequentie omzetter, die wordt gekenmerkt door een aansluiting voor een extern clock-signaal. Deze clock bepaalt de volle schaal frequentie bij gebruik als spanning naar frequentie omzetter.
Hierdoor wordt de drift uitgeschakeld die wordt veroorzaakt door de timing-elementen van de traditionele schakeling.

De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

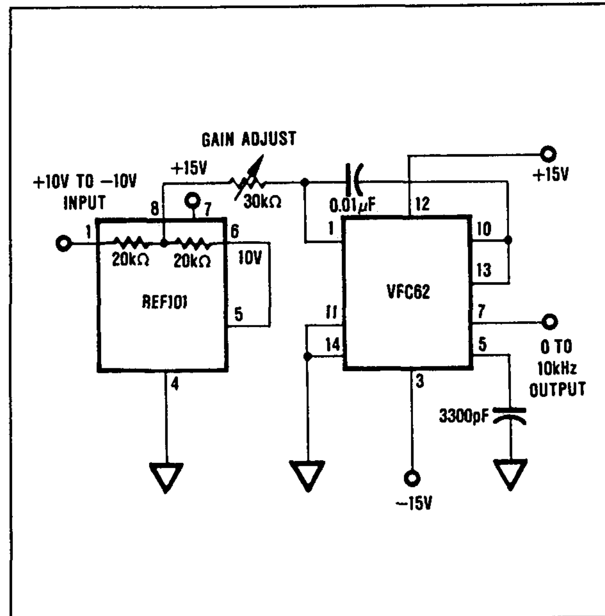
Technische gegevens

- fabrikant: Burr-Brown
- behuizing: DIL-16
- aansluitgegevens: figuur 12/10.2-16
- intern blokschema: figuur 12/10.2-17
- voedingsspanning: +/-7,5 V tot +/-28,5 V
- voedingsstroom: +/-10,5 mA
- ingangsspanning: +/-10 V max.
- ingangsstroom: +/-750 µA max.
- ingangsimpedantie: 20,2 kΩ
- biasstroom: 100 nA
- offsetspanning: 150 mV max.
- uitgangsspanning: 0 tot 30 V max.
- uitgangsstroom: 15 mA max.
- frequentiebereik: 0 tot 1 MHz max.
- niet-lineariteit:
  +/-0,02 % tot 100 kHz
  +/-0,025 % tot 1 MHz
- temperatuurscoëfficiënt: +/- 80 ppm/°C
- kalibratie-fout: +/-0,01 % volle schaal

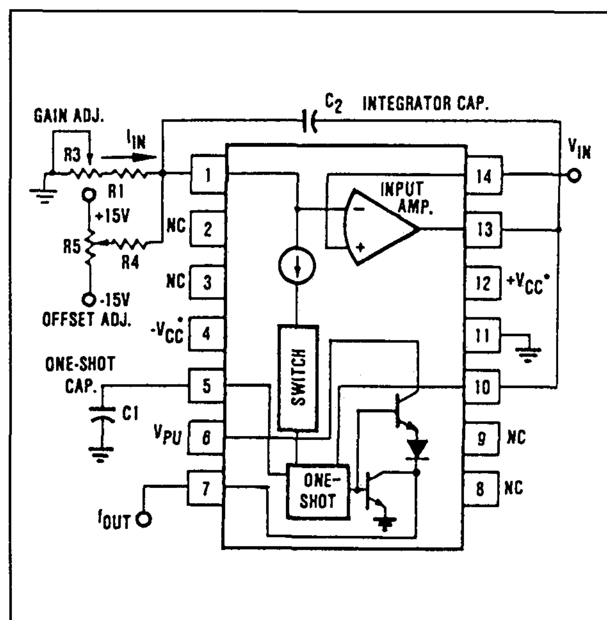
10.2 Type-beschrijving



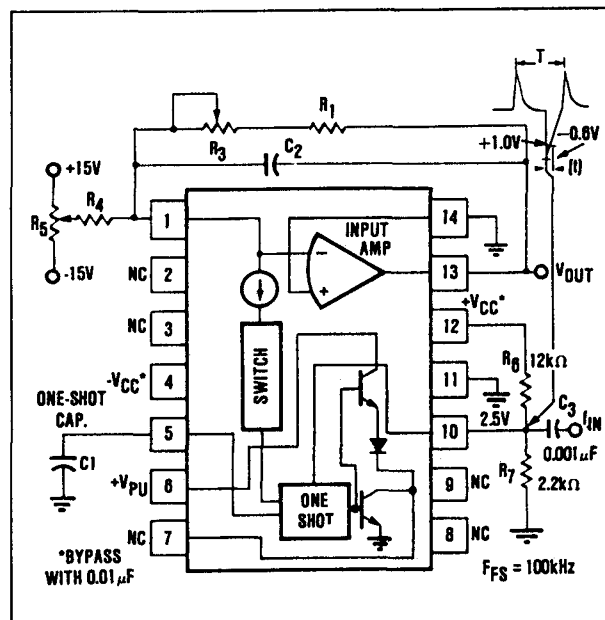
Figuur 12/10.2-12: U naar f omzetter voor positieve ingangsspanningen met de VFC 62.



Figuur 12/10.2-14: Schakeling met de VFC 62 voor bipolaire ingangsspanningen.



Figuur 12/10.2-13: U naar f omzetter voor negatieve ingangsspanningen met de VFC 62.



Figuur 12/10.2.15: f naar U omzetter met de VFC 62.

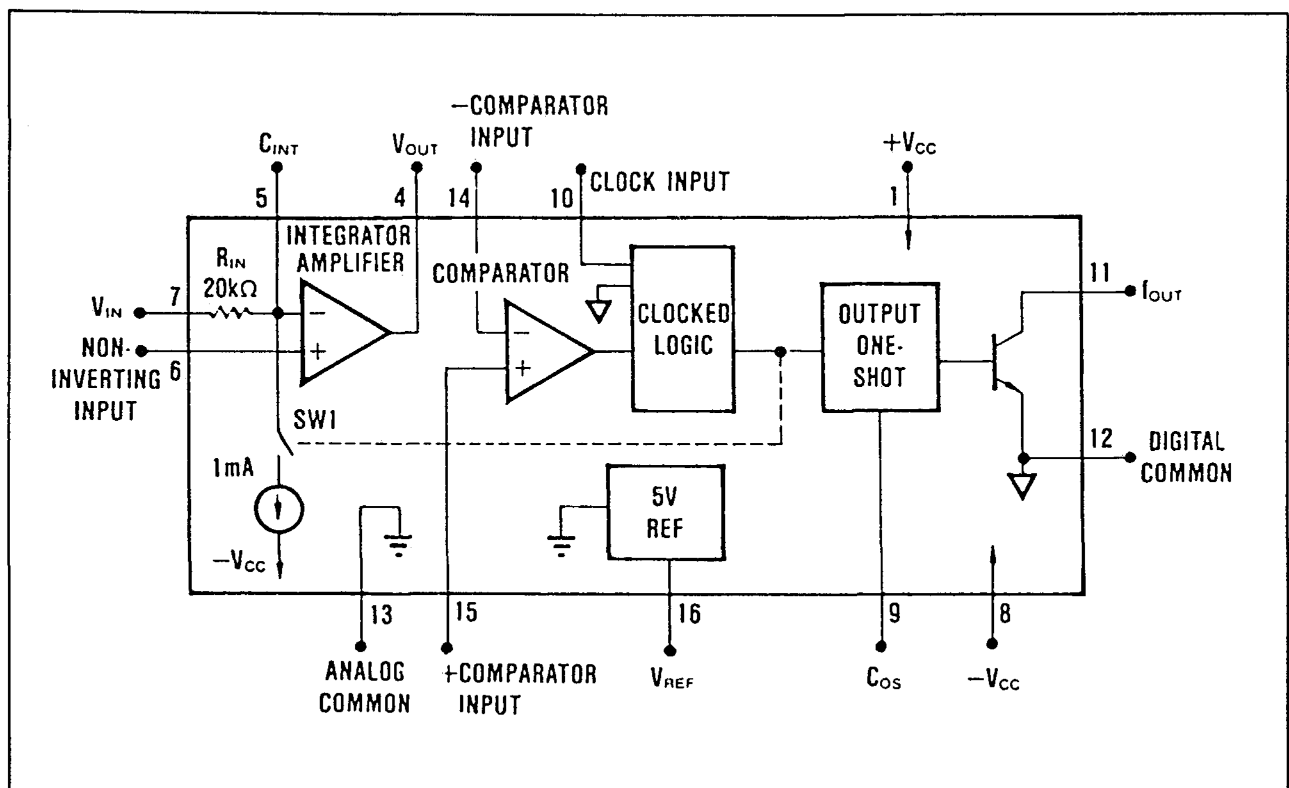
10.2 Type-beschrijving

$+V_{cc}$	1	16	V_{ref}
NC	2	15	+ COMPARATOR IN
NC	3	14	−COMPARATOR IN
INTEGRATOR OUT	4	13	ANALOG COMMON
C_{int}	5	12	DIGITAL COMMON
NONINVERTING IN	6	11	f_{out}
V_{in}	7	10	CLOCK INPUT
$-V_{cc}$	8	9	C_{os}

Figuur 12/10.2-16: Aansluitgegevens van de VFC 100.

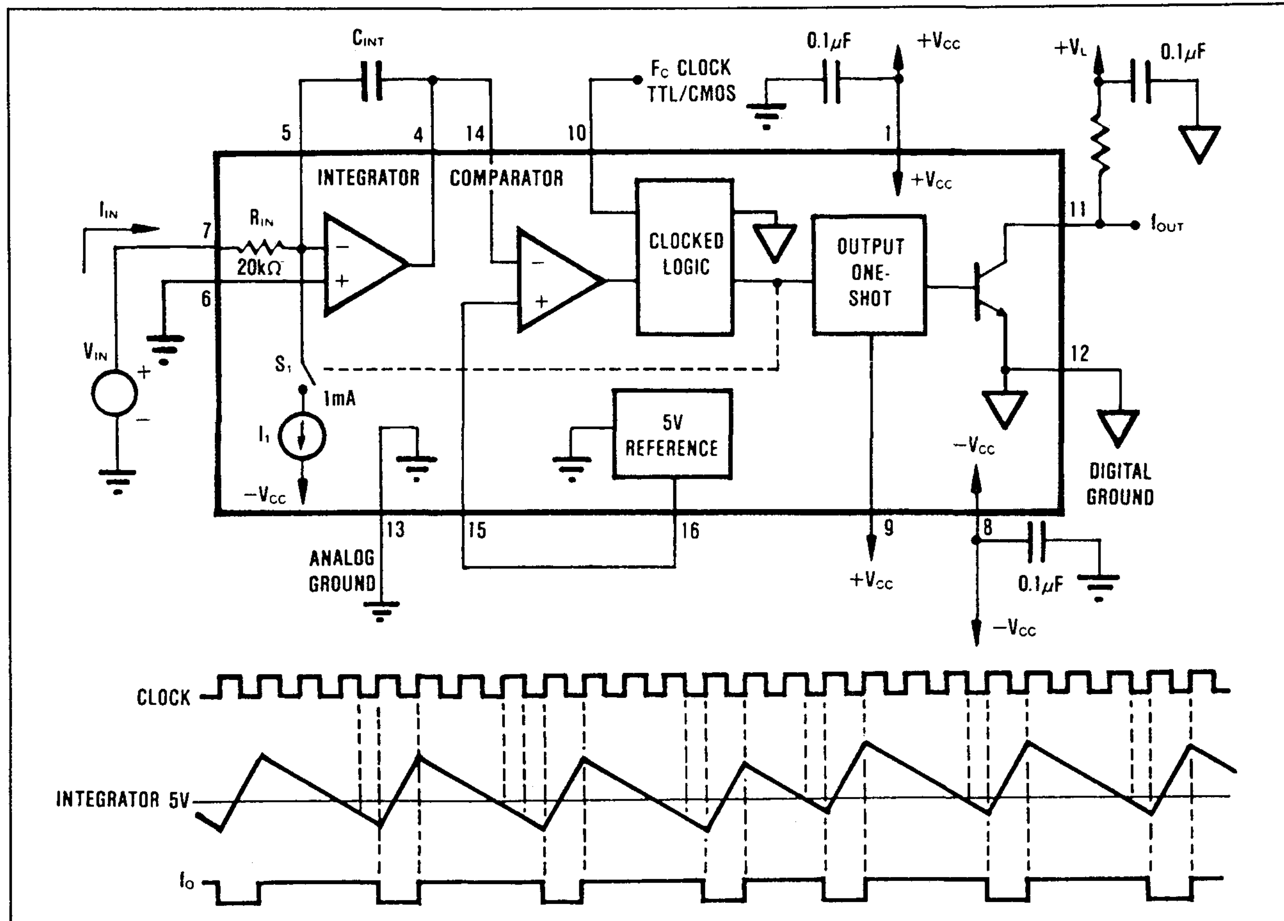
Voorbeeld-schakelingen

- figuur 12/10.2-18:
Standaard schakeling rond en timing van de VFC 100 als spanning naar frequentie omzetter voor positieve spanningen.
- figuur 12/10.2-19:
Schakeling van een spanning naar frequentie omzetter voor bipolaire ingangsspanningen.
- figuur 12/10.2-20:
Standaard schema rond en timing van de VFC 100 gebruikt als frequentie naar spanning omzetter.
- figuur 12/10.2-21:
De VFC 100 gebruikt als opnemer van een brugspanning. Afhankelijk van de verhouding van de brugweerstanden levert de schakeling een uitgangsfrequentie tussen de 0 en de 250 kHz.
- figuur 12/10.2-22:
Schakeling van een transmissie-systeem waarbij twee VFC 100 schakelingen worden gebruikt, de ene als zender, de andere als ontvanger.
De koppeling gebeurt door middel van optische koppelaars.

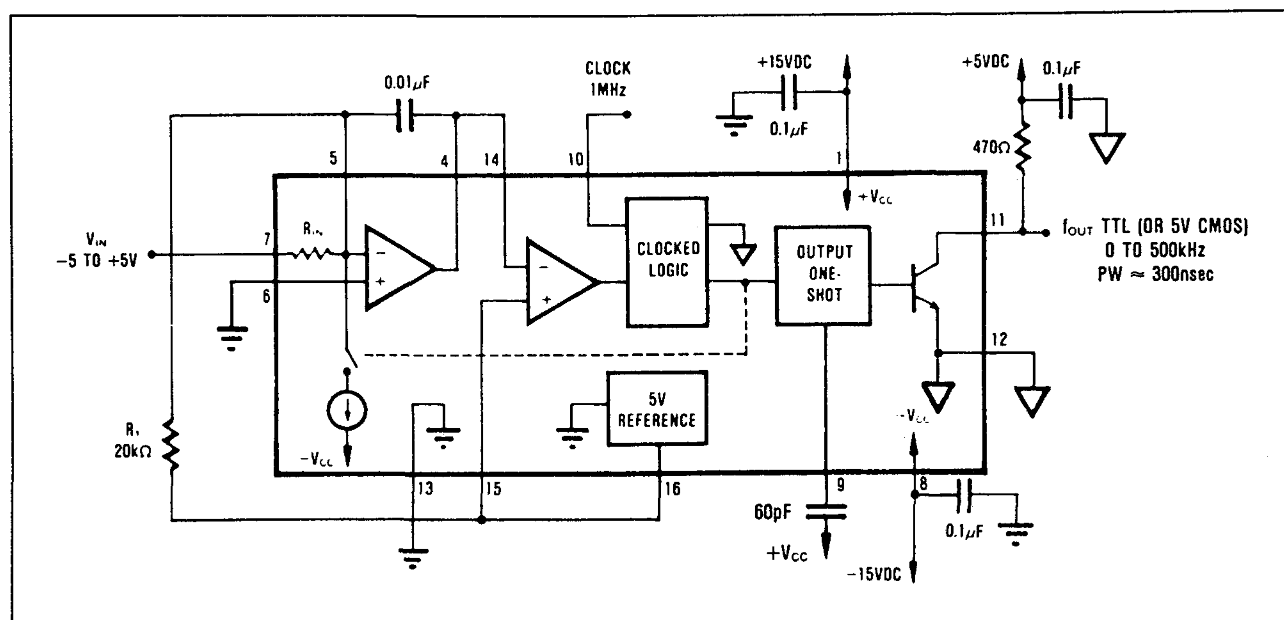


Figuur 12/10.2-17: Intern blokschema van de VFC 100.

10.2 Type-beschrijving

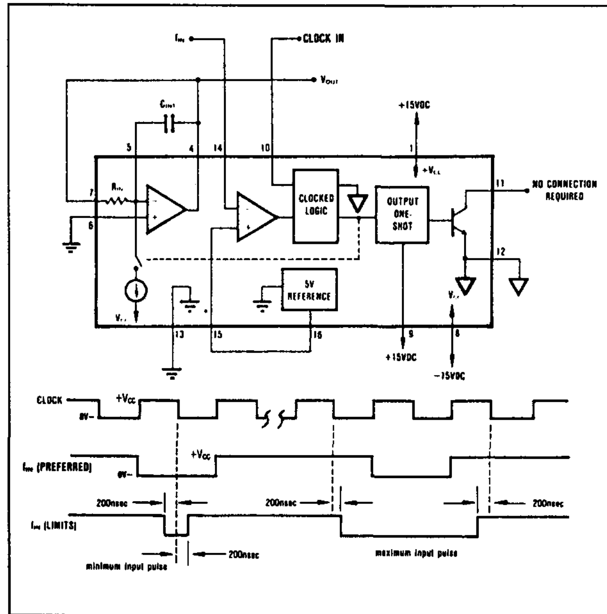


Figuur 12/10.2-18: U naar f omzetter voor positieve ingangsspanningen met de VFC 100.



Figuur 12/10.2-19: Schakeling met de VFC 100 voor bipolaire ingangsspanningen.

10.2 Type-beschrijving



Figuur 12/10.2-20: f naar U omzetter met de VFC 100.

VFC 101

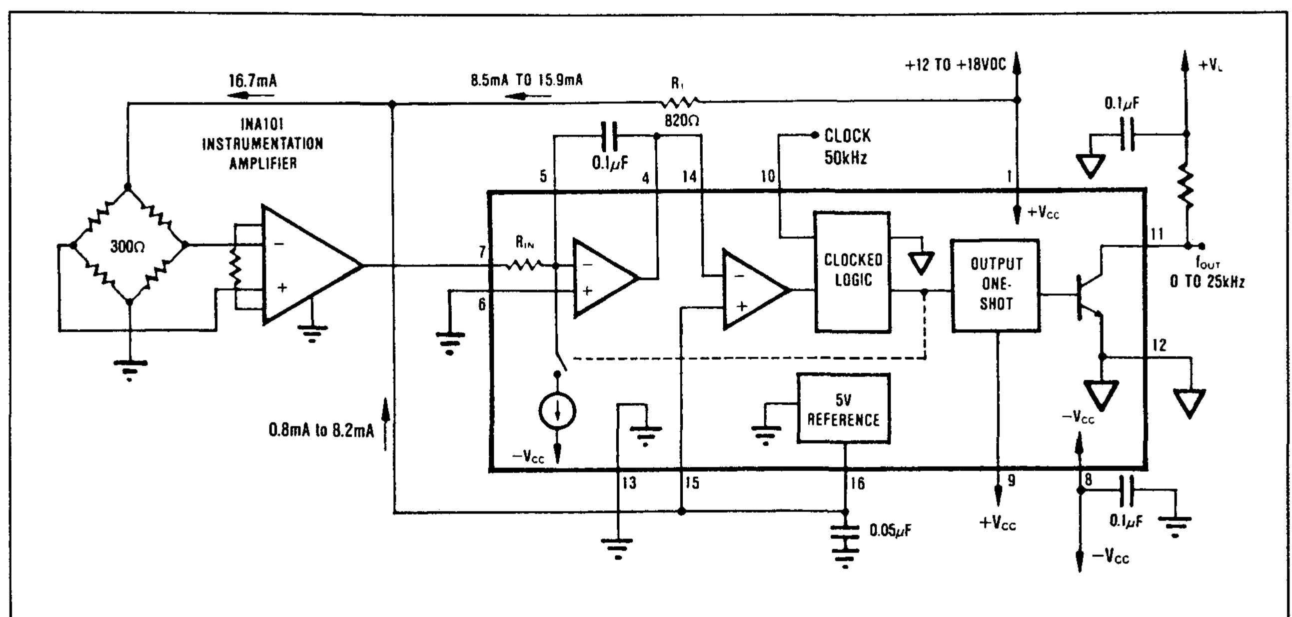
100 kHz, +/-0,02 %, +/-40 ppm/°C

Spanning naar frequentie omzetter die een externe clock gebruikt voor het bepalen van de maximale schaal frequentie.

Daardoor worden temperatuurseffecten op de uitgangsfrequentie geminimaliseerd. Heeft een gemiddelde fout van +/-0,02 % bij 100 kHz op de uitgang. De frequentieuitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

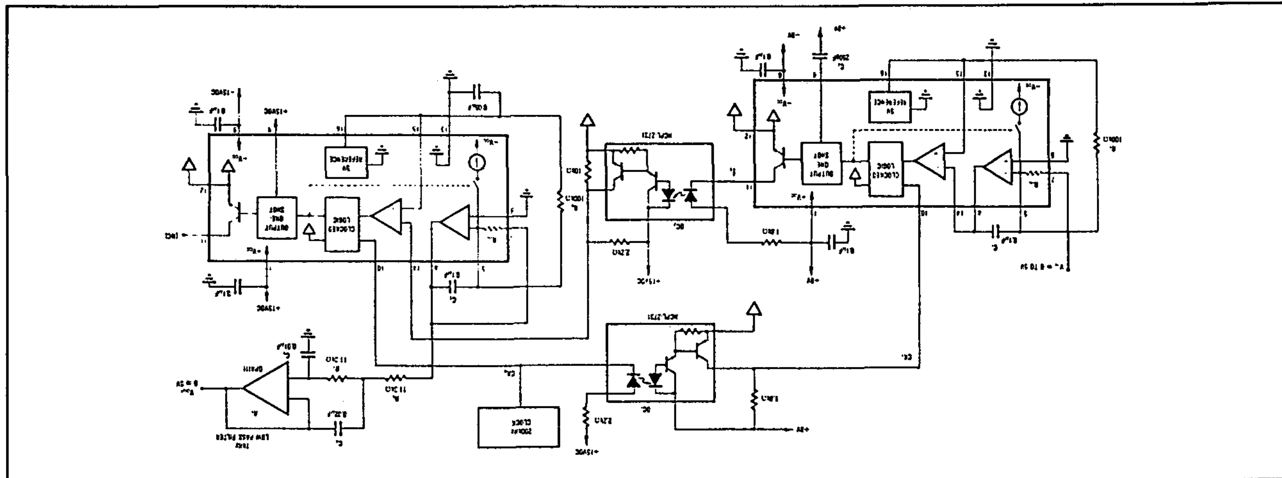
Technische gegevens

- fabrikant: Burr-Brown
- behuizing: 20-pens PLCC
- aansluitgegevens: figuur 12/10.2-23
- intern blokschema: figuur 12/10.2-24
- voedingsspanning: +/-7,5 V tot +/-28,5 V
- voedingsstroom: +/-10,5 mA
- ingangsspanning: +/-10 V max.
- ingangsstroom: +/-750 µA max.
- ingangsimpedantie: 30 kΩ
- biasstroom: 100 nA
- offsetspanning: 150 µV max.
- uitgangsspanning: 0 tot 36 V max.
- uitgangsstroom: 15 mA max.
- frequentiebereik: 0 tot 100 kHz max.
- niet-lineariteit:
  +/-0,01 % tot 100 kHz
  +/-0,02 % tot 500 kHz
- temperatuurscoëfficiënt: +/-40 ppm/°C
- kalibratie-fout: +/-0,03 % volle schaal

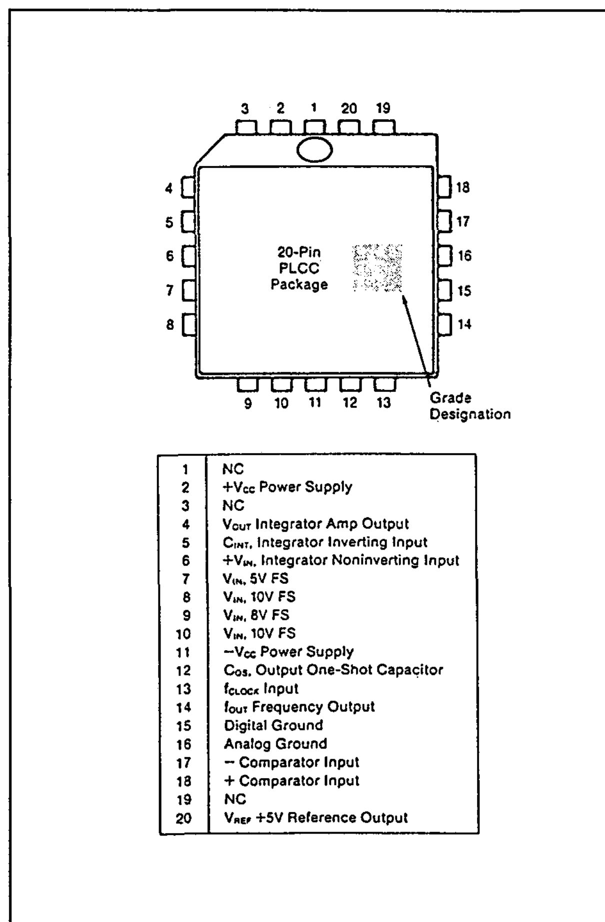


Figuur 12/10.2-21: De VFC 100 gebruikt als omzetter in een brugschakeling.

10.2 Type-beschrijving

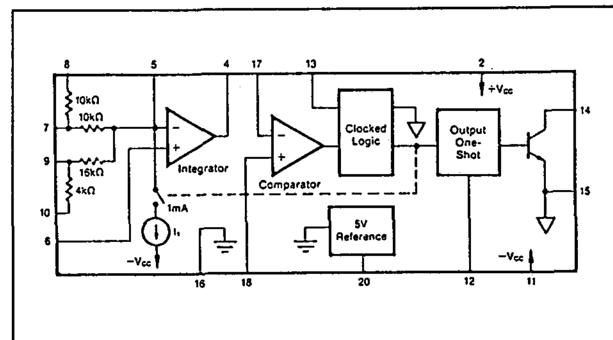


Figuur 12/10.2-22: Optisch geïsoleerd transmissie-systeem met twee VFC 100 schakelingen.



1	NC
2	+V_{CC} Power Supply
3	NC
4	V_{OUT} Integrator Amp Output
5	C_{INT}, Integrator Inverting Input
6	+V_{IN}, Integrator Noninverting Input
7	V_{IN}, 5V FS
8	V_{IN}, 10V FS
9	V_{IN}, 8V FS
10	V_{IN}, 10V FS
11	−V_{CC} Power Supply
12	C_{OS}, Output One-Shot Capacitor
13	f_{CLOCK} Input
14	f_{OUT} Frequency Output
15	Digital Ground
16	Analog Ground
17	− Comparator Input
18	+ Comparator Input
19	NC
20	V_{REF} +5V Reference Output

Figuur 12/10.2-23: Aansluitgegevens van de VFC 101.



Figuur 12/10.2-24: Intern blokschema van de VFC 101.

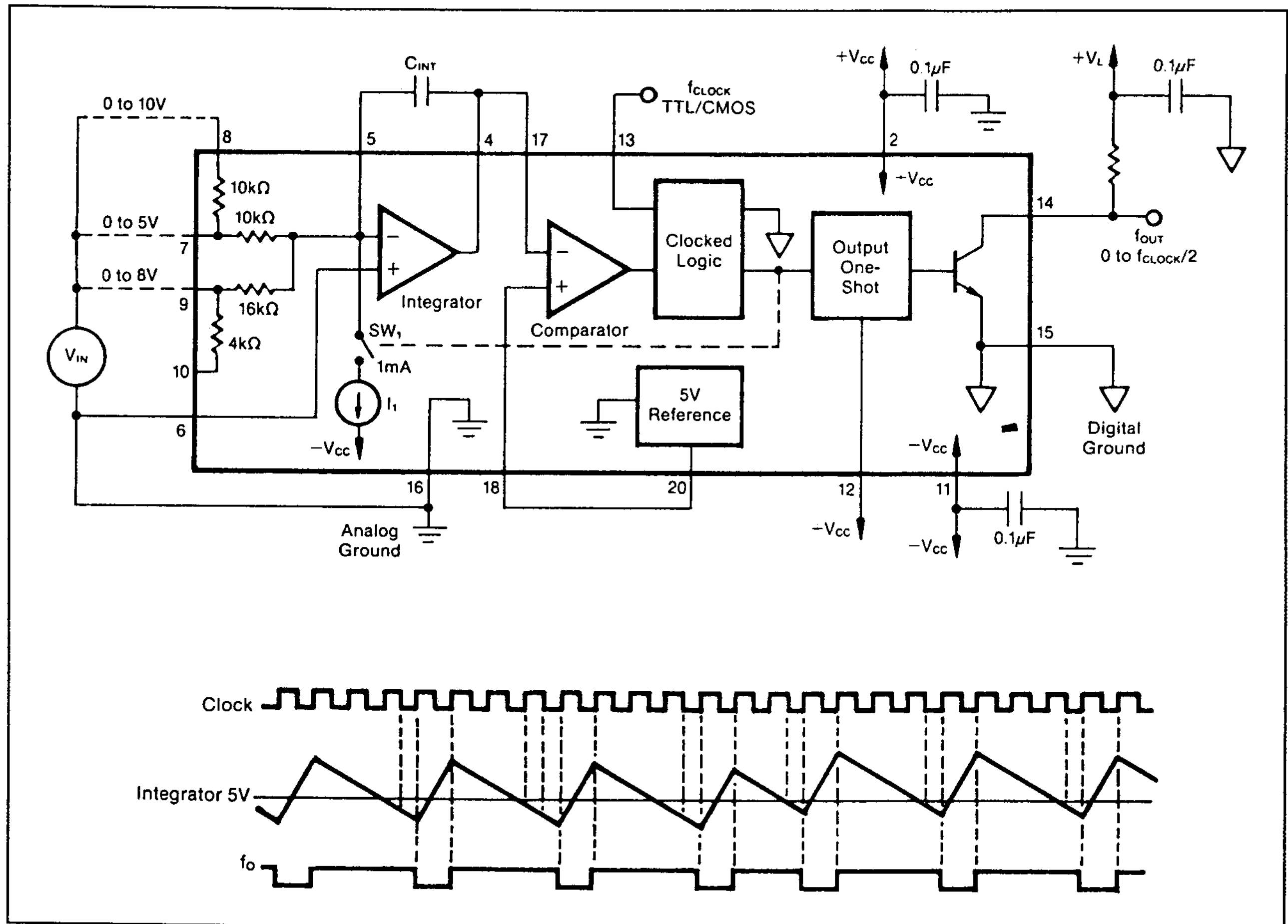
Voorbeeld-schakelingen

– figuur 12/10.2-25:
Standaard schakeling rond de VFC 101 als spanning naar frequentie omzetter voor positieve spanningen.

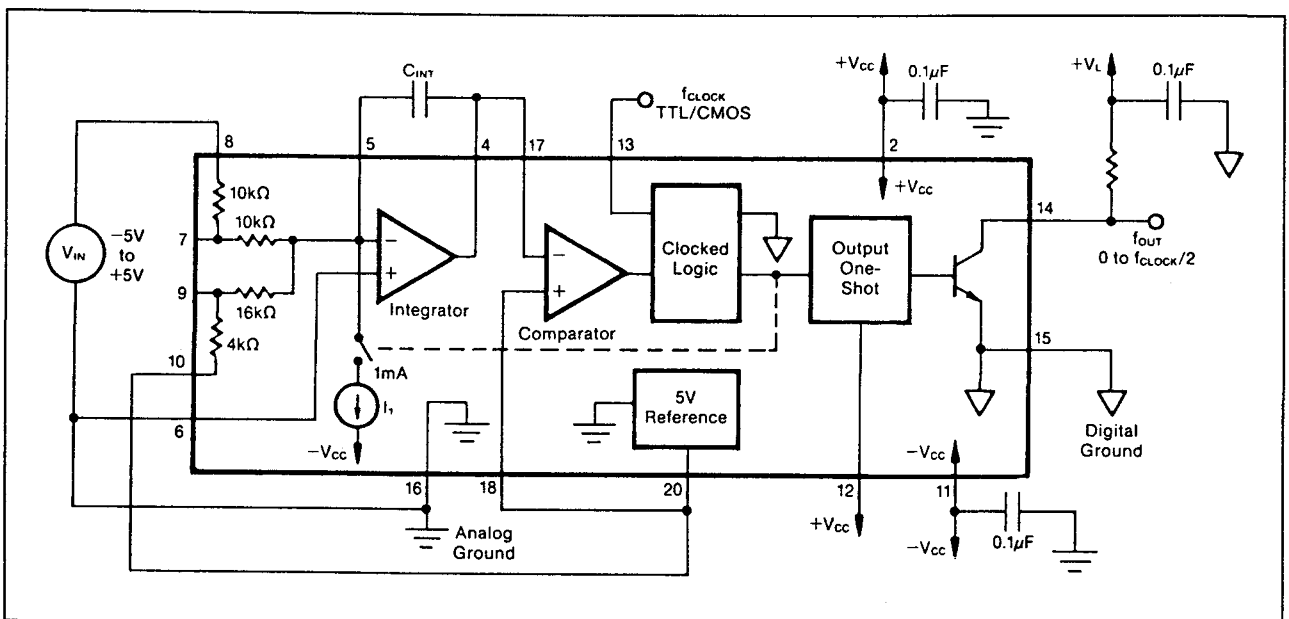
– figuur 12/10.2-26:
Schakeling van een spanning naar frequentie omzetter voor bipolaire ingangsspanningen.

– figuur 12/10.2-27:
Standaard schema rond de VFC 101 gebruikt als frequentie naar spanning omzetter.

10.2 Type-beschrijving

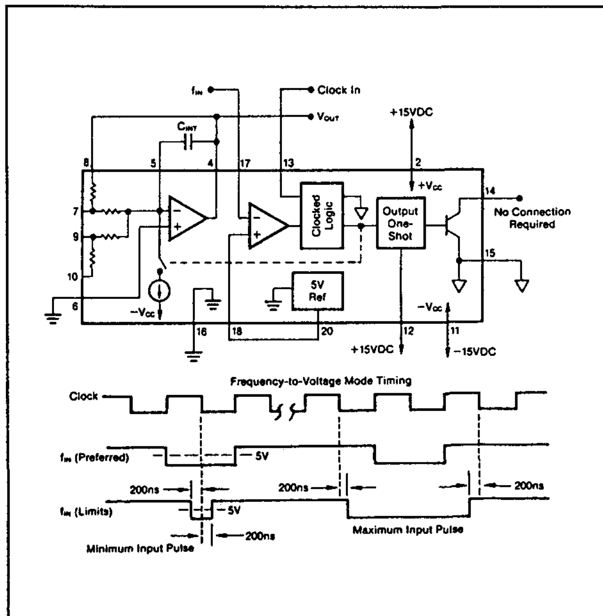


Figuur 12/10.2-25: U naar f omzetter voor positieve ingangsspanningen met de VFC 101.



Figuur 12/10.2-26: Schakeling met de VFC 101 voor bipolaire ingangsspanningen.

10.2 Type-beschrijving



Figuur 12/10.2-27: f naar U omzetter met de VFC 101.

VFC 110

4 MHz, +/-0,05 %, +/-100 ppm/°C

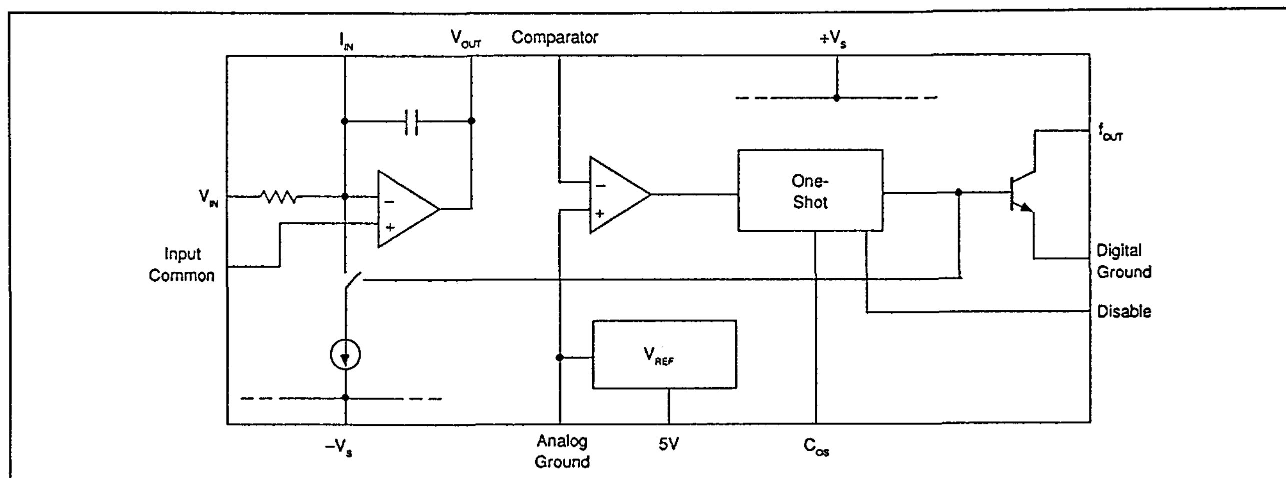
Spanning naar frequentie omzetter van de derde generatie, die wordt gekenmerkt door een zeer hoge bandbreedte van 4 MHz. Heeft een gemiddelde fout van +/-0,05 % bij 2 MHz op de uitgang!

Heeft een ingebouwde referentiespanning van 5 V die gebruikt kan worden als offset voor gebruik van de schakeling bij het verwerken van bipolaire ingangsspanningen. De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Op het moment van het schrijven van dit hoofdstuk waren alleen de "advance informations" van dit nieuwe type bekend.

Technische gegevens

- fabrikant: Burr-Brown
- behuizing: nog niet bekend
- aansluitgegevens: nog niet bekend
- intern blokschema: figuur 12/10.2-28
- voedingsspanning: +/-8 V tot +/-18 V
- voedingsstroom: +/-16 mA
- biasstroom: 30 nA
- offsetspanning: 3 mV max.
- frequentiebereik: 0 tot 4 MHz max.
- niet-lineariteit:
  +/-0,05 % tot 1 MHz
  +/-0,1 % tot 4 MHz
- temperatuurscoëfficiënt: +/-100 ppm/°C
- kalibratie-fout: +/-0,05 % volle schaal



Figuur 12/10.2-28: Intern blokschema van de VFC 110.

10.2 Type-beschrijving

LM 131

100 kHz, +/-0,01 %, +/-50 ppm/°C

Spanning naar frequentie omzetter, die is uitgegroeid tot een industrie-standaard.

Wordt gekenmerkt door een zeer gunstige prijs/prestatie verhouding.

De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens

- fabrikant: National Semiconductor
- behuizing: TO-99, DIL-8
- aansluitgegevens: figuur 12/10.2-29
- intern blokschema: figuur 12/10.2-30
- voedingsspanning: +5 V tot +40 V
- voedingsstroom: +4,0 mA
- ingangsspanning: +40 V max.
- biasstroom: 200 nA
- offsetstroom: 100 nA max.
- uitgangsspanning: 0 tot 40 V max.
- frequentiebereik: 0 tot 100 kHz max.
- niet-lineariteit:
  +/-0,01 % tot 10 kHz
- temperatuurscoëfficiënt: +/-50 ppm/°C
- kalibratie-fout: +/-0,003 % volle schaal

Voorbeeld-schakelingen

- figuur 12/10.2-31:

Standaard schakeling rond de LM 131 als spanning naar frequentie omzetter voor negatieve spanningen. Met de offset adj. wordt de frequentie op de uitgang op minimaal ingesteld bij 0 V aan de ingang. Nadien kan met de gain adj. de schaalijking worden doorgevoerd.

- figuur 12/10.2-32:

Schakeling van een zeer nauwkeurige spanning naar frequentie omzetter met de LM 131 met een nauwkeurigheid van 0,03 % tot 100 kHz volle schaal.

- figuur 12/10.2-33:

Standaard schema rond de LM 131 voor een frequentie naar spanning omzetter met een maximaal bereik aan de ingang van 10 kHz en een niet lineariteit van +/-0,01 % volle schaal.

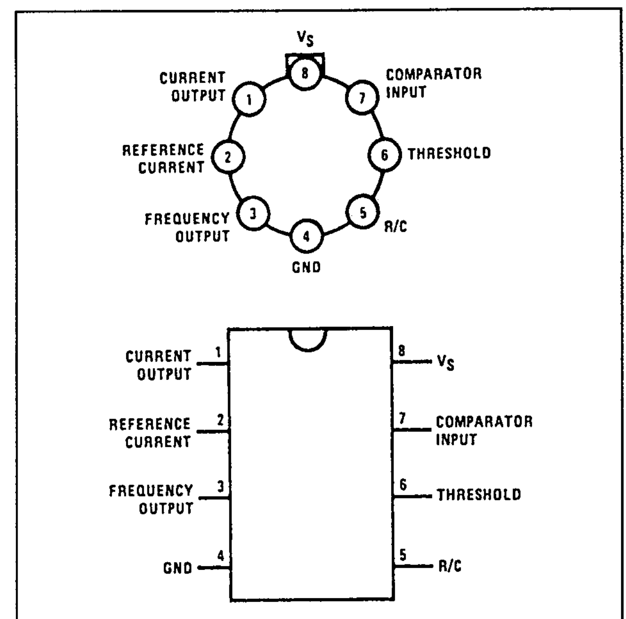
De rimpel op de uitgang wordt gereduceerd door gebruik te maken van een filter van de tweede orde.

- figuur 12/10.2-34:

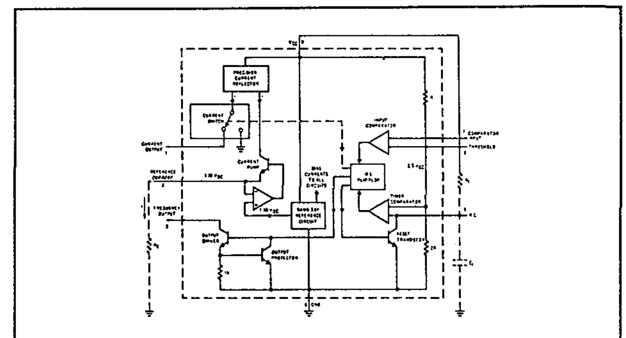
De LM 131 gebruikt als schakeling die een lichtintensiteit omzet in een frequentie met een bereik van 100 kHz volle schaal.

- figuur 12/10.2-35:

De LM 131 gebruikt als schakeling die een temperatuur omzet in een frequentie.

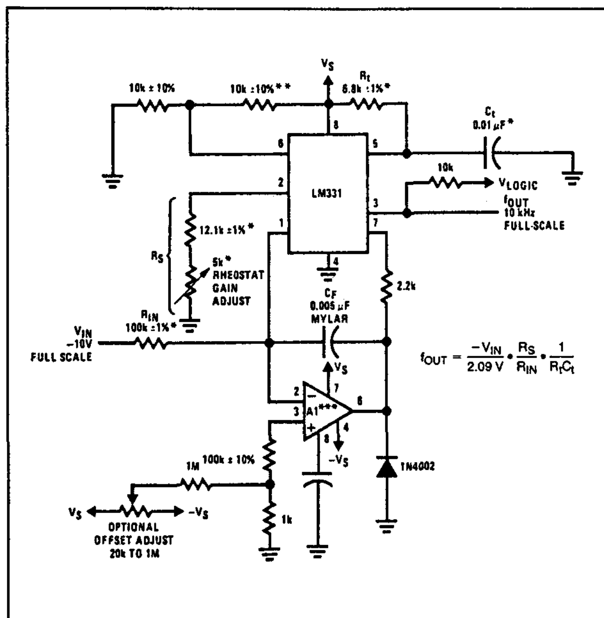


Figuur 12/10.2-29: Aansluitgegevens van de LM 131.

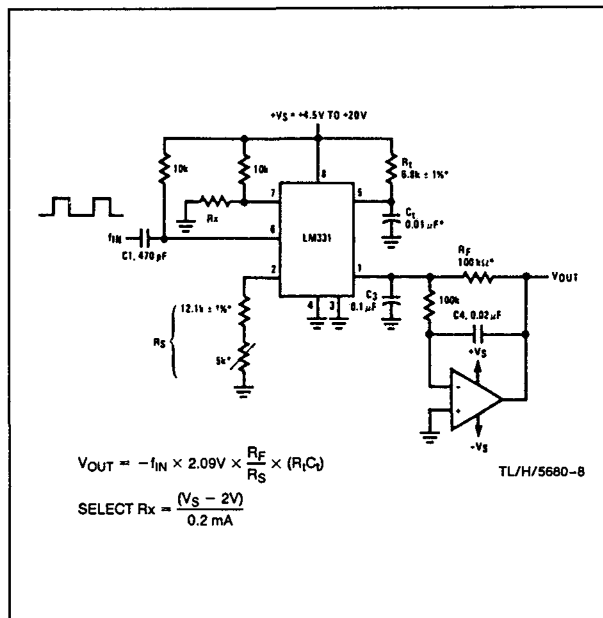


Figuur 12/10.2-30: Intern blokschema van de LM 131.

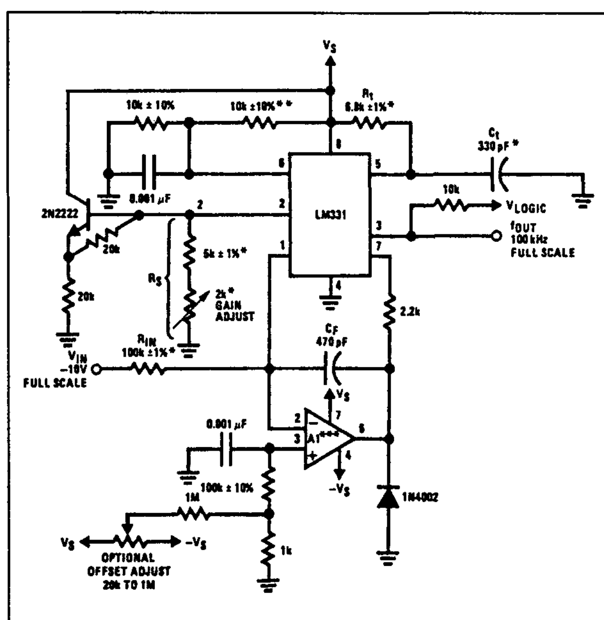
10.2 Type-beschrijving



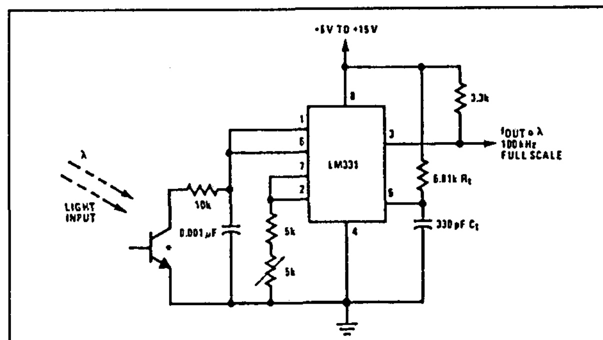
Figuur 12/10.2-31: U naar f omzetter voor negatieve ingangsspanningen met de LM 131.



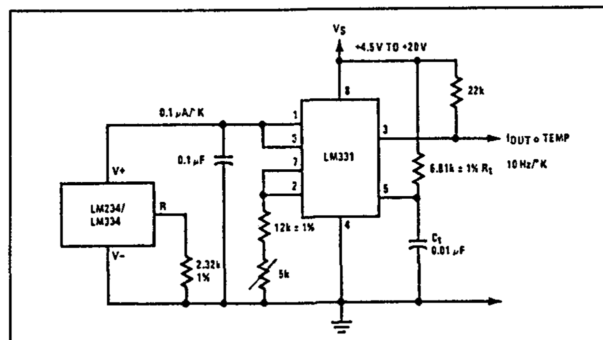
Figuur 12/10.2-33: f naar U omzetter met de LM 131.



Figuur 12/10.2-32: U naar f omzetter voor negatieve ingangsspanningen met de LM 131 met een zeer hoge nauwkeurigheid.



Figuur 12/10.2-34: Licht naar frequentie omzetter met de LM 131.



Figuur 12/10.2-35: Temperatuur naar frequentie omzetter met de LM 131.

10.2 Type-beschrijving

TDB 0131

100 kHz, +/-0,01 %, +/-50 ppm/°C

Met de LM 131 compatibele schakeling, op de markt gebracht door Thomson Semiconductors.

Heeft op enige punten afwijkende specificaties.

Technische gegevens

- fabrikant: Thomson Semiconductors
- behuizing: TO-99, DIL-8
- aansluitgegevens: figuur 12/10.2-29
- intern blokschema: figuur 12/10.2-30
- voedingsspanning: +5 V tot +40 V
- voedingsstroom: +8 mA
- biasstroom: 300 nA
- offsetspanning: 14 mV max.
- uitgangsspanning: 0 tot 40 V max.
- frequentiebereik: 0 tot 100 kHz max.
- niet-lineariteit:
  +/-0,01 % tot 100 kHz
- temperatuurscoëfficiënt: +/-50 ppm/°C
- kalibratie-fout: +/-0,003 % volle schaal

Voor de overige gegevens en de voorbeeld-schakelingen wordt verwezen naar de LM 131.

LM 231

100 kHz, +/-0,01 %, +/-50 ppm/°C

Spanning naar frequentie omzetter, die is uitgegroeid tot een industrie-standaard.

Wordt gekenmerkt door een zeer gunstige prijs/prestatie verhouding.

De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Is compatibele met de LM 131, maar heeft op enige punten afwijkende specificaties.

Technische gegevens

- fabrikant: National Semiconductor
- behuizing: TO-99, DIL-8
- aansluitgegevens: figuur 12/10.2-29
- intern blokschema: figuur 12/10.2-30
- voedingsspanning: +5 V tot +40 V
- voedingsstroom: +6,0 mA
- ingangsspanning: +40 V max.
- biasstroom: 80 nA
- offsetspanning: +/-14 mV max.
- uitgangsspanning: 0 tot 40 V max.
- frequentiebereik: 0 tot 100 kHz max.
- niet-lineariteit:
  +/-0,01 % tot 10 kHz
- temperatuurscoëfficiënt: +/-50 ppm/°C
- kalibratie-fout: +/-0,003 % volle schaal

Voor de overige gegevens en de voorbeeldschakelingen wordt verwezen naar de LM 131.

VFC 320

1 MHz, +/-0,005 %, +/-20 ppm/°C

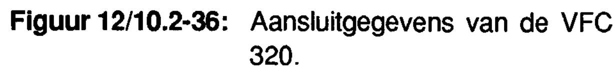
Spanning naar frequentie omzetter, die wordt gekenmerkt door een zeer hoge lineariteit. Heeft een gemiddelde fout van +/-0,005 % bij 10 kHz op de uitgang.

De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens

- fabrikant: Burr-Brown
- behuizing: TO-100, DIL-14
- aansluitgegevens: figuur 12/10.2-36
- intern blokschema: figuur 12/10.2-37
- voedingsspanning: +/-13 V tot +/-20 V
- voedingsstroom: +/-7,5 mA
- ingangsspanning: +/-10 V max.
- ingangsstroom: +/-750 µA max.
- ingangsimpedantie: 650 kΩ
- biasstroom: 4 nA
- offsetspanning: 0,15 mV max.
- uitgangsspanning: 0 tot 10 V max.
- uitgangsstroom: 10 mA max.
- frequentiebereik: 0 tot 1 MHz max.
- niet-lineariteit:
  +/-0,005 % tot 10 kHz
  +/-0,03 % tot 100 kHz
  +/-0,1 % tot 1 MHz
- temperatuurscoëfficiënt: +/-20 ppm/°C
- kalibratie-fout: +/-0,004 % volle schaal

10.2 Type-beschrijving



Figuur 12/10.2-36: Aansluitgegevens van de VFC 320.

Voorbeeld-schakelingen

– figuur 12/10.2-38:
Standaard schakeling rond de VFC 320 als spanning naar frequentie omzetter voor positieve spanningen. Met de offset adj. wordt de frequentie op de uitgang op minimaal ingesteld bij 0 V aan de ingang. Nadien kan met de gain adj. de schaalijking worden doorgevoerd.

– figuur 12/10.2-39:
Standaard schema rond de VFC 62 als spanning naar frequentie omzetter voor negatieve ingangsspanningen.
Voor deze schakeling geldt dezelfde afregelprocedure.

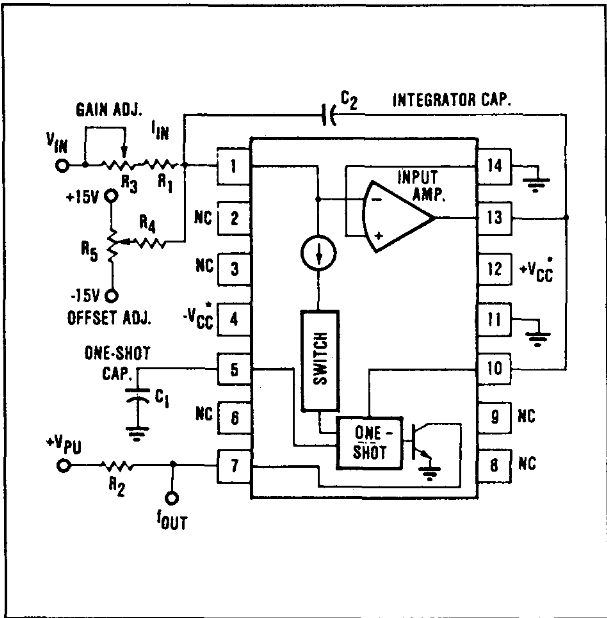
– figuur 12/10.2-40:
Schakeling van een spanning naar frequentie omzetter voor bipolaire ingangsspanningen.
De ingangsspanning wordt gesuperponeerd op een zeer stabiele referentiespanning die wordt gegenereerd door een REF 101 referentie.
Bij een ingangsspanning van 0 V is de uitgangsfrequentie gelijk aan de helft van de volle schaal waarde.

– figuur 12/10.2-41:
Standaard schema rond de VFC 320 voor een frequentie naar spanning omzetter.

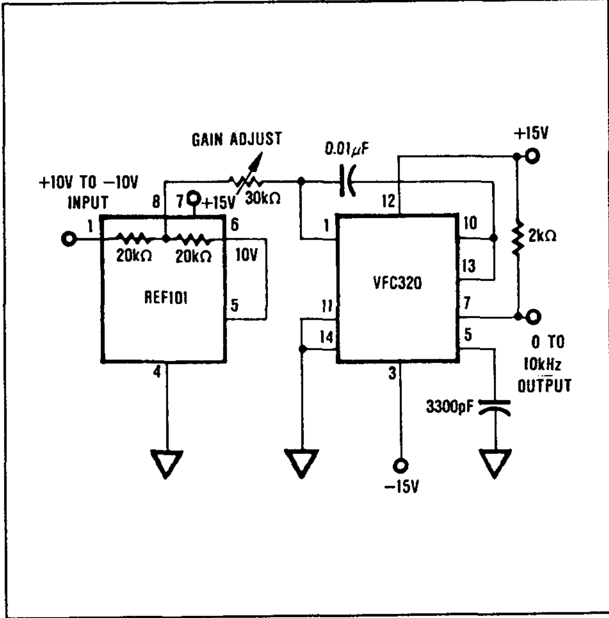


Figuur 12/10.2-37: Intern blokschema van de VFC 320.

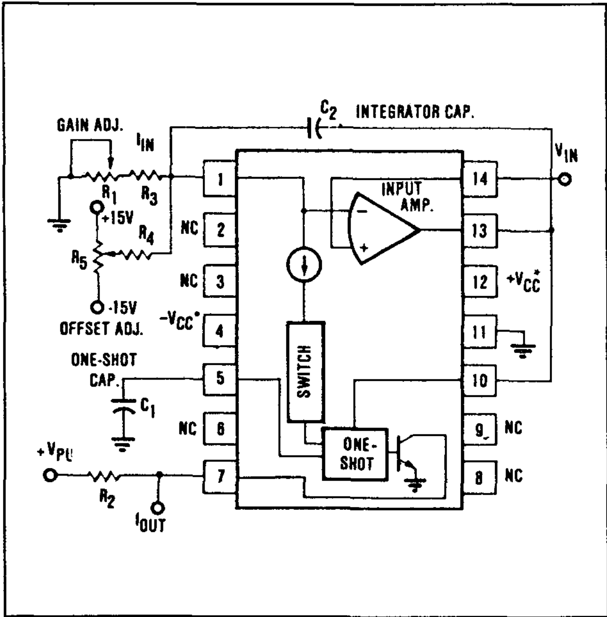
10.2 Type-beschrijving



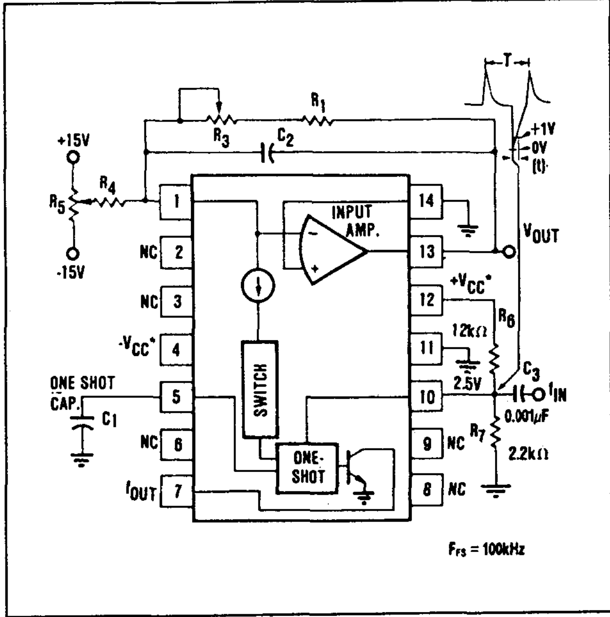
Figuur 12/10.2-38: U naar f omzetter voor positieve ingangsspanningen met de VFC 320.



Figuur 12/10.2-40: Schakeling met de VFC 320 voor bipolaire ingangsspanningen.



Figuur 12/10.2-39: U naar f omzetter voor negatieve ingangsspanningen met de VFC 320.



Figuur 12/10.2-41: f naar U omzetter met de VFC 320.

10.2 Type-beschrijving

LM 331

100 kHz, +/-0,01 %, +/-50 ppm/°C

Spanning naar frequentie omzetter, die is uitgegroeid tot een industrie-standaard. Wordt gekenmerkt door een zeer gunstige prijs/prestatie verhouding.
De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.
Is compatibele met de LM 131, maar heeft op enige punten afwijkende specificaties.

Technische gegevens

- fabrikant: National Semiconductor
- behuizing: TO-99, DIL-8
- aansluitgegevens: figuur 12/10.2-29
- intern blokschema: figuur 12/10.2-30
- voedingsspanning: +5 V tot +40 V
- voedingsstroom: +6,0 mA
- ingangsspanning: +40 V max.
- biasstroom: 80 nA
- offsetspanning: +/-10 mV max.
- uitgangsspanning: 0 tot 40 V max.
- frequentiebereik: 0 tot 100 kHz max.
- niet-lineariteit:
  +/-0,01 % tot 10 kHz
- temperatuurscoëfficiënt: +/-50 ppm/°C
- kalibratie-fout: +/-0,003 % volle schaal

Voor de overige gegevens en de voorbeeldschakelingen wordt verwezen naar de LM 131.

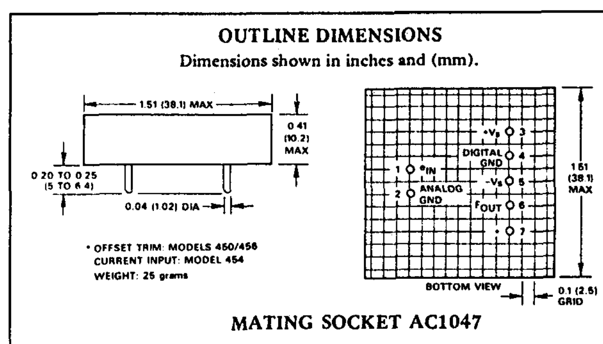
450

10 kHz, +/-0,005 %, +/-25 ppm/°C

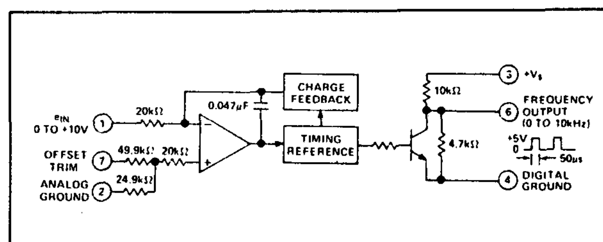
Modulaire spanning naar frequentie omzetter, die wordt gekenmerkt door een zeer hoge lineariteit. Heeft een gemiddelde fout van +/-0,005 % bij 10 kHz op de uitgang.
De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: speciaal, zie figuur 12/10.2-42
- aansluitgegevens: figuur 12/10.2-42
- intern blokschema: figuur 12/10.2-43
- voedingsspanning: +/-12 V tot +/-18 V
- voedingsstroom: +15, -9 mA
- ingangsspanning: +/-10 V max.
- uitgangsspanning: 0 tot 10 V max.
- frequentiebereik: 0 tot 10 kHz max.
- niet-lineariteit:
  +/-0,005 % tot 10 kHz
- temperatuurscoëfficiënt: +/-25 ppm/°C



Figuur 12/10.2-42: Aansluitgegevens en behuizing van de 450.



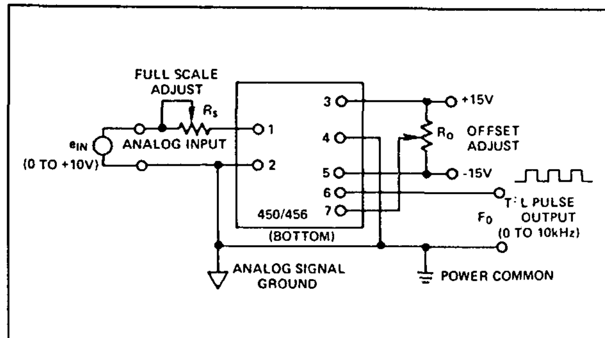
Figuur 12/10.2-43: Intern blokschema van de 450.

Voorbeeld-schakelingen

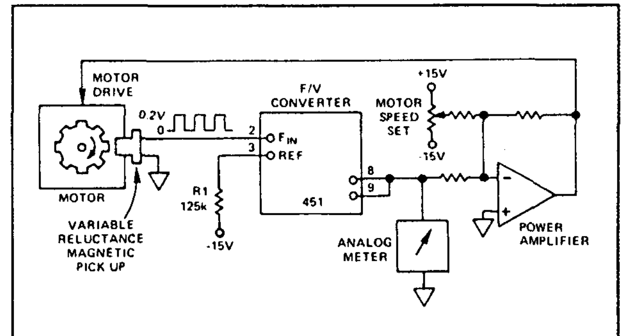
- figuur 12/10.2-44:

Standaard schakeling rond de 450 als spanning naar frequentie omzetter voor positieve spanningen.
Met de offset adj. wordt de frequentie op de uitgang op minimaal ingesteld bij 0 V aan de ingang.
Nadien kan met de full scale adj. de schaalijking worden doorgevoerd.

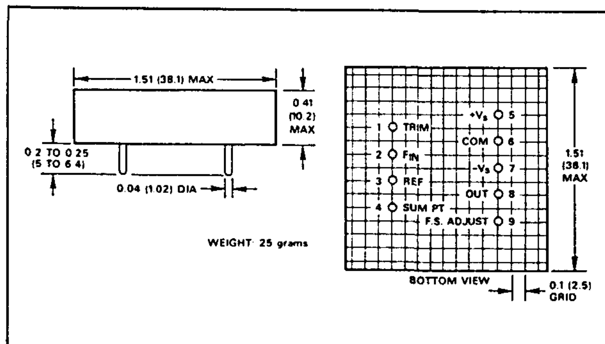
10.2 Type-beschrijving



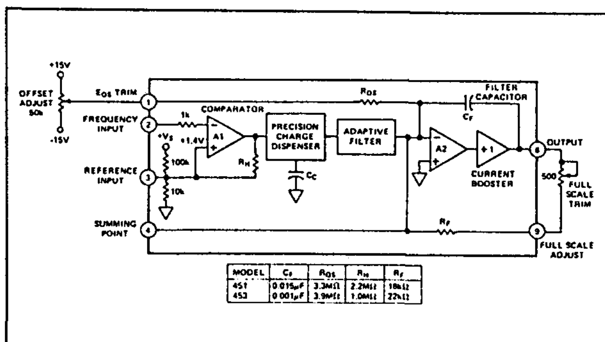
Figuur 12/10.2-44: U naar f omzetter voor positieve ingangsspanningen met de 450.



Figuur 12/10.2-47: Snelheidsmeting van een motor met een 451.



Figuur 12/10.2-45: Aansluitgegevens en behuizing van de 451.



MODEL	C_F	R_{OS}	R_H	R_F
451	0.015µF	3.3MΩ	2.2MΩ	10kΩ
453	0.001µF	3.9MΩ	1.0MΩ	22kΩ

Figuur 12/10.2-46: Intern blokschema van de 451.

451

20 kHz, +/-0,008 %, +/-50 ppm/°C

Modulaire frequentie naar spanning omzetter, die wordt gekenmerkt door een zeer hoge lineariteit.

Heeft een gemiddelde fout van +/-0,008 % bij 20 kHz op de uitgang.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: speciaal, zie figuur 12/10.2-45
- aansluitgegevens: figuur 12/10.2-45
- intern blokschema: figuur 12/10.2-46
- voedingsspanning: +/-12 V tot +/-18 V
- voedingsstroom: +10, -8 mA
- ingangsfrequentie: 20 kHz max.
- uitgangsspanning: 0 tot 10 V max.
- niet-lineariteit:
  +/-0,008 % tot 11 kHz
- temperatuurscoëfficiënt: +/-50 ppm/°C

Voorbeeld-schakeling

- figuur 12/10.2-47:

Standaard schakeling rond de 451 als controle van de snelheid van een motor. De snelheid wordt gemeten door op de as van de motor een vlinderschijf op te nemen, die wordt afgetast door een magnetische sensor.

453

200 kHz, +/-0,008 %, +/-50 ppm/°C

Modulaire frequentie naar spanning omzetter, die wordt gekenmerkt door een zeer hoge lineariteit. Heeft een gemiddelde fout van +/-0,008 % bij 20 kHz op de uitgang.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: speciaal, zie figuur 12/10.2-45
- aansluitgegevens: figuur 12/10.2-45

10.2 Type-beschrijving

- intern blokschema: figuur 12/10.2-46
- voedingsspanning: +/-12 V tot +/-18 V
- voedingsstroom: +10, -8 mA
- ingangsfrequentie: 200 kHz max.
- uitgangsspanning: 0 tot 10 V max.
- niet-lineariteit: +/-0,008 % tot 110 kHz
- temperatuurscoëfficiënt: +/-50 ppm/°C

Voor de overige gegevens en de voorbeeldschakeling wordt verwezen naar de 451.

454

20 kHz, +/-0,005 %, +/-25 ppm/°C

Modulaire spanning naar frequentie omzetter, die wordt gekenmerkt door een zeer hoge lineariteit. Heeft een gemiddelde fout van +/-0,005 % bij 20 kHz op de uitgang. De frequentie-uitgang heeft een open collectorstructuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens
- fabrikant: Analog Devices
- behuizing: speciaal, zie figuur 12/10.2-42
- aansluitgegevens: figuur 12/10.2-42
- intern blokschema: figuur 12/10.2-43
- voedingsspanning: +/-12 V tot +/-18 V
- voedingsstroom: +15, -9 mA
- ingangsspanning: +/-10 V max.
- uitgangsspanning: 0 tot 10 V max.
- frequentiebereik: 0 tot 20 kHz max.
- niet-lineariteit: +/-0,005 % tot 20 kHz
- temperatuurscoëfficiënt: +/-25

Voor de overige gegevens en de voorbeeldschakeling wordt verwezen naar de 451.

456

10 kHz, +/-0,02 %, +/-80 ppm/°C

Modulaire spanning naar frequentie omzetter met matige eigenschappen. De slechtste van de reeks 450/454/465 van Analog Devices. De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens
- fabrikant: Analog Devices
- behuizing: speciaal, zie figuur 12/10.2-42
- aansluitgegevens: figuur 12/10.2-42
- intern blokschema: figuur 12/10.2-43
- voedingsspanning: +/-12 V tot +/-18 V
- voedingsstroom: +15, -9 mA
- ingangsspanning: +/-10 V max.
- uitgangsspanning: 0 tot 10 V max.
- frequentiebereik: 0 tot 10 kHz max.
- niet-lineariteit: +/-0,02 % tot 10 kHz
- temperatuurscoëfficiënt: +/-80 ppm/°C

Voor de overige gegevens en de voorbeeldschakeling wordt verwezen naar de 450.

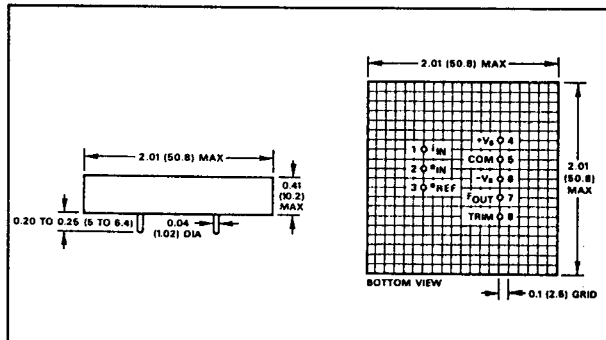
458

100 kHz, +/-0,01 %, +/-5 ppm/°C

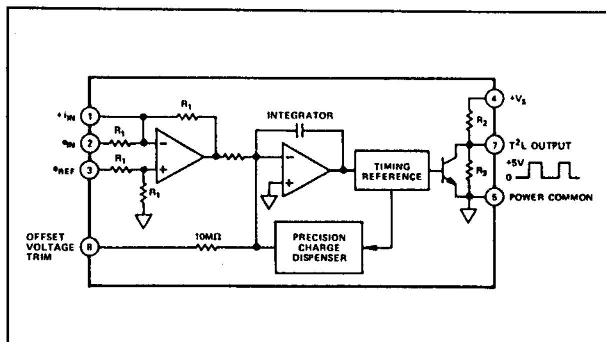
Modulaire spanning naar frequentie omzetter, die wordt gekenmerkt door een zeer kleine temperatuurscoëfficiënt.
De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens
- fabrikant: Analog Devices
- behuizing: speciaal, zie figuur 12/10.2-48
- aansluitgegevens: figuur 12/10.2-48
- intern blokschema: figuur 12/10.2-49
- voedingsspanning: +/-13 V tot +/-18 V
- voedingsstroom: +25, -8 mA
- ingangsspanning: +10 V max.
- ingangsstroom: +0,5 mA max.
- ingangsimpedantie: 40 kΩ
- offsetspanning: 10 mV max.
- uitgangsspanning: 0 tot 10 V max.
- frequentiebereik: 0 tot 100 kHz max.
- niet-lineariteit: +/-0,01 % tot 100 kHz
- temperatuurscoëfficiënt: +/-5 ppm/°C
- kalibratie-fout: +/-0,1 % volle schaal

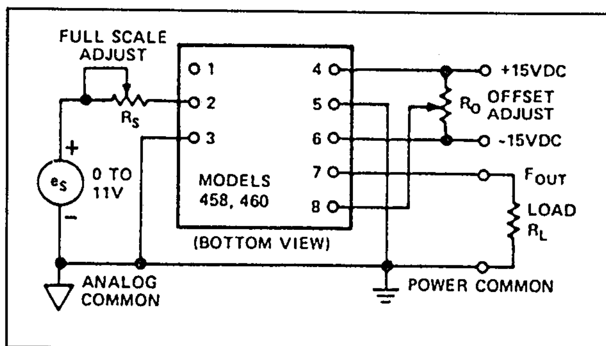
10.2 Type-beschrijving



Figuur 12/10.2-48: Aansluitgegevens van de 458.



Figuur 12/10.2-49: Intern blokschema van de 458.



Figuur 12/10.2-50: U naar f omzetter voor positieve ingangsspanningen met de 458.

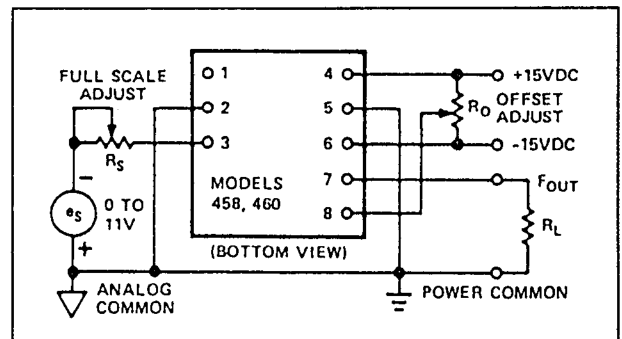
Voorbeeld-schakelingen

- figuur 12/10.2-50:

Standaard schakeling rond de 458 als spanning naar frequentie omzetter voor positieve spanningen. Met de offset adj. wordt de frequentie op de uitgang op minimaal ingesteld bij 0 V aan de ingang. Nadien kan met de full scale adj. de schaalijking worden doorgevoerd.

- figuur 12/10.2-51:

Standaard schema rond de 458 als spanning naar frequentie omzetter voor negatieve ingangsspanningen. Voor deze schakeling geldt dezelfde afregelprocedure.



Figuur 12/10.2-51: U naar f omzetter voor negatieve ingangsspanningen met de 458.

460

1 MHz, +/-0,015 %, +/-100 ppm/°C

Modulaire spanning naar frequentie omzetter, die wordt gekenmerkt door een tamelijk grote bandbreedte. De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens

- fabrikant: Analog Devices
- behuizing: speciaal, zie figuur 12/10.2-48
- aansluitgegevens: figuur 12/10.2-48
- intern blokschema: figuur 12/10.2-49
- voedingsspanning: +/-13 V tot +/-18 V
- voedingsstroom: +25, -8 mA
- ingangsspanning: +10 V max.
- ingangsstroom: 1 mA max.
- ingangsimpedantie: 20 kΩ
- offsetspanning: 10 mV max.
- uitgangsspanning: 0 tot 10 V max.
- frequentiebereik: 0 tot 1 MHz max.
- niet-lineariteit: +/-0,015 % tot 1 MHz
- temperatuurscoëfficiënt: +/-100 ppm/°C

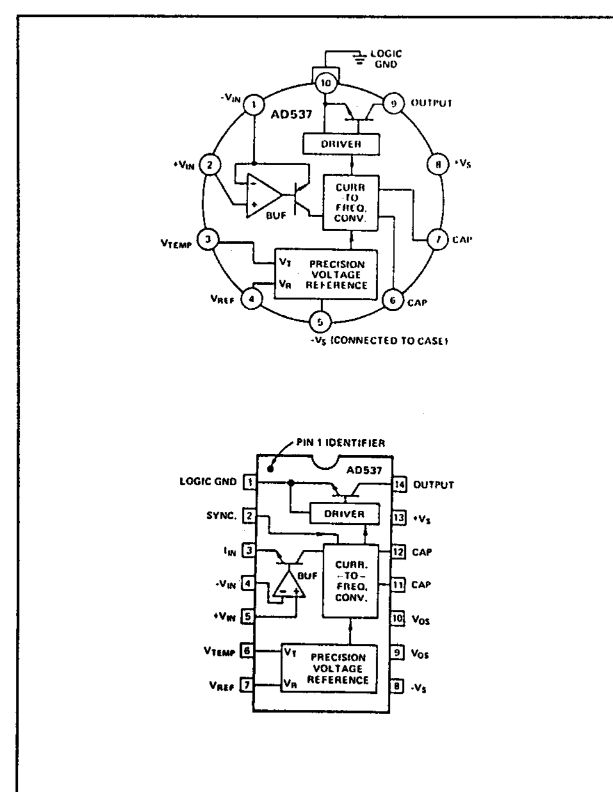
- kalibratie-fout: +/-0,1 % volle schaal

Voor de overige gegevens en de voorbeeldschakelingen wordt verwezen naar de 458.

AD 537

100 kHz, +/-0,07 %, +/-50 ppm/°C

Spanning naar frequentie omzetter die tot de industrie-standaard behoort. Heeft een gemiddelde fout van +/-0,07 % bij 100 kHz op de uitgang. Heeft een ingebouwde spanningsreferentie van 1,00 V.
Heeft bovendien een thermometer-uitgang, waarop een spanning staat die proportioneel is met de absolute temperatuur met een schaalfactor van 1 mV/°K.
De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.



Figuur 12/10.2-52: Aansluitgegevens en intern blokschema van de AD 537.

Technische gegevens
- fabrikant: Analog Devices
- behuizing: TO-100, DIL-14
- aansluitgegevens: figuur 12/10.2-52
- intern blokschema: figuur 12/10.2-52
- voedingsspanning: 4,5 V tot 36 V
- voedingsstroom: 2,5 mA max.
- ingangsspanning: 32 V max.
- biasstroom: 100 nA
- offsetspanning: 5 mV max.
- uitgangsspanning: 0 tot 36 V max.
- uitgangsstroom: 10 mA max.
- frequentiebereik: 0 tot 100 kHz max.
- niet-lineariteit:
  +/-0,07 % tot 10 kHz
  +/-0,1 % tot 100 kHz
- temperatuurscoëfficiënt: +/-50 ppm/°C
- kalibratie-fout: +/-0,1 % volle schaal

Voorbeeld-schakelingen
- figuur 12/10.2-53:

Standaard schakeling rond de AD 537 als spanning naar frequentie omzetter voor positieve spanningen. Met de offset adj. R_T wordt de frequentie op de uitgang op minimaal ingesteld bij 0 V aan de ingang. Nadien kan met de gain adj. R_2 de schaalijking worden doorgevoerd.
- figuur 12/10.2-54:

Standaard schema rond de AD 537 als spanning naar frequentie omzetter voor negatieve ingangsspanningen.
Voor deze schakeling geldt dezelfde afregelprocedure.
- figuur 12/10.2-55:

Standaard schema rond de AD 537 voor een frequentie naar spanning omzetter.
- figuur 12/10.2-56:

Schema van een temperatuur naar frequentie omzetter met de AD 537 en met een omzettingsfactor van 10 Hz per graad Kelvin.

AD 650

1 MHz, +/-0,01 %, +/-100 ppm/°C

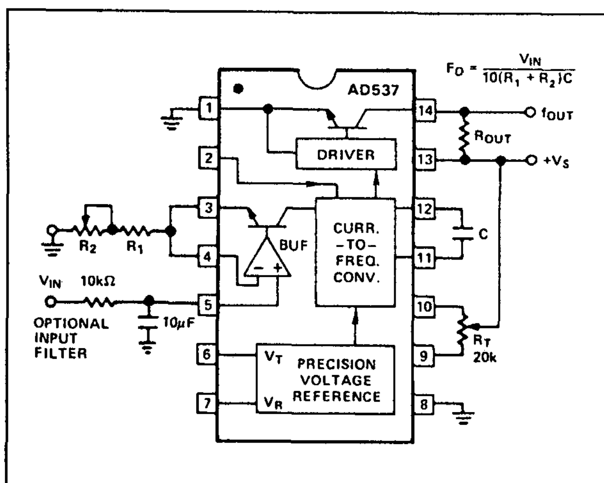
Spanning naar frequentie omzetter, die wordt gekenmerkt door een zeer hoge bandbreedte.

10.2 Type-beschrijving

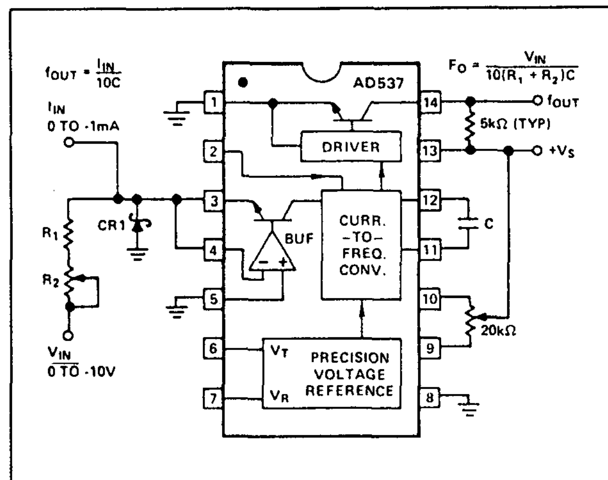
Heeft een gemiddelde fout van +/-0,1 % bij 1 MHz op de uitgang.
De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens

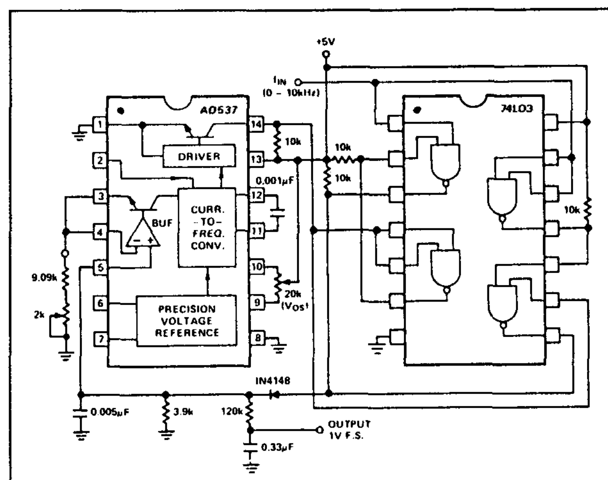
- fabrikant: Analog Devices
- behuizing: DIL-14
- aansluitgegevens: figuur 12/10.2-57
- intern blokschema: figuur 12/10.2-57
- voedingsspanning: +/-9 V tot +/-20 V
- voedingsstroom: +/-6,0 mA
- ingangsspanning: -10 V max.
- ingangsstroom: +250 µA max.
- ingangsimpedantie: 170 kΩ
- biasstroom: 40 nA
- offsetspanning: 4 mV max.
- uitgangsspanning: 0 tot 10 V max.
- uitgangsstroom: 10 mA max.
- frequentiebereik: 0 tot 1 MHz max.
- niet-lineariteit:
  +/-0,01 % tot 10 kHz
  +/-0,02 % tot 100 kHz
  +/-0,5 % tot 500 kHz
  +/-1 % tot 1 MHz
- temperatuurscoëfficiënt: +/-100 ppm/°C
- kalibratie-fout: +/-0,002 % volle schaal



Figuur 12/10.2-53: U naar f omzetter voor positieve ingangsspanningen met de AD 537.



Figuur 12/10.2-54: U naar f omzetter voor negatieve ingangsspanningen met de AD 537.



Figuur 12/10.2-55: f naar U omzetter met de AD 537.

AD 652

2 MHz, +/-0,005 %, +/-25 ppm/°C

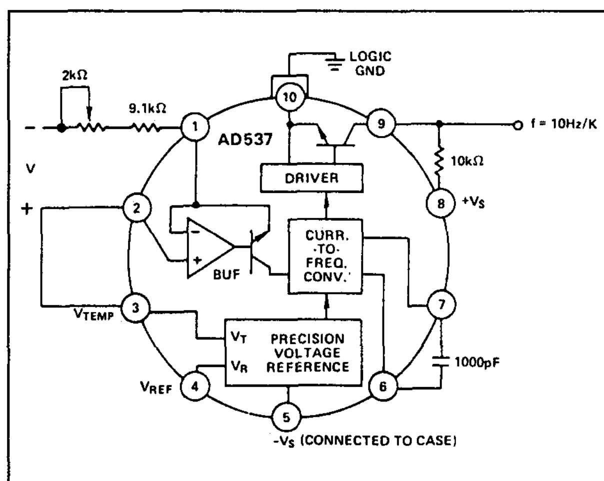
Zeer nauwkeurige spanning naar frequentie omzetter volgens het synchrone principe. Heeft een gemiddelde fout van +/-0,005 % bij 100 kHz op de uitgang.
Deze schakeling maakt gebruik van een externe klok die de maximale frequentie bepaalt. Het gevolg is dat de nauwkeurigheid van de schakeling alleen afhankelijk is van

10.2 Type-beschrijving

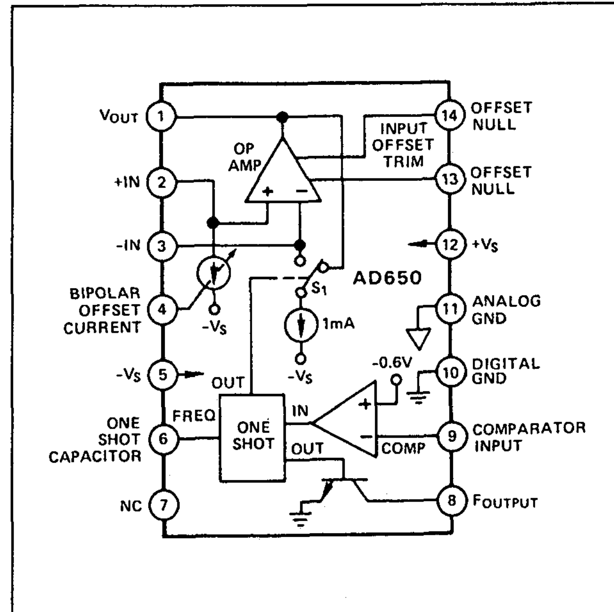
de nauwkeurigheid van de externe oscillator en niet van de temperatuurscoëfficiënt van een condensator.
De schakeling heeft een ingebouwde nauwkeurige spanningsreferentie en heeft door lasertrimming een initiële versterkingsfout van slechts 0,5 %.
De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens

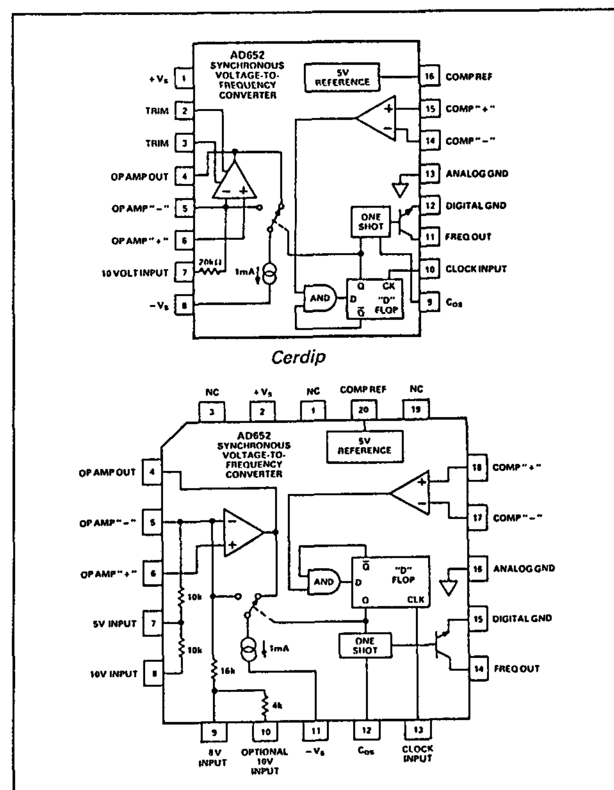
- fabrikant: Analog Devices
- behuizing: 20-pens PLCC, DIL-16
- aansluitgegevens: figuur 12/10.2-58
- intern blokschema: figuur 12/10.2-59
- voedingsspanning: +/-6 V tot +/-18 V
- voedingsstroom: +/-15 mA
- biasstroom: 20 nA
- offsetspanning: 3 mV max.
- uitgangsspanning: 0 tot (U_B - 4 V) max.
- frequentiebereik: 0 tot 2 MHz max.
- niet-lineariteit:
  +/-0,002 % tot 200 kHz
  +/-0,01 % tot 2 MHz
  +/-0,02 % tot 4 MHz
- temperatuurscoëfficiënt: +/-25 ppm/°C
- kalibratie-fout: +/-0,002 % volle schaal



Figuur 12/10.2-56: Temperatuur naar frequentie omzetter met de AD 537.

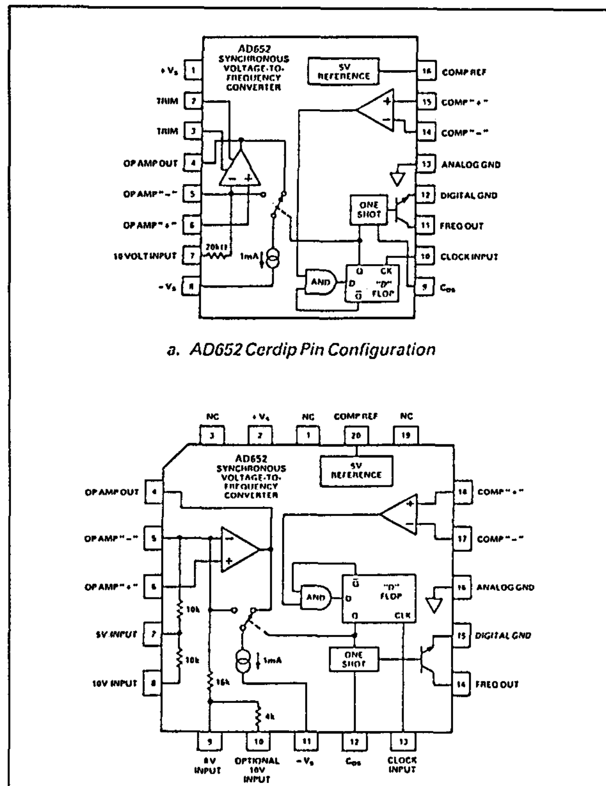


Figuur 12/10.2-57: Aansluitgegevens van de AD 650.

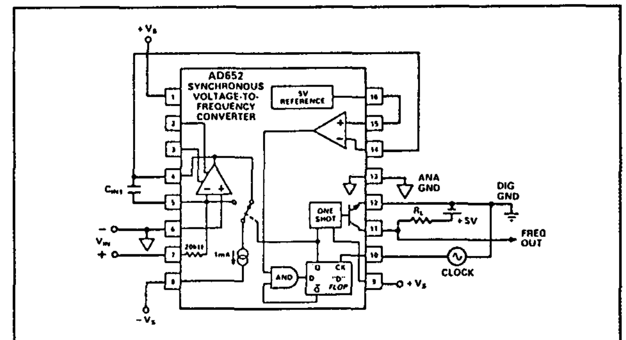


Figuur 12/10.2-58: Aansluitgegevens van de AD 652.

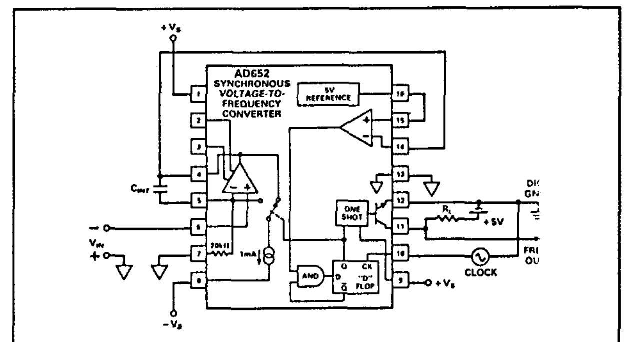
10.2 Type-beschrijving



Figuur 12/10.2-59: Intern blokschema van de AD 652.



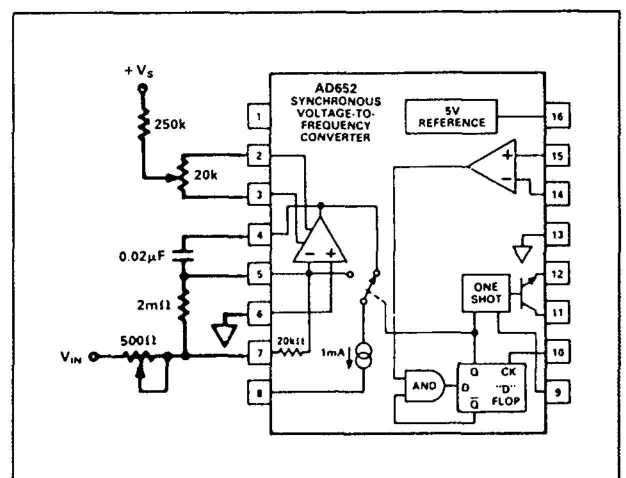
Figuur 12/10.2-60: U naar f omzetter voor positieve ingangsspanningen met de AD 652.



Figuur 12/10.2-61: U naar f omzetter voor negatieve ingangsspanningen met de AD 652.

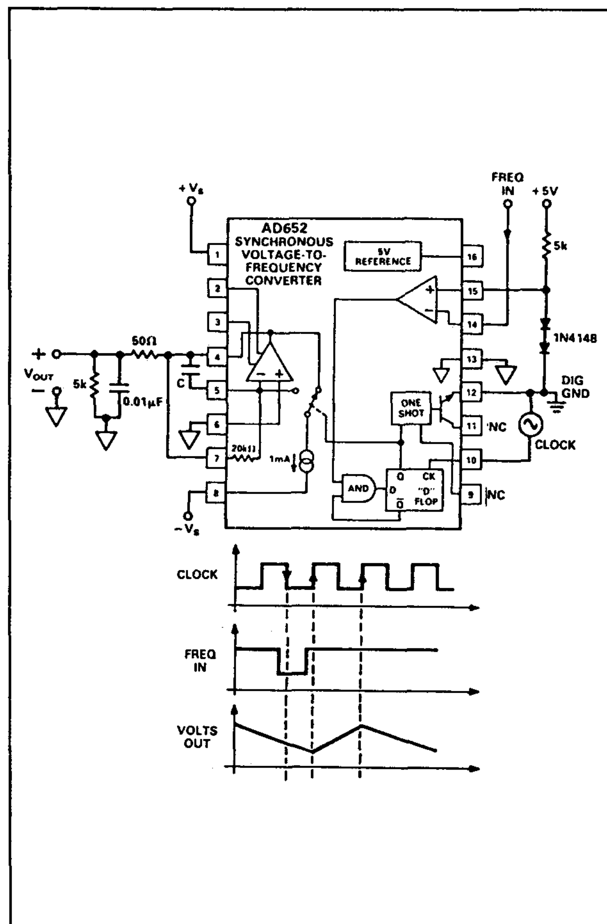
Voorbeeld-schakelingen

- figuur 12/10.2-60:
Standaard schakeling rond de AD 652 als spanning naar frequentie omzetter voor positieve spanningen.
- figuur 12/10.2-61:
Standaard schema rond de AD 652 als spanning naar frequentie omzetter voor negatieve ingangsspanningen.
- figuur 12/10.2-62:
Het afregelen van de offset en het instellen van de schaalfactor bij de AD 652.
- figuur 12/10.2-63:
Standaard schema rond de AD 652 voor een frequentie naar spanning omzetter.
- figuur 12/10.2-64:
Een transducer-schakeling die het spanningsverschil dat over de diagonaal van een brug ontstaat omzet in een frequentie.



Figuur 12/10.2-62: Schakeling voor het afregelen van offset en schaalfactor.

10.2 Type-beschrijving



Figuur 12/10.2-63: f naar U omzetter met de AD 652.

AD 654

500 kHz, +/-0,1 %, +/-50 ppm/°C

Eenvoudige spanning naar frequentie omzetter, bestaande uit een operationele versterker, een nauwkeurige oscillator en een vermogenseindtrap. De enige externe componenten voor het opbouwen van een omzetter met een volle schaal waarde van 500 kHz zijn een weerstand en een condensator. Is met een gemiddelde fout van 0,1 % niet erg nauwkeurig, maar is ideaal geschikt voor gebruik in tal van industriële toepassingen. De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens
- fabrikant: Analog Devices
- behuizing: DIL-8
- aansluitgegevens: figuur 12/10.2-65
- intern blokschema: figuur 12/10.2-65
- voedingsspanning: 4,5 V tot 16,5 V
- voedingsstroom: 3,0 mA
- ingangsspanning: (U_B - 4) V max.
- ingangsimpedantie: 250 MΩ
- biasstroom: 50 nA
- offsetspanning: 1,0 mV max.
- uitgangsspanning: 0 tot U_B V max.
- uitgangsstroom: 20 mA max.
- frequentiebereik: 0 tot 500 kHz max.
- niet-lineariteit:
  +/-0,1 % tot 250 kHz
  +/-0,2 % tot 500 kHz
- temperatuurscoëfficiënt: +/-50 ppm/°C

Voorbeeld-schakelingen
- figuur 12/10.2-66:

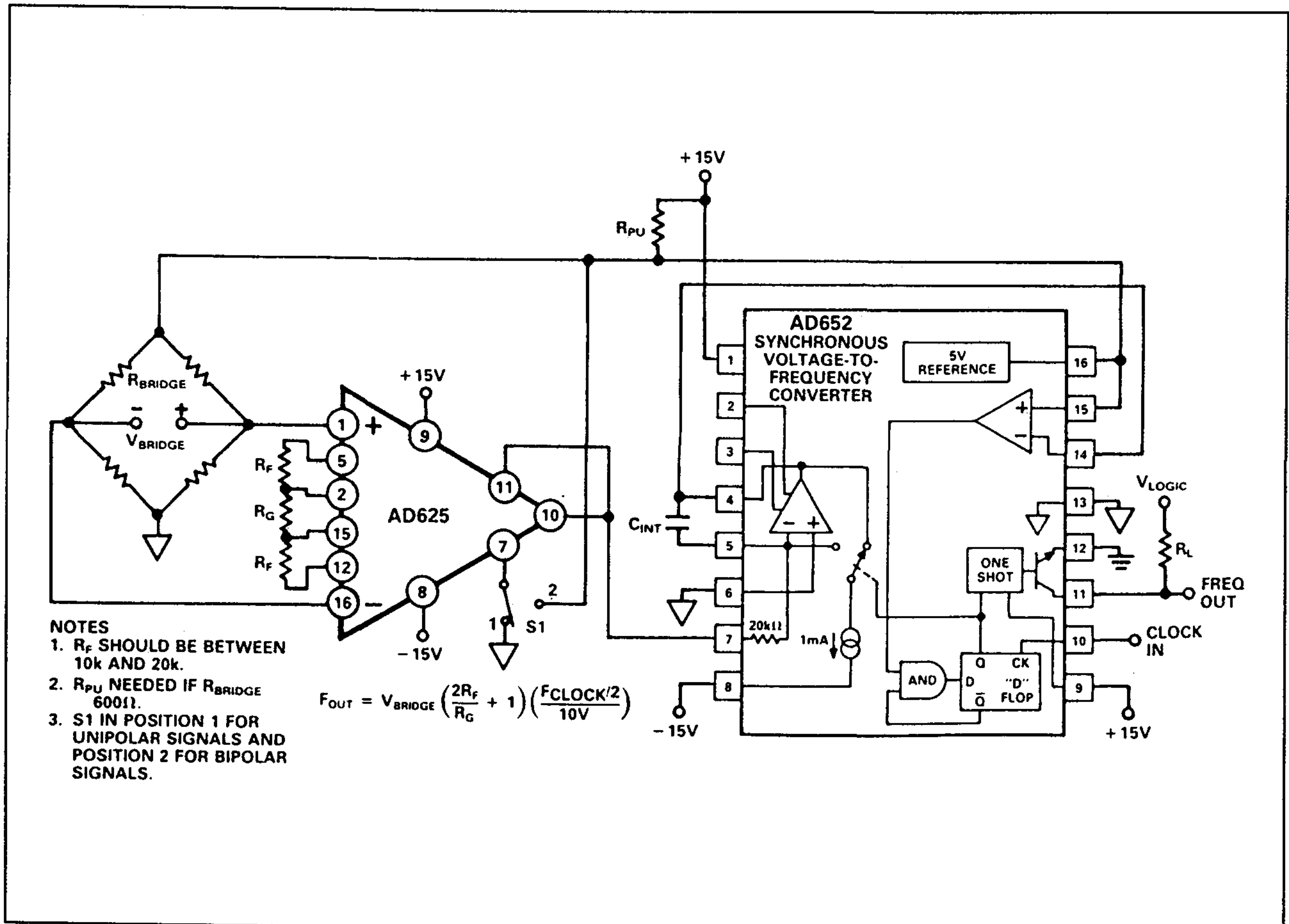
Standaard schakeling rond de AD 654 als spanning naar frequentie omzetter voor positieve spanningen.
- figuur 12/10.2-67:

Standaard schema rond de AD 654 als spanning naar frequentie omzetter voor negatieve ingangsspanningen.
- figuur 12/10.2-68:

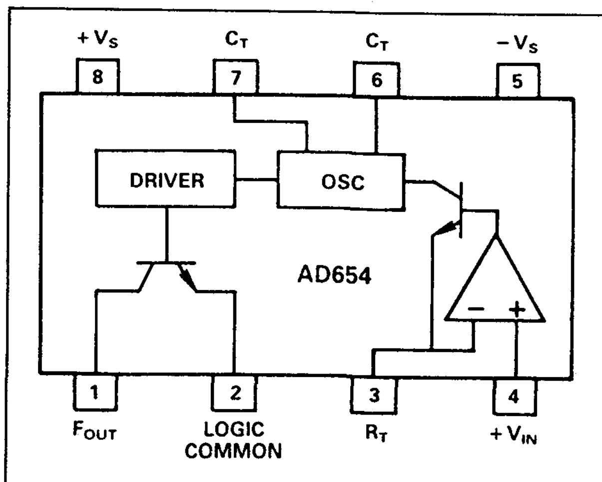
Eenvoudige temperatuur transducer, die door middel van een getwiste, afgeschermde kabel met een ontvanger verbonden kan worden.
Deze kabel wordt niet alleen gebruikt voor het transporteren van de gegevens, maar ook voor het voeden van de zender. In de tabel zijn de verschillende onderdelenwaarden gegeven voor diverse transfer-functies en voedingsspanningen.
- figuur 12/10.2-69:

Spanning naar frequentie omzetter met een verdubbelde uitgangsfrequentie.
Deze schakeling heeft normaal een maximale schaal waarde van 200 kHz, maar krijgt nu door de externe schakeling aan de uitgang een maximale schaalwaarde van 400 kHz.

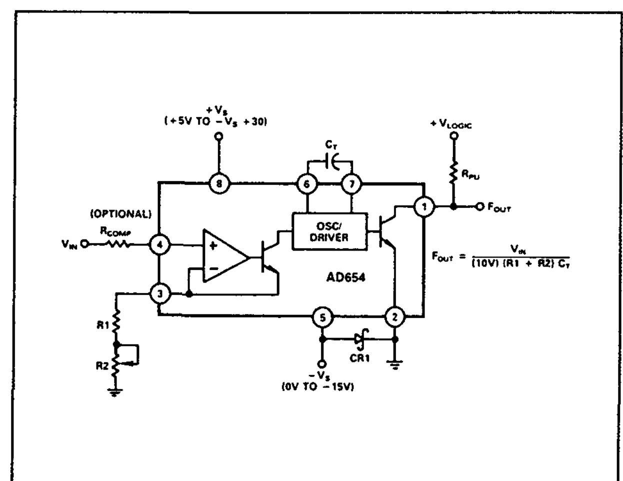
10.2 Type-beschrijving



Figuur 12/10.2-64: Brug-omzetter met een AD 652.

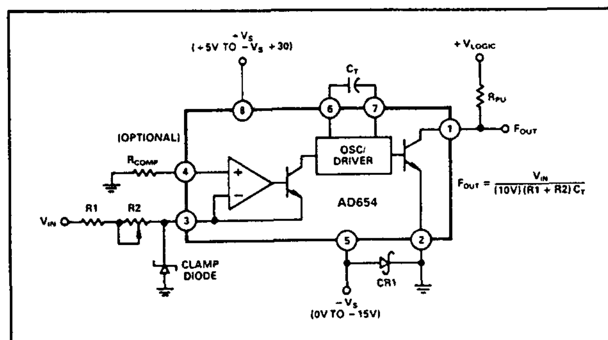


Figuur 12/10.2-65: Aansluitgegevens van de AD 654.

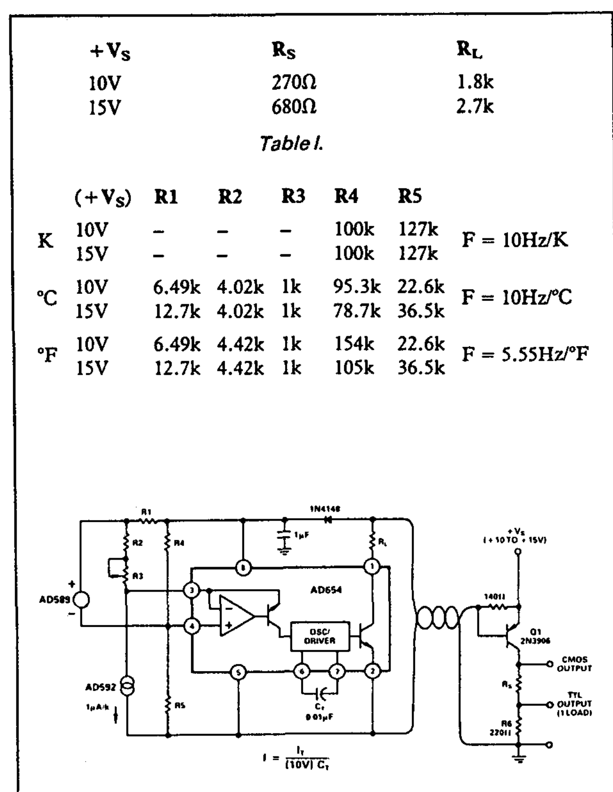


Figuur 12/10.2-66: U naar f omzetter voor positieve ingangsspanningen met de AD 654.

10.2 Type-beschrijving



Figuur 12/10.2-67: U naar f omzetter voor negatieve ingangsspanningen met de AD 654.



+V_S	R_S	R_L
10V	270Ω	1.8k
15V	680Ω	2.7k

Table I.

	(+V_S)	R1	R2	R3	R4	R5	
K	10V	–	–	–	100k	127k	F = 10Hz/K
	15V	–	–	–	100k	127k	
°C	10V	6.49k	4.02k	1k	95.3k	22.6k	F = 10Hz/°C
	15V	12.7k	4.02k	1k	78.7k	36.5k	
°F	10V	6.49k	4.42k	1k	154k	22.6k	F = 5.55Hz/°F
	15V	12.7k	4.42k	1k	105k	36.5k	

Figuur 12/10.2-68: Eenvoudige temperatuur transducer met de AD 654.

SSM 2031

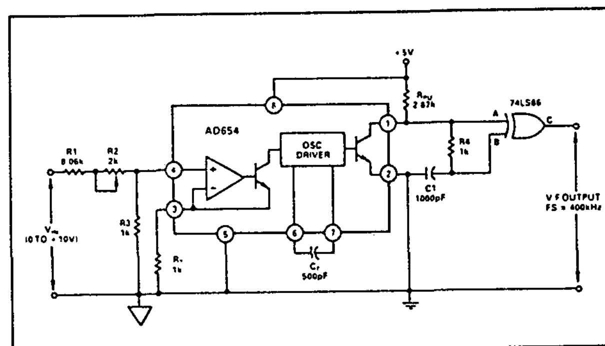
1 MHz, +/-0,1 %, 50 ppm/°C

Speciale spanning naar frequentie omzetter, die wordt gekenmerkt door een dubbele uitgangstrap en een oscillator die slechts één condensator nodig heeft.

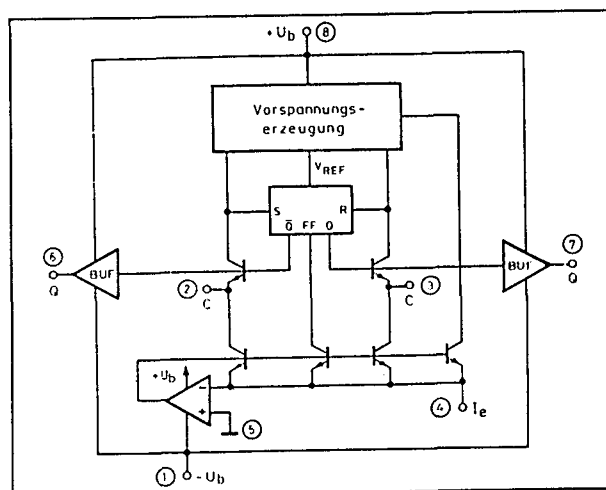
De ingang is een stroomingang en moet dus via een serieweerstand met de spanning worden verbonden. De twee uitgangsbuffers leveren TTL-compatibele signalen af.

Technische gegevens

- fabrikant: onbekend
- behuizing: DIL-8
- aansluitgegevens: figuur 12/10.2-70
- intern blokschema: figuur 12/10.2-70
- voedingsspanning: +/-15 V
- ingangsstroom: 250 nA tot 10 mA
- frequentiebereik: 0 tot 1 MHz max.
- niet-lineariteit: +/-0,1 % tot 1 MHz
- temperatuurscoëfficiënt: +/-50 ppm/°C



Figuur 12/10.2-69: Door een externe schakeling wordt de omzettingsfactor verdubbeld.



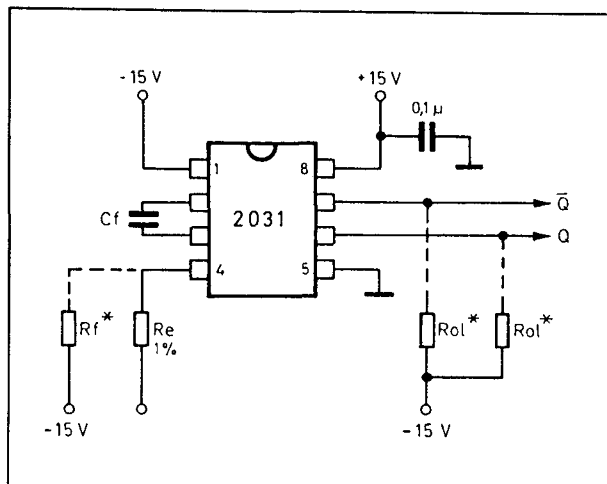
Figuur 12/10.2-70: Aansluitgegevens en intern blokschema van de SSM 2031.

10.2 Type-beschrijving

Voorbeeld-schakeling

- figuur 12/10.2-71:

Standaard schakeling rond de SSM 2031 als spanning naar frequentie omzetter voor positieve spanningen.



Figuur 12/10.2-71: U naar f omzetter met de SSM 2031.

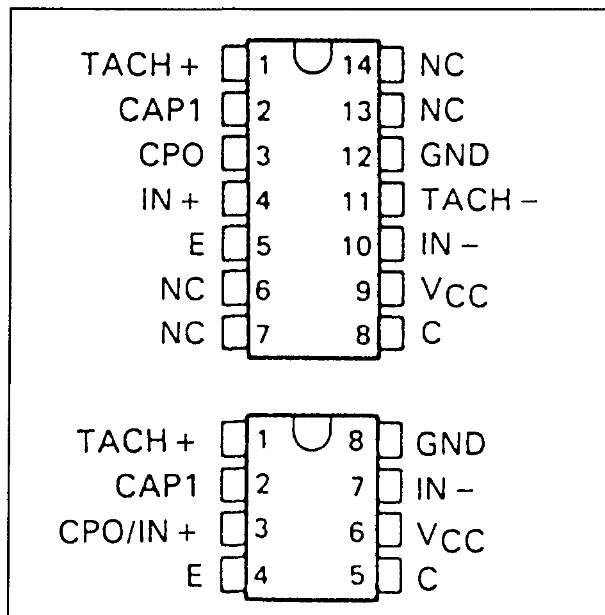
LM 2907

10 kHz, +/-0,3 %

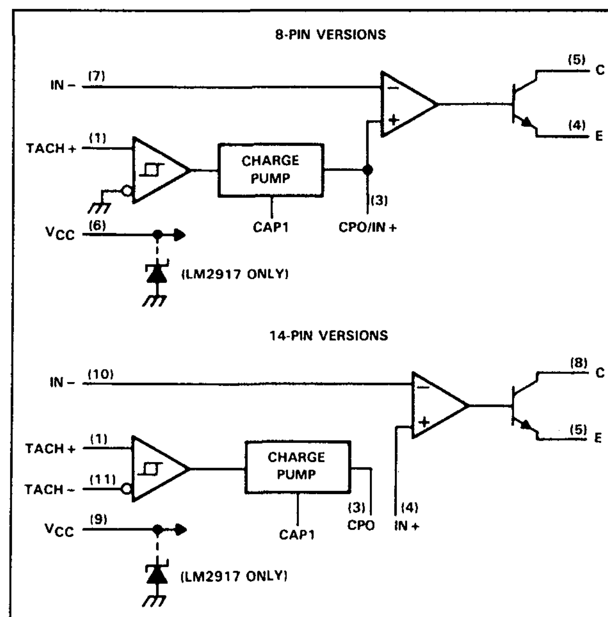
Speciale frequentie naar spanning omzetterschakeling, die een relais of een andere belasting stuurt als de frequentie op de ingang een bepaalde waarde overschrijdt. In feite is dit dus een tacho-meter IC. De schakeling bestaat uit een comparator die een pompcircuit bestuurt en een operationele versterker met uitgangstrap. Deze uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens

- fabrikant: Texas Instruments
- behuizing: DIL-8, DIL-14
- aansluitgegevens: figuur 12/10.2-72
- intern blokschema: figuur 12/10.2-73
- voedingsspanning: 28 V max.
- voedingsstroom: 25 mA
- ingangsfrequentie: 10 kHz max.
- biasstroom: 1 µA
- offsetspanning: 15 mV max.
- uitgangsspanning:
  8,3 V min. bij open uitgang
  2,3 V max. bij gesloten uitgang
- niet-lineariteit:
  +/-0,3 % tot 10 kHz

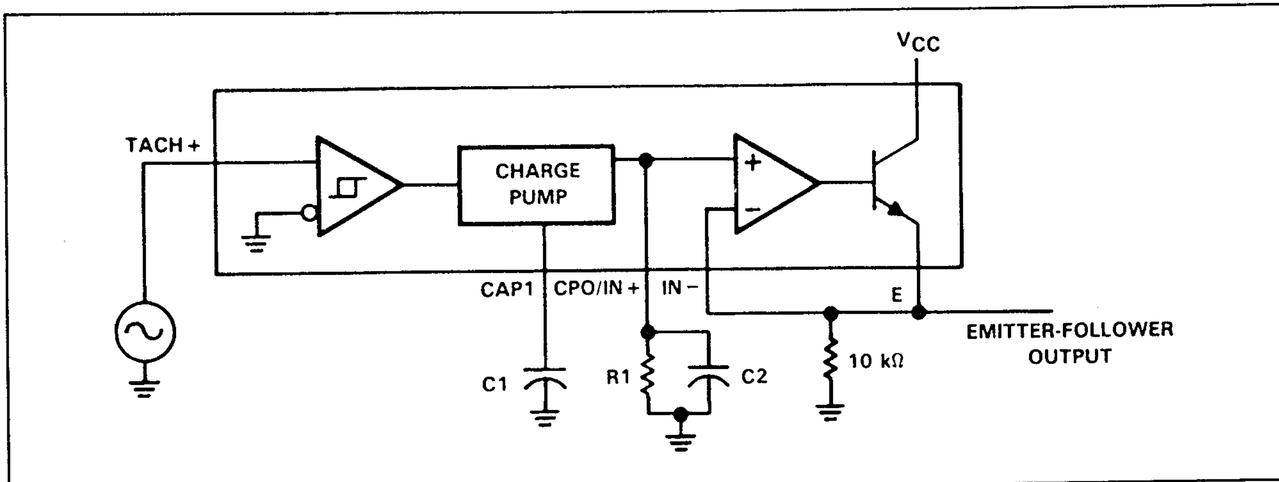


Figuur 12/10.2-72: Aansluitgegevens van de LM 2907.

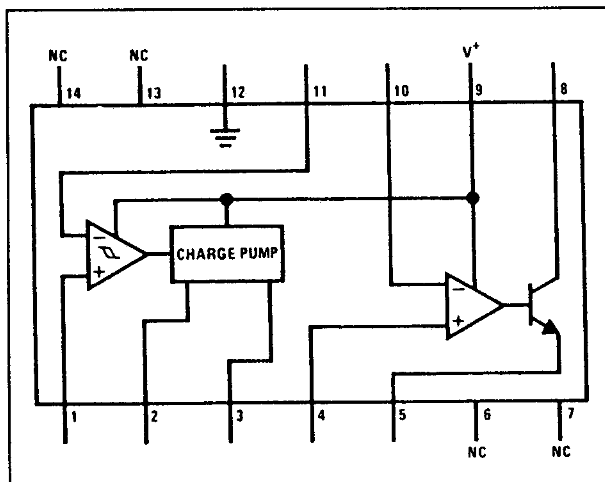


Figuur 12/10.2-73: Intern blokschema van de LM 2907.

10.2 Type-beschrijving



Figuur 12/10.2-74: Tacho-meter schakeling met de LM 2907.



Figuur 12/10.2-75: Aansluitgegevens en intern blokschema van de LM 2907 N.

Voorbeeld-schakeling
- figuur 12/10.2-74:

Standaard schakeling rond de LM 2907 als tacho-meter schakeling.

LM 2907 N

10 kHz, +/-0,3 %

Speciale frequentie naar spanning omzetter-schakeling, die een relais of een andere belasting stuurt als de frequentie op de ingang een bepaalde waarde overschrijdt. In feite is dit dus een tacho-meter IC. De schakeling bestaat uit een comparator die een pomp-circuit bestuurt en een operationele versterker met uitgangstrap. Deze uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens
- fabrikant: National Semiconductor
- behuizing: DIL-14
- aansluitgegevens: figuur 12/10.2-75
- intern blokschema: figuur 12/10.2-75
- voedingsspanning: 28 V max.
- voedingsstroom: 25 mA
- ingangsfrequentie: 10 kHz max.
- biasstroom: 1 µA
- offsetspanning: 10 mV max.
- uitgangsspanning:
  8,3 V min. bij open uitgang
  2,3 V max. bij gesloten uitgang
- niet-lineariteit:
  +/-0,3 % tot 10 kHz

LM 2907 N-8

10 kHz, +/-0,3 %

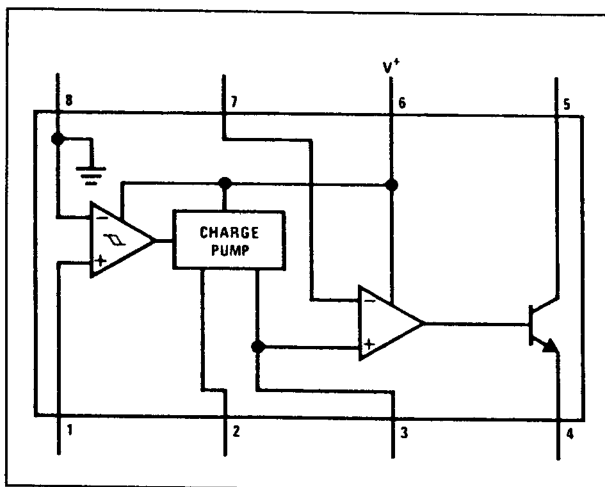
Speciale frequentie naar spanning omzetter-schakeling, die een relais of een andere belasting stuurt als de frequentie op de ingang een bepaalde waarde overschrijdt. In feite is dit dus een tacho-meter IC. De schakeling bestaat uit een comparator die een pomp-circuit bestuurt en een operationele verster-

10.2 Type-beschrijving

ker met uitgangstrap. Deze uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens

- fabrikant: National Semiconductor
- behuizing: DIL-8
- aansluitgegevens: figuur 12/10.2-76
- intern blokschema: figuur 12/10.2-76
- voedingsspanning: 28 V max.
- voedingsstroom: 25 mA
- ingangsfrequentie: 10 kHz max.
- biasstroom: 1 μA
- offsetspanning: 15 mV max.
- uitgangsspanning:
  8,3 V min. bij open uitgang
  2,3 V max. bij gesloten uitgang
- niet-lineariteit:
  +/-0,3 % tot 10 kHz



Figuur 12/10.2-76: Aansluitgegevens van de LM 2907 N-8.

Voorbeeld-schakelingen

- figuur 12/10.2-77:

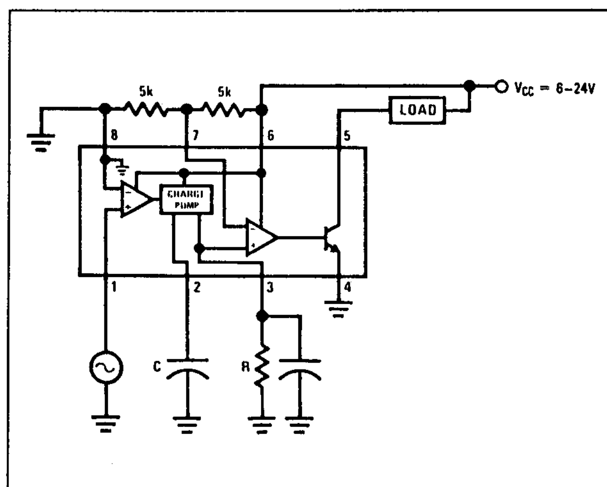
Eenvoudige frequentie naar spanning omzetter waarvan de uitgang wordt geactiveerd als de ingangsfrequentie gelijk wordt aan 1/2.R.C.

- figuur 12/10.2-78:

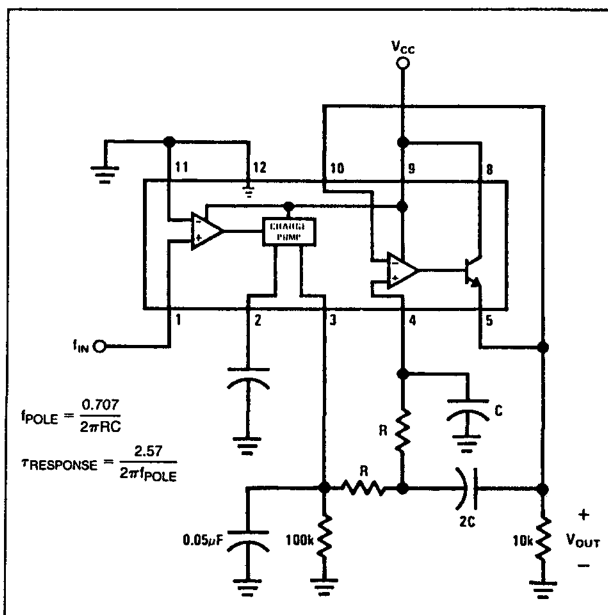
Frequentie naar spanning omzetter met tweede orde Butterworth filter aan de uitgang voor het reduceren van de rimpel op de uitgangsspanning.

- figuur 12/10.2-79:

Aanraak gevoelige detector die de uitgang Q naar "L" trekt als de metalen contactplaat wordt aangeraakt met de vinger.

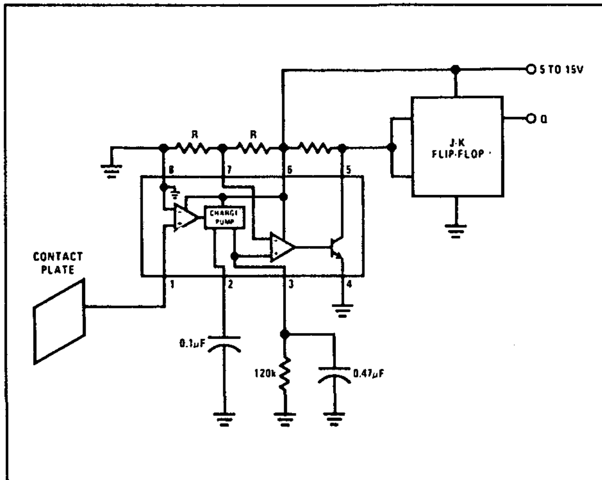


Figuur 12/10.2-77: f naar U omzetter met een LM 2917 N-8.

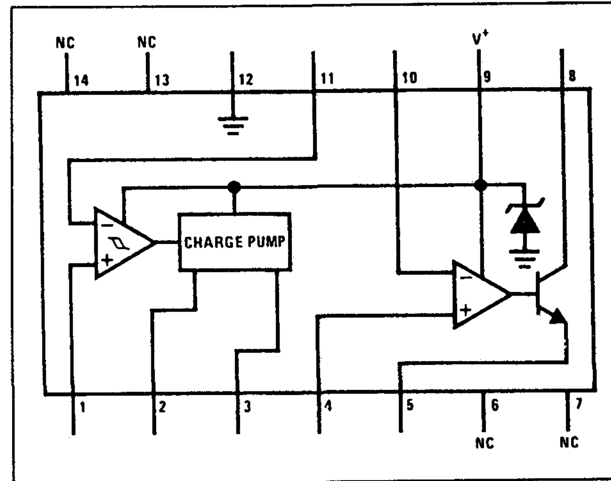


Figuur 12/10.2-78: f naar U omzetter met filter aan de uitgang.

10.2 Type-beschrijving



Figuur 12/10.2-79: Aanraak gevoelige detector met een LM 2917 N-8.



Figuur 12/10.2-80: Aansluitgegevens van de LM 2917.

LM 2917

10 kHz, +/-0,3 %

Speciale frequentie naar spanning omzetterschakeling, die een relais of een andere belasting stuurt als de frequentie op de ingang een bepaalde waarde overschrijdt. In feite is dit dus een tacho-meter IC. De schakeling bestaat uit een comparator die een pompcircuit bestuurt en een operationele versterker met uitgangstrap. Deze uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens

- fabrikant: National Semiconductor
- behuizing: DIL-14
- aansluitgegevens: figuur 12/10.2-80
- intern blokschema: figuur 12/10.2-80
- voedingsspanning: 28 V max.
- voedingsstroom: 25 mA
- ingangsfrequentie: 10 kHz max.
- biasstroom: 1 μA
- offsetspanning: 15 mV max.
- uitgangsspanning:
  8,3 V min. bij open uitgang
  2,3 V max. bij gesloten uitgang
- niet-lineariteit:
  +/-0,3 % tot 10 kHz

LM 2917 N

10 kHz, +/-0,3 %

Volledig compatible met de LM 2917 M.

Technische gegevens

- fabrikant: Texas Instruments
- behuizing: DIL-14
- aansluitgegevens: figuur 12/10.2-80
- intern blokschema: figuur 12/10.2-80

Voor de overige gegevens wordt verwezen naar de LM 2917 M.

LM 2917 N-8

10 kHz, +/-0,3 %

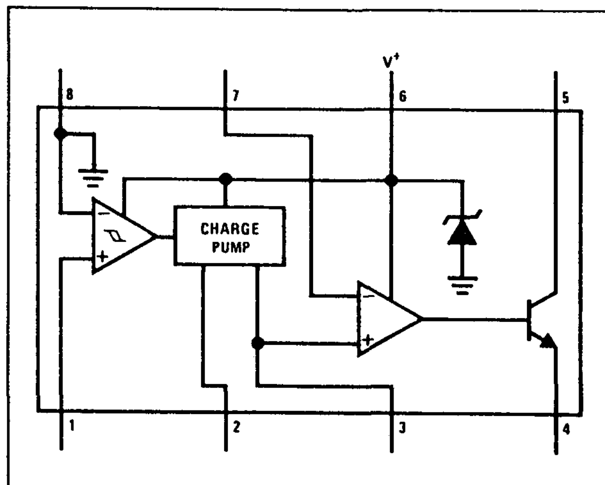
Speciale frequentie naar spanning omzetterschakeling, die een relais of een andere belasting stuurt als de frequentie op de ingang een bepaalde waarde overschrijdt.

In feite is dit dus een tacho-meter IC. De schakeling bestaat uit een comparator die een pomp-circuit bestuurt en een operationele versterker met uitgangstrap. Deze uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

10.2 Type-beschrijving

Technische gegevens

- fabrikant: National Semiconductor
- behuizing: DIL-8
- aansluitgegevens: figuur 12/10.2-81
- intern blokschema: figuur 12/10.2-81
- voedingsspanning: 28 V max.
- voedingsstroom: 25 mA
- ingangsfrequentie: 10 kHz max.
- biasstroom: 1 μA
- offsetspanning: 15 mV max.
- uitgangsspanning:
  8,3 V min. bij open uitgang
  2,3 V max. bij gesloten uitgang
- niet-lineariteit:
  +/-0,3 % tot 10 kHz



Figuur 12/10.2-81: Aansluitgegevens van de LM 2917 N-8.

RC 4151

100 kHz, +/-0,013 %, +/-50 ppm/°C

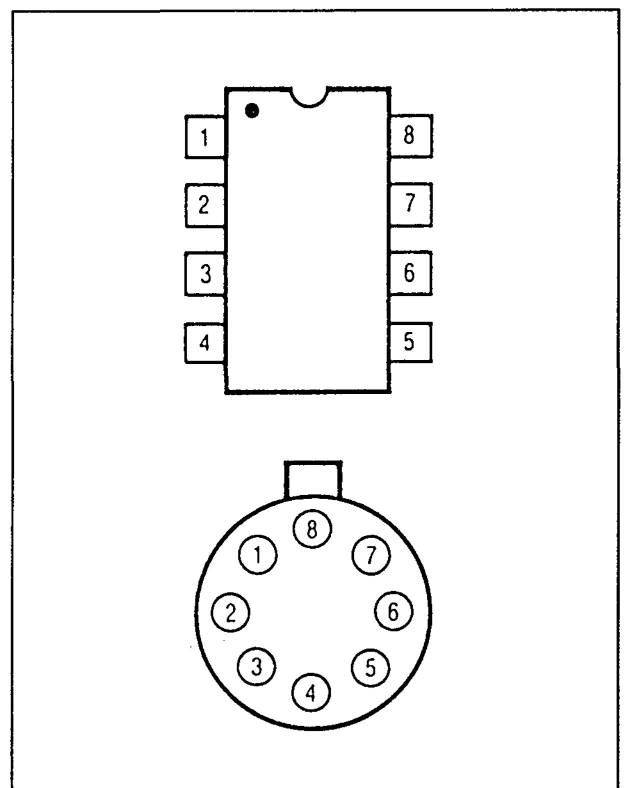
Spanning naar frequentie omzetter met middelmatige eigenschappen. Gevolg van het feit dat volgens de fabrikant dit type de eerste U naar f converter was die op de markt verscheen.

De schakeling heeft een ingebouwde nauwkeurige spanningsreferentie van 1,7 V.

De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens

- fabrikant: Raytheon
- behuizing: TO-99, DIL-8
- aansluitgegevens: figuur 12/10.2-82
- intern blokschema: figuur 12/10.2-83
- voedingsspanning: 8 V tot 22 V
- voedingsstroom: 7,5 mA
- biasstroom: 100 nA
- offsetstroom: 100 nA max.
- ingangsspanning: 0 tot (U_B - 3) V
- frequentiebereik: 0 tot 100 kHz max.
- niet-lineariteit:
  +/-0,013 % tot 10 kHz
- temperatuurscoëfficiënt: +/-50 ppm/°C



Figuur 12/10.2-82: Aansluitgegevens van de RC 4151.

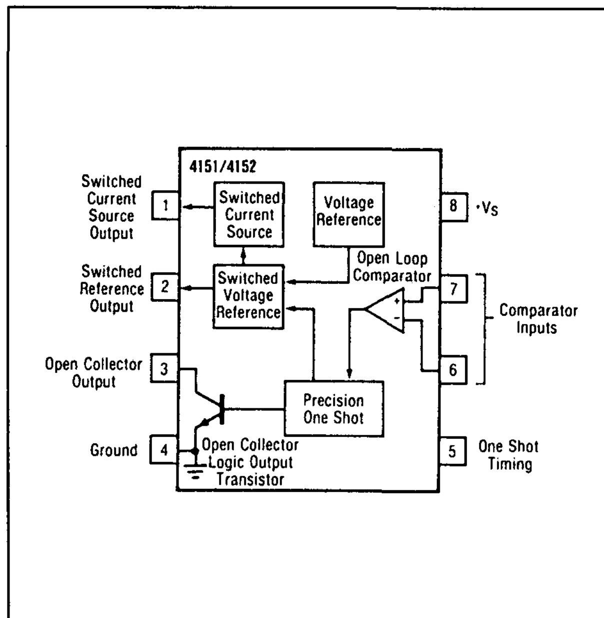
Voorbeeld-schakelingen

- figuur 12/10.2-84:

Standaard schakeling rond de RC 4151 als spanning naar frequentie omzetter voor ne-

10.2 Type-beschrijving

gatieve spanningen, met als basis een ingangsstroom.
- figuur 12/10.2-85:
Idem, maar nu met een spanning als basis van de ingang.
- figuur 12/10.2-86:
Standaard schema rond de RC 4151 voor een frequentie naar spanning omzetter.



Figuur 12/10.2-83: Intern blokschema van de RC 4151.

RM 4151

100 kHz, +/-0,05 %, +/-100 ppm/°C

Spanning naar frequentie omzetter met middelmatige eigenschappen.
Door diverse fabrikanten op de markt gebrachte "second source" van de RC 4151 met vergelijkbare eigenschappen.

Technische gegevens

- fabrikant: diversen
- behuizing: TO-99, DIL-8
- aansluitgegevens: figuur 12/10.2-82
- intern blokschema: figuur 12/10.2-83

Voor de overige gegevens en de voorbeeld-schakelingen wordt verwezen naar de RC 4151.

XR-4151

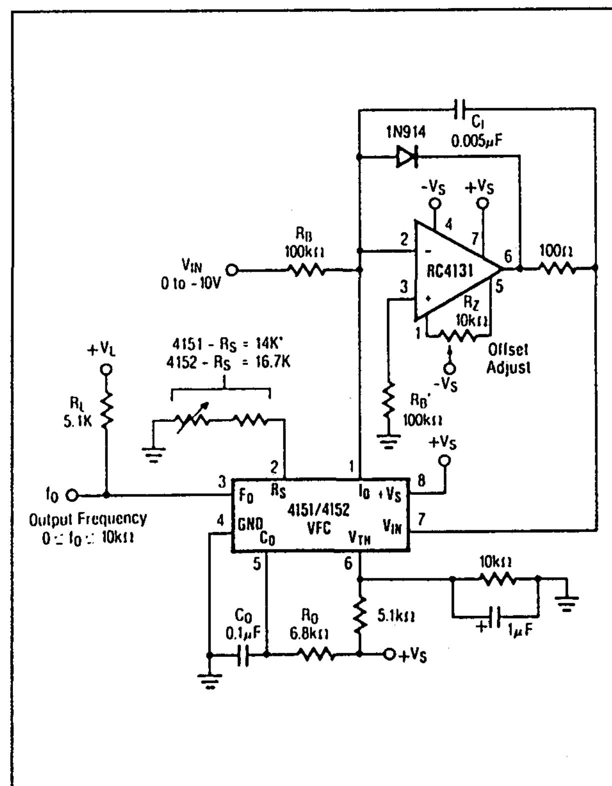
100 kHz, +/-0,05 %, +/-100 ppm/°C

Exar equivalent van de RC 4151. Pen- en functie-compatible, maar met afwijkende eigenschappen.

Technische gegevens

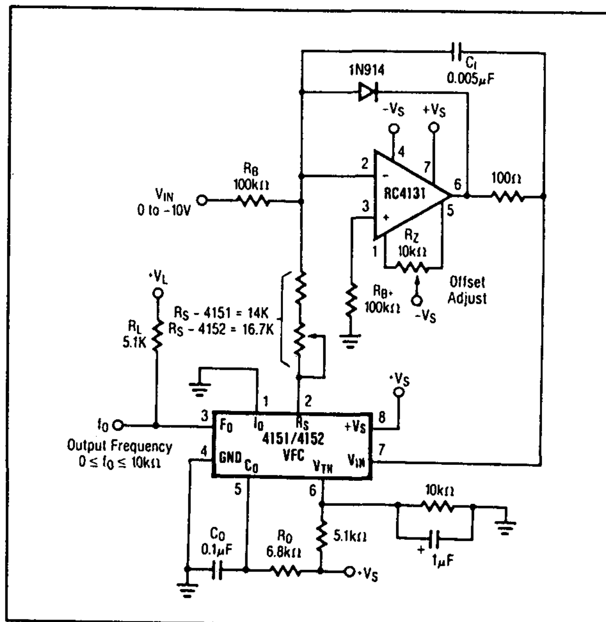
- fabrikant: Exar
- behuizing: TO-99, DIL-8
- aansluitgegevens: figuur 12/10.2-82
- intern blokschema: figuur 12/10.2-83
- voedingsspanning: 8 V tot 22 V
- offsetstroom: 150 nA max.
- frequentiebereik: 0 tot 100 kHz max.
- niet-lineariteit:
  +/-0,05 % tot 10 kHz
- temperatuurscoëfficiënt: +/-100 ppm/°C

Voor de overige gegevens en voorbeeld-schakelingen wordt verwezen naar de RC 4151.



Figuur 12/10.2-84: U naar f omzetter voor negatieve ingangsspanningen met de RC 4151.

10.2 Type-beschrijving



Figuur 12/10.2-85: U naar f omzetter voor negatieve ingangsspanningen met de RC 4151.

RC 4152

100 kHz, +/-0,007 %, +/-50 ppm/°C

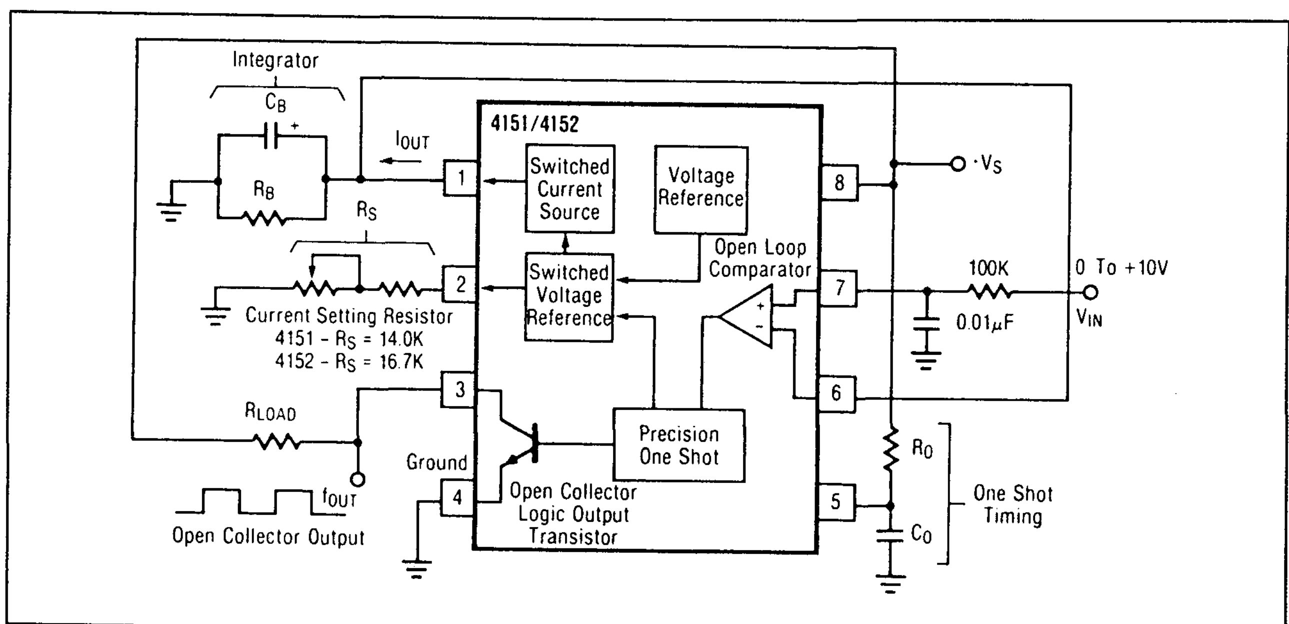
Spanning naar frequentie omzetter die door Raytheon als opvolger van de RC 4151 op de markt is gebracht. Voornaamste verschil is de hogere nauwkeurigheid.

Pen- en functie-compatible met de RC 4151, maar met verbeterde specificaties.

Technische gegevens

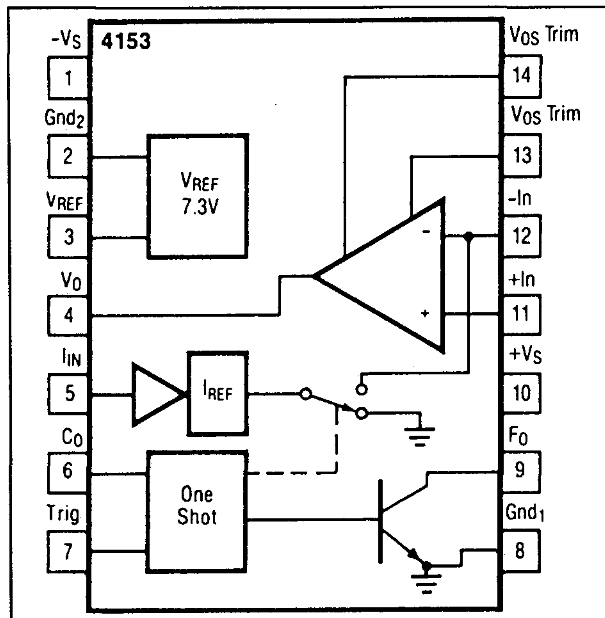
- fabrikant: Raytheon
- behuizing: To-99, DIL-8
- aansluitgegevens: figuur 12/10.2-82
- intern blokschema: figuur 12/10.2-83
- voedingsspanning: 8 V tot 22 V
- voedingsstroom: 7,5 mA
- biasstroom: 50 nA
- offsetstroom: 50 nA max.
- ingangsspanning: 0 tot (U_B - 3) V
- frequentiebereik: 0 tot 100 kHz max.
- niet-ineariteit: +/-0,007 % tot 10 kHz
- temperatuurscoëfficiënt: +/-50 ppm/°C

Voor de overige gegevens en de voorbeeld-schakelingen wordt verwezen naar de RC 4151.



Figuur 12/10.2-86: f naar U omzetter met RC 4151.

10.2 Type-beschrijving



Figuur 12/10.2-87: Aansluitgegevens van de RC 4153.

RC 4153

250 kHz, +/-0,01 %, +/-50 ppm/°C

Spanning naar frequentie omzetter die door Raytheon werd ontwikkeld als opvolger van de RC 4151/4152.

De schakeling heeft een ingebouwde nauwkeurige spanningsreferentie van 7,3 V.

De frequentie-uitgang heeft een open collector-structuur zodat steeds een externe belastingsweerstand moet worden aangebracht.

Technische gegevens
- fabrikant: Raytheon
- behuizing: DIL-14
- aansluitgegevens: figuur 12/10.2-87
- intern blokschema: figuur 12/10.2-87
- voedingsspanning: +/-12 V tot +/-18 V
- voedingsstroom: +4,2, -7 mA
- biasstroom: 400 nA
- offsetstroom: 30 nA max.
- ingangsspanning: 0 tot (U_B - 3) V
- frequentiebereik: 0 tot 250 kHz max.
- niet-lineariteit:
  +/-0,01 % tot 10 kHz
  +/-0,1 tot 100 kHz
  +/-0,12 tot 250 kHz
- temperatuurscoëfficiënt: +/-50 ppm/°C

Voorbeeld-schakelingen
- figuur 12/10.2-88:

Basis-schakeling van een spanning naar frequentie omzetter met een RC 4153.
- figuur 12/10.2-89:

Basis-schakeling van een frequentie naar spanning omzetter met een RC 4153.
- figuur 12/10.2-90:

Spanning naar frequentie omzetter met externe trimming van de offset en van de schaalfactor.

MB 4207

geen gegevens bekend

Japanse frequentie naar spanning omzetter waarvan weinig gegevens ter redactie bekend zijn, maar die voor de volledigheid toch maar wordt opgenomen.

Technische gegevens
- fabrikant: onbekend
- behuizing: speciaal, figuur 12/10.2-91
- aansluitgegevens: figuur 12/10.2-91
- intern blokschema: figuur 12/10.2-92
- voedingsspanning: 24 V max.
- voedingsstroom: 5 mA
- biasstroom: 0,5 µA
- offsetspanning: 10 mV max.

Voorbeeld-schakeling
- figuur 12/10.2-93:

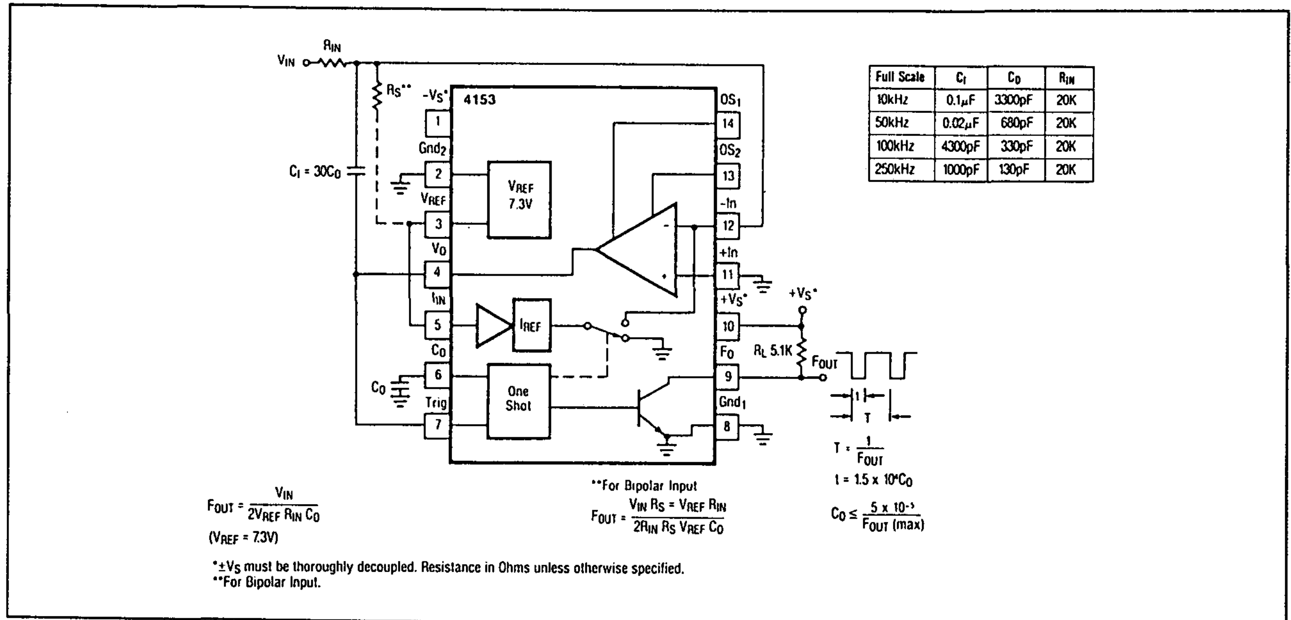
Standaard schakeling rond de MB 4207 als frequentie naar spanning omzetter.

TA 8029 S

geen gegevens bekend

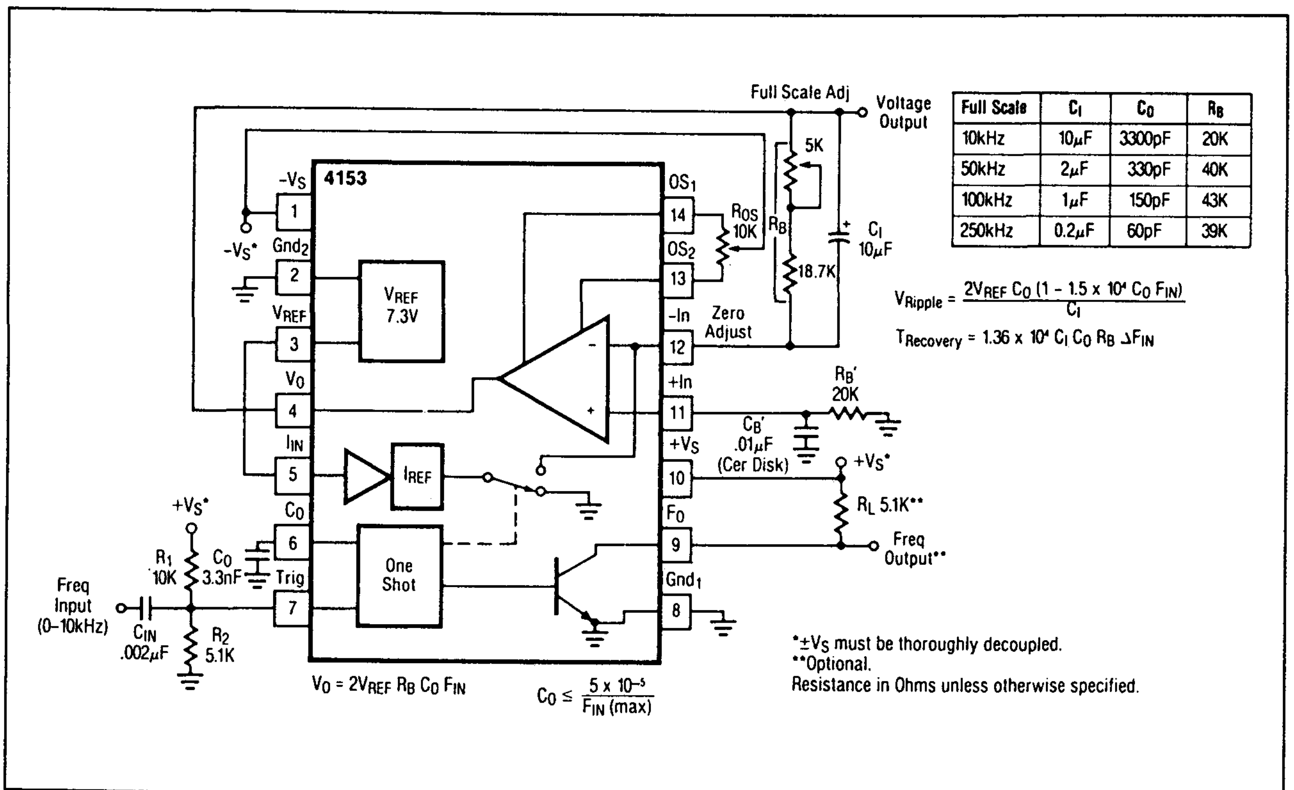
Japanse frequentie naar spanning omzetter waarvan weinig gegevens ter redactie bekend zijn, maar die voor de volledigheid toch maar wordt opgenomen.

10.2 Type-beschrijving



Full Scale	C_I	C_O	R_{IN}
10kHz	0.1μF	3300pF	20K
50kHz	0.02μF	680pF	20K
100kHz	4300pF	330pF	20K
250kHz	1000pF	130pF	20K

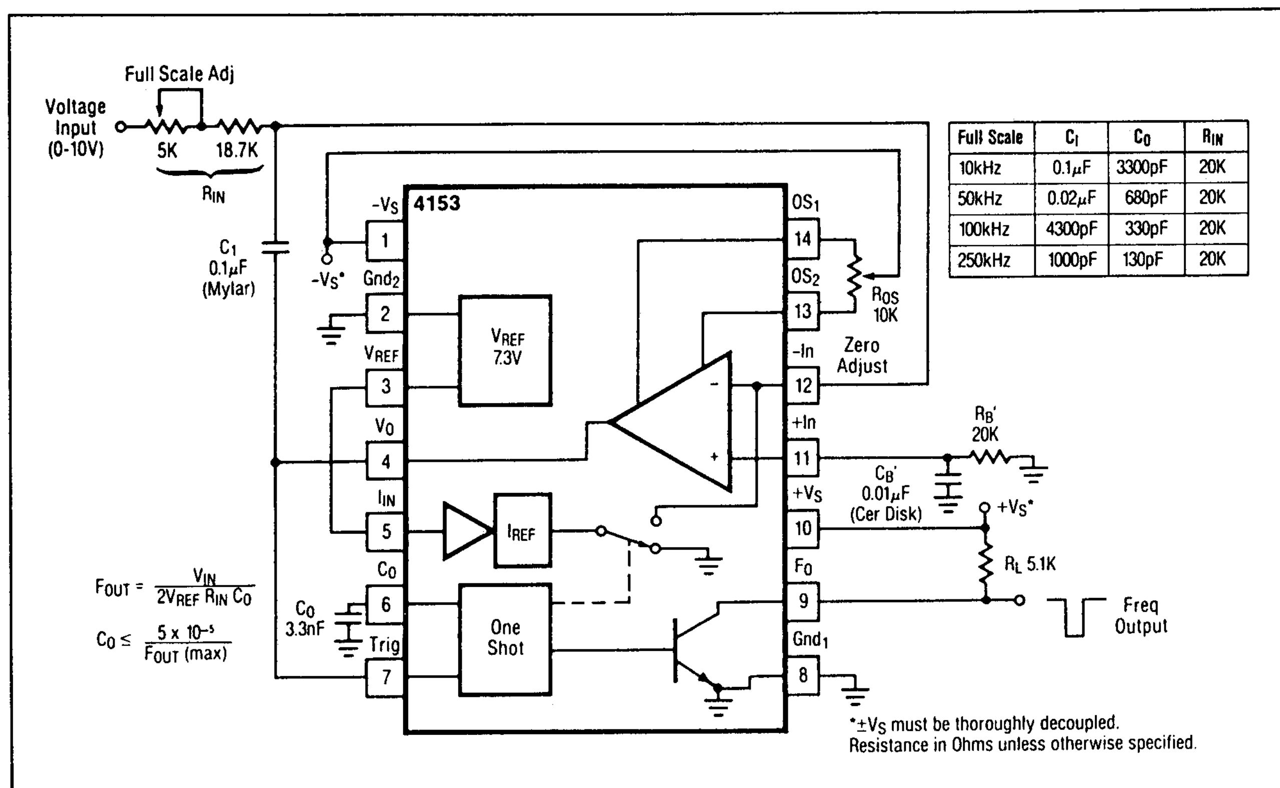
Figuur 12/10.2-88: U naar f omzetter met een RC 4153.



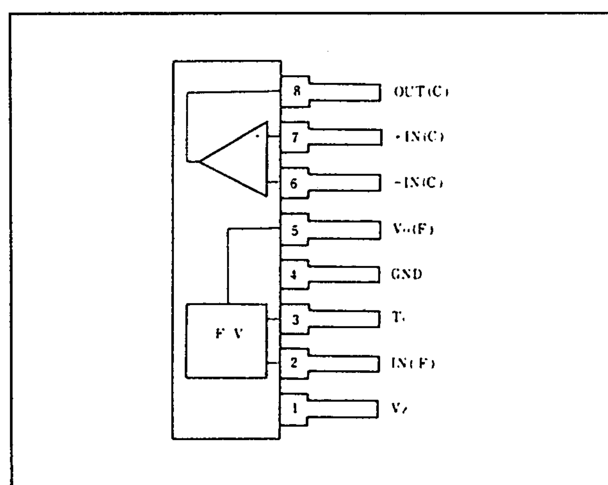
Full Scale	C_I	C_O	R_B
10kHz	10μF	3300pF	20K
50kHz	2μF	330pF	40K
100kHz	1μF	150pF	43K
250kHz	0.2μF	60pF	39K

Figuur 12/10.2-89: f naar U omzetter met een RC 4153.

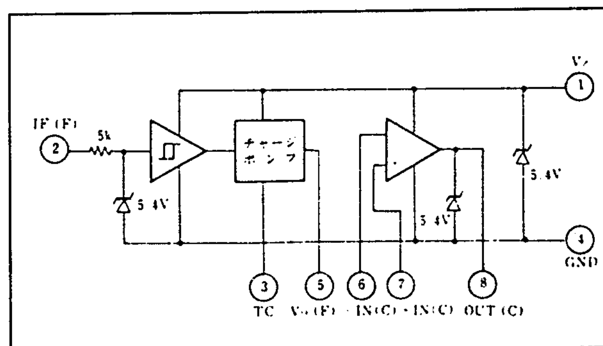
10.2 Type-beschrijving



Figuur 12/10.2-90: Externe compensatie van de offset en ijking van de schaal.



Figuur 12/10.2-91: Aansluitgegevens van de MB 4207.



Figuur 12/10.2-92: Intern blokschema van de MB 4207.

- intern blokschema: figuur 12/10.2-94
- voedingsspanning: 30 V max.
- voedingsstroom: 5 mA
- biasstroom: 0,2 µA

Technische gegevens

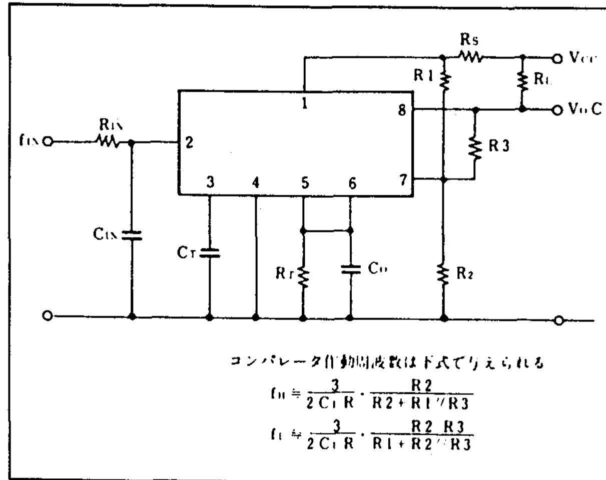
- fabrikant: onbekend
- behuizing: speciaal, figuur 12/10.2-94
- aansluitgegevens: figuur 12/10.2-94

Voorbeeld-schakeling

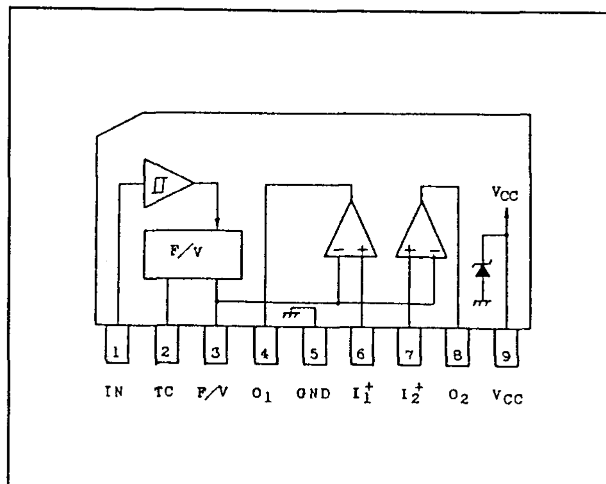
- figuur 12/10.2-95:

Standaard schakeling rond de TA 8029 S als frequentie naar spanning omzetter.

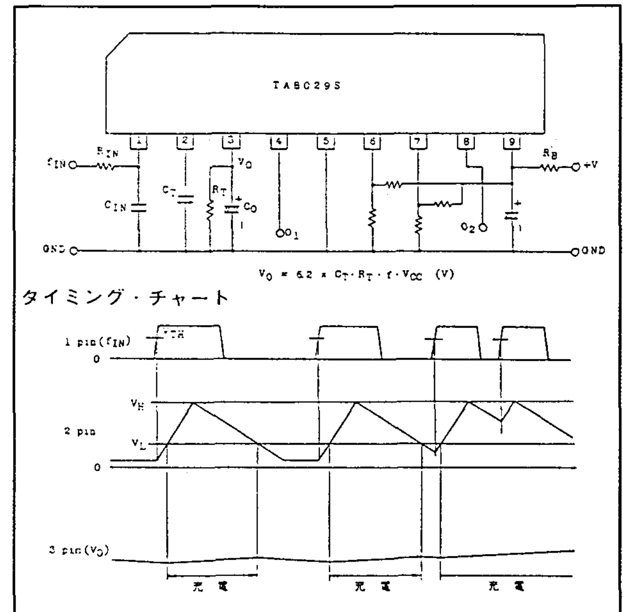
10.2 Type-beschrijving



Figuur 12/10.2-93: f naar U omzetter met de MB 4207.



Figuur 12/10.2-94: Aansluitgegevens van de TA 8029 S.



Figuur 12/10.2-95: f naar U omzetter met de TA 8029 S.

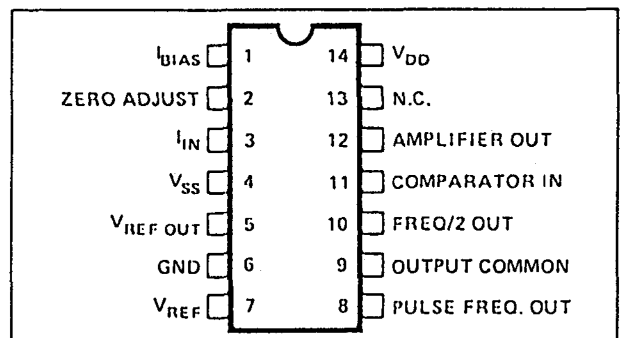
TCS 9400

100 kHz, +/-0,05 %, +/-25 ppm/°C

Low cost spanning naar frequentie omzetter volgens het standaard principe. Wordt voornamelijk gekenmerkt door een zeer hoge ingangsimpedantie en een dubbele uitgang, waarvan de ene via een frequentiedeler op de andere is aangesloten. Beide uitgangen hebben een open-collector structuur, zodat men steeds een externe belastingsweerstand moet gebruiken.

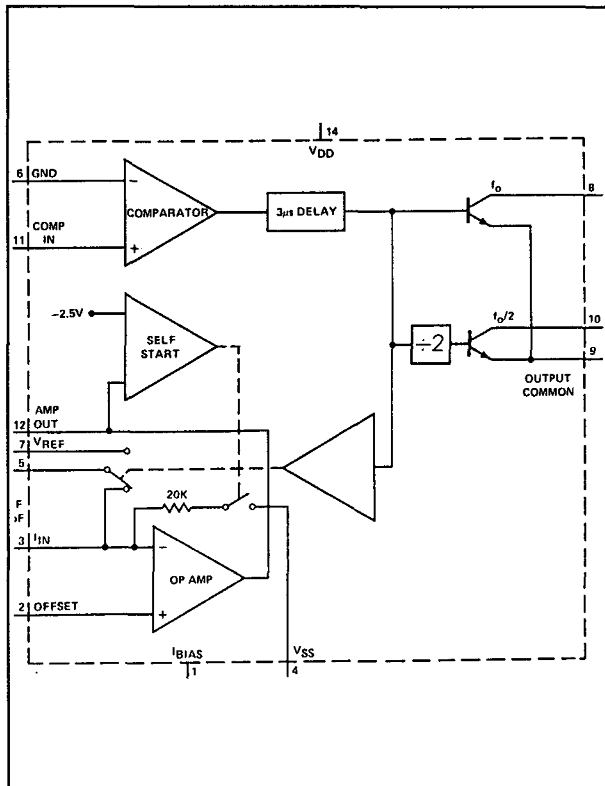
Technische gegevens

- fabrikant: Teledyne Semiconductor
- behuizing: DIL-14
- aansluitgegevens: figuur 12/10.2-96
- intern blokschema: figuur 12/10.2-97
- voedingsspanning: +/-4,0 V tot +/-7,5 V
- voedingsstroom: +/-6 mA
- offsetspanning: 10 mV max.
- frequentiebereik: 0 tot 100 kHz max.
- niet-lineariteit:
  +/-0,05 % tot 10 kHz
  +/-0,1 % tot 100 kHz
- temperatuurscoëfficiënt: +/-25 ppm/°C

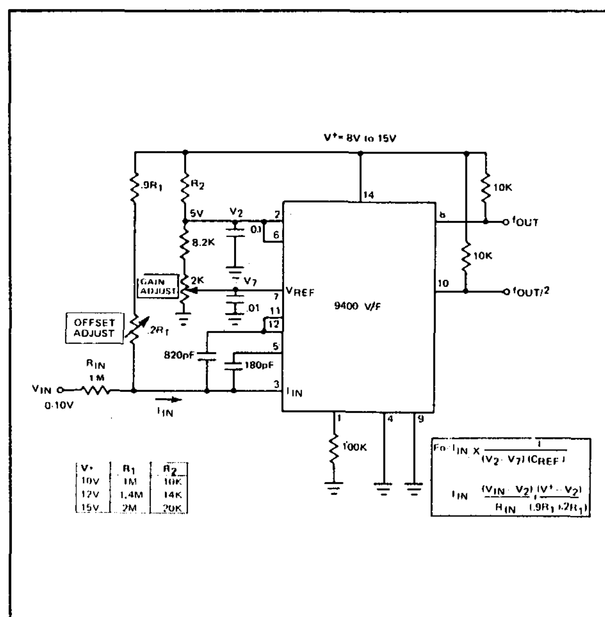


Figuur 12/10.2-96: Aansluitgegevens van de TCS 9400.

10.2 Type-beschrijving



Figuur 12/10.2-97: Intern blokschema van de TCS 9400.



Figuur 12/10.2-98: U naar f omzetter voor positieve ingangsspanningen met de TSC 9400.

Voorbeeld-schakeling

- figuur 12/10.2-98:

Standaard schakeling rond de TCS 9400 als spanning naar frequentie omzetter voor positieve spanningen.

TCS 9401

100 kHz, +/-0,02 %, +/-25 ppm/°C

Functie- en pen-compatible met de TCS 9400, het enige verschil is de grotere nauwkeurigheid.

Technische gegevens

- fabrikant: Teledyne Semiconductor
- behuizing: DIL-14
- aansluitgegevens: figuur 12/10.2-96
- intern blokschema: figuur 12/10.2-97
- niet-lineariteit:
  +/-0,02 % tot 10 kHz
  +/-0,04 % tot 100 kHz

Voor de overige gegevens en de voorbeeldschakeling wordt verwezen naar de TCS 9400.

TCS 9402

100 kHz, +/-0,25 %, +/-25 ppm/°C

Functie- en pen-compatible met de TCS 9400, het enige verschil is de kleinere nauwkeurigheid.

Technische gegevens

- fabrikant: Teledyne Semiconductor
- behuizing: DIL-14
- aansluitgegevens: figuur 12/10.2-96
- intern blokschema: figuur 12/10.2-97
- niet-lineariteit:
  +/-0,25 % tot 10 kHz
  +/-0,50 % tot 100 kHz

Voor de overige gegevens en de voorbeeldschakeling wordt verwezen naar de TCS 9400.

12/11

Data acquisitie systemen

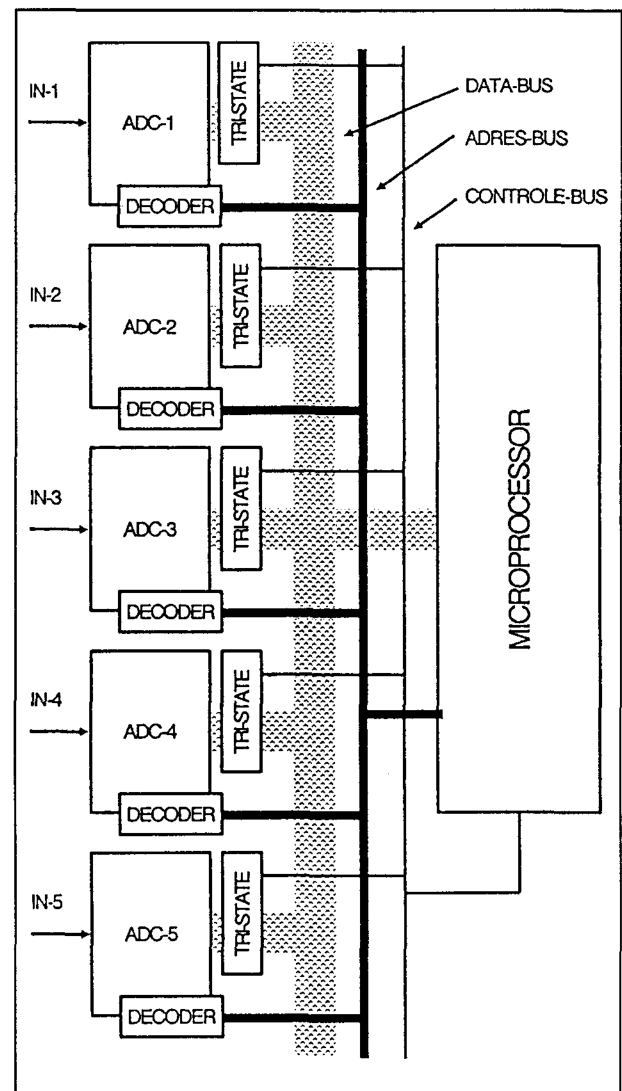
Inhoud

12/11.1

Achtergrond-informatie

Inleiding

Meer dan één analoog signaal
De in hoofdstuk 12/3 beschreven analoog naar digitaal omzetters zijn uitstekend geschikt voor het digitaliseren van één analoge ingangsspanning. Deze wordt keurig, op commando van een stuurpuls, omgezet in een binaire code, die verder verwerkt kan worden. Tegenwoordig zal men echter vaak behoefte hebben aan het digitaliseren van meer dan een ingangsspanning. Denk bijvoorbeeld aan industriële processen, waar honderden analoge spanningen en stromen, geleverd door allerlei soorten sensoren, in een computersysteem ingelezen moeten worden. Bij een computergestuurd weerstation zal men minstens een stuk of vijf analoge spanningen moeten verwerken: binnen temperatuur, buiten temperatuur, luchtdruk, luchtvochtigheid, windsnelheid, etc.
Natuurlijk zou men iedere analoge ingangsspanning kunnen aanbieden aan een eigen ADC, maar dan zit men met het probleem dat de digitale uitgangsgegevens op het juiste moment op de een of andere manier op de data-bus van de processor aangeboden moeten worden. De enige oplossing is het blokschema van figuur 12/11.1-1 toe te passen. De digitale uitgangen van de vijf individuele ADC's worden via tri-state buffers op de data-bus van het processorsysteem aangesloten. Deze buffers zijn absoluut noodzakelijk om te verhinderen dat de gegevens van de ene ADC de gegevens van de andere ADC in de weg zitten. Bovendien moet iedere ADC geadresseerd worden.



Figuur 12/11.1-1: Vijf individuele ADC's moeten via vrij uitgebreide hulpschakelingen op de adresbus van een microprocessor worden aangesloten.

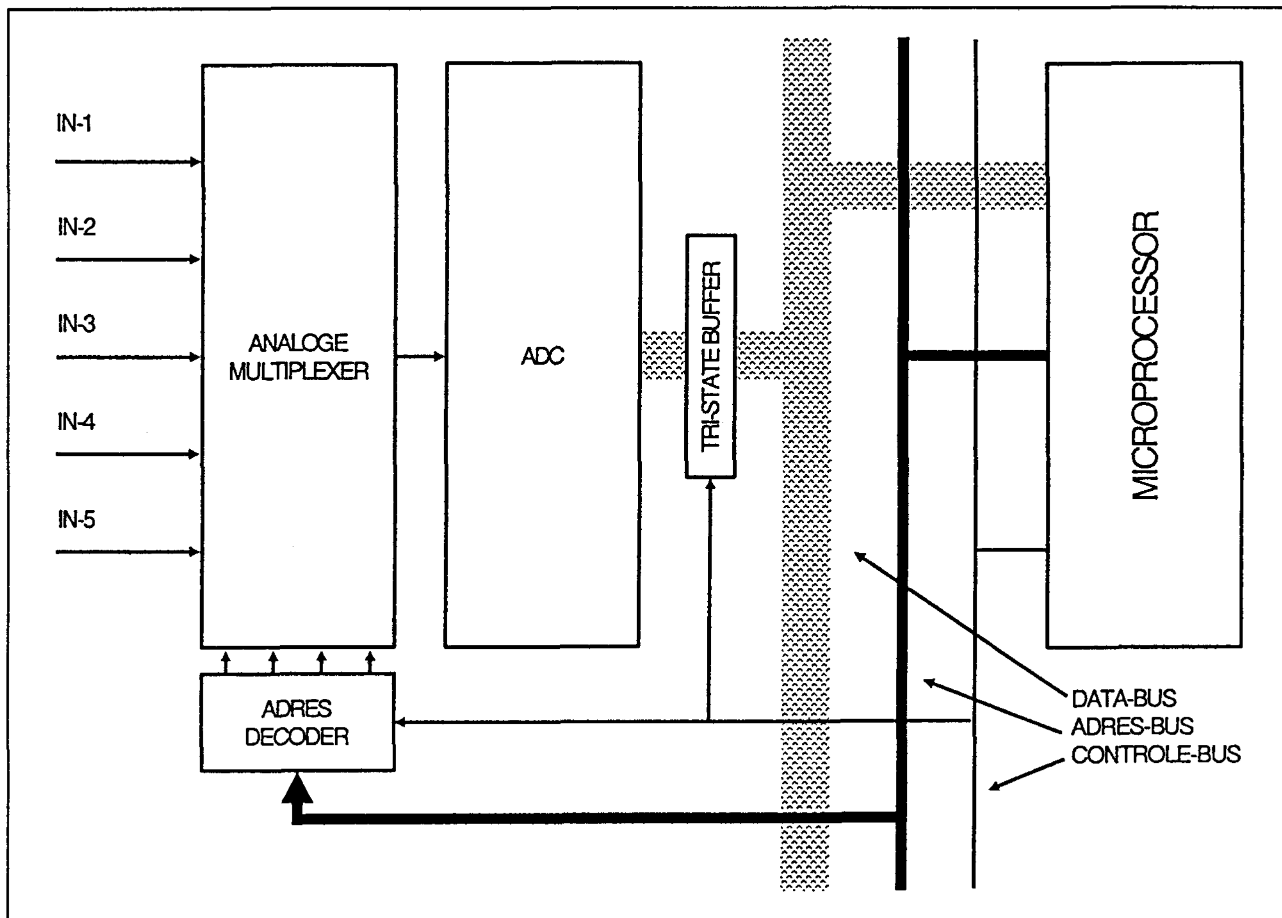
11.1 Achtergrond-informatie

De microprocessor moet weten wanneer de gegevens van een bepaalde ADC op de data-bus staan. Dat is alleen mogelijk als iedere individuele ADC via een adres-decoder op de adres-bus van de processor is aangesloten. In deze adres-decoders wordt aan iedere ADC een individueel adres toegekend, dat softwarematig te benaderen is. Het zal duidelijk zijn dat dit systeem uitstekend werkt, maar nogal wat vraagt van de ontwerper en de print-tekenaar!

Een alternatief

Een alternatief is gebruik te maken van maar één ADC, die via een analoge multiplexer verbonden wordt met de verschillende analoge ingangen.

Dit systeem wordt voorgesteld in figuur 12/11.1-2 en vraagt aanmerkelijk minder elektronica. De analoge multiplexer wordt gestuurd uit slechts één adres-decoder, rechtstreeks aangesloten op de adres-bus van de microprocessor. De analoge multiplexer zal de vijf analoge ingangen, op commando van de processor, een na een doorverbinden met de ingang van de analoog naar digitaal omzetter. Deze zet de gegevens via slechts één tri-state buffer op de data-bus van het systeem.



Figuur 12/11.1-2: Een alternatieve oplossing, die heel wat minder hardware vraagt.

11.1 Achtergrond-informatie

DAS

Het zal duidelijk zijn, dat het blokschema van figuur 12/11.1-2 vrij eenvoudig volledig te integreren is. Dat is nu het principe van DAS, afkorting van "Data Acquisition System". Een DAS-IC biedt de mogelijkheid diverse analoge ingangsspanningen op een heel eenvoudige manier een na een om te zetten in een binaire code en deze code's een na een aan te bieden aan de data-bus van een processor-systeem.

Van eenvoudig tot complex

Diverse fabrikanten, waaronder NatSemi, Analog Devices en Plessey, brengen complete DAS-schakelingen op de markt. Er bestaat weinig compatibiliteit tussen de diverse schakelingen. Hoewel het principe van data acquisitie duidelijk is, zijn er natuurlijk tal van opties mogelijk. Zo zijn er vrij eenvoudige IC's, die vier analoge ingangssignalen accepteren en die via een twee bit brede adressering selecteren. Het geselecteerde ingangskanaal wordt rechtstreeks aan een ADC aangeboden en de resultaten van de digitalisatie op een 8 bit brede uitgangsbus aangeboden. Maar daarnaast zijn er ook vrij ingewikkelde schakelingen, die bestuurd moeten worden met een controle-woord dat door een processorsysteem geleverd wordt. In dit controlewoord zit informatie over welke analoge ingang bemonsterd moet worden en hoe dit signaal bemonsterd moet worden, bijvoorbeeld continu of eenmalig. Sommige schakelingen bieden hun digitale informatie rechtstreeks aan op de binaire uitgangen. Andere DAS-systemen hebben echter een ingebouwd geheugen, waarin de resultaten van de analoog naar digitaal omzettingen van alle ingangskanalen worden bewaard en op afroep ter beschikking staan. Sommige IC's hebben enkelvoudige ingangen, waarbij de analoge ingangsspanningen worden gerefereerd ten opzichte van de massa. Andere schakelingen bieden echter de mogelijkheid symmetrische spanningen toe te voeren, doordat de ingangstrappen uit twee analoge multiplexers bestaan, waarvan de uitgangen zijn aangesloten op een ingebouwde verschilversterker.
Er is, kortom, voor ieder ontwerpprobleem wel een schakeling te vinden!

Een voorbeeld ter kennismaking

De ADC 0808 van NatSemi

Als afsluiting van dit inleidend hoofdstuk wordt een typische vertegenwoordiger van DAS-IC's besproken. De ADC 0808 is een recht-toe-recht-aan data acquisitie systeem. Zoals uit het intern blokschema van figuur 12/11.1-3 blijkt, bestaat dit IC uit een analoge multiplexer met acht enkelvoudige ingangen. De ingangskanalen worden geselecteerd via de binaire code op drie adres-ingangen. Dit woord wordt, op commando van het "ADRESS LATCH ENABLE"-signaal, in een latch opgeborgen. De uitgang van de analoge multiplexer gaat naar een standaard ADC die werkt volgens het SAR-principe. Deze SAR wordt uiteraard gestuurd vanuit een clock en de uitgangen van dit register sturen een DAC. De uitgangsspanning van deze DAC wordt in een comparator vergeleken met de analoge spanning die op de uitgang van de analoge multiplexer staat. Als beide spanningen aan elkaar gelijk zijn, wordt de uitgangscode van de SAR in de uitgangslatch opgeborgen. De acht uitgangen van deze latch zijn tri-state uitgevoerd en kunnen dus rechtstreeks op de data-bus van een processor-systeem worden aangesloten.

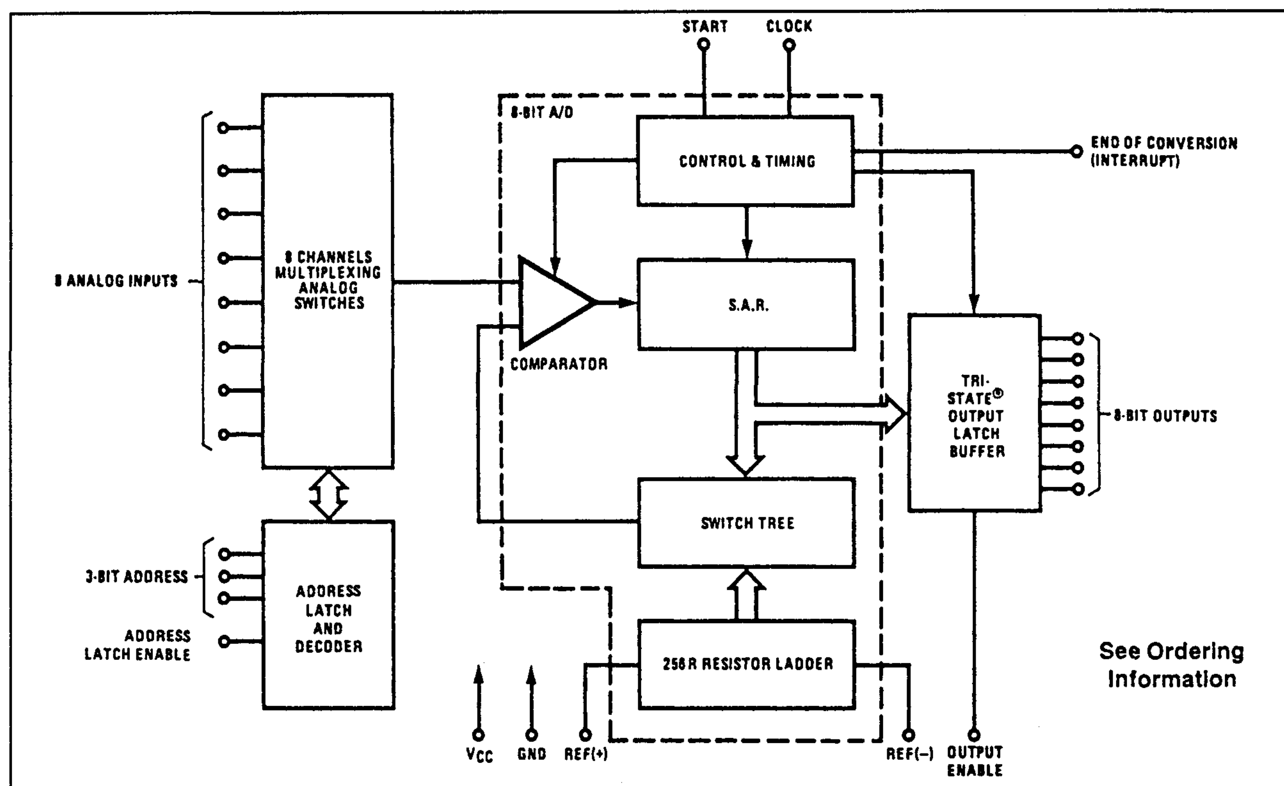
Controle-ingangen

De gehele schakeling heeft maar vier controle-ingangen, namelijk:

- Address Latch Enable (ALE):
  Leest de gegevens op de adres- ingangen in de interne latch in en selecteert een van de acht ingangen.
- Start:
  Geeft het bevel tot het starten van een omzettingscyclus, waarbij de geselecteer-

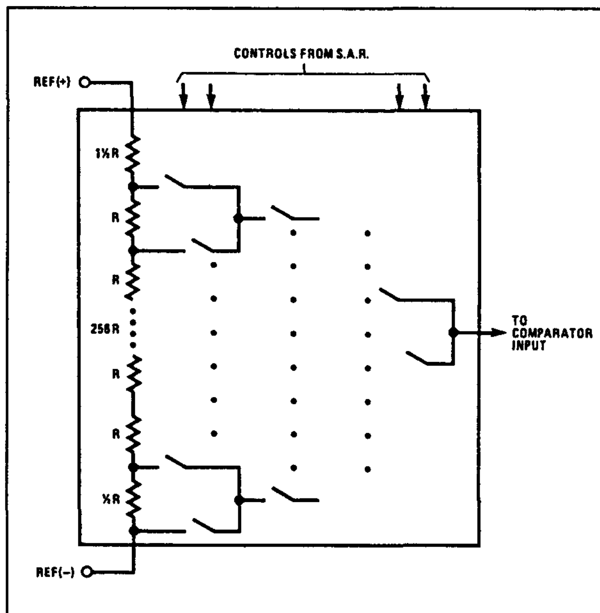
de analoge ingangsspanning wordt omgezet in een binaire code.
- Output Enable:
  Stuurt de binaire uitgangen van het IC uit hun tri-state toestand en zet de binaire uitgangsgegevens op de uitgangspennen.
- End of Conversion:
  Geeft een signaal af als de SAR zijn binaire code zo heeft ingesteld, dat de uitgangsspanning van de ingebouwde DAC gelijk is aan de geselecteerde ingangsspanning.

De analoog naar digitaal omzetter
De analoog naar digitaal omzetter in de ADC 0808 bestaat uit een resistieve spanningsdeler, een SAR en een comparator. De samenstelling van de resistieve spanningsdeler is getekend in figuur 12/11.1-4. Deze bestaat uit 256 identieke weerstanden en twee weerstanden van respectievelijk 1,5 en 0,5 deze waarde. De totale weerstandswaarde van deze serieschakeling bedraagt typisch 2,5 kΩ. De aftakkingen tussen de weerstanden zijn aangesloten op elektronische schakelaars, die gestuurd worden uit de uitgangen van de SAR. Het schakelaar-netwerk stuurt een van de ingangen van de analoge comparator, de tweede ingang van deze comparator wordt verbonden met de geselecteerde analoge ingang. De SAR zal nu bepaalde schakelaars sluiten, totdat de uitgangsspanning van het schakelaar netwerk gelijk wordt aan de analoge ingangsspanning. Op dat moment staat op de acht binaire uitgangen van de SAR een binair getal, waarvan het binaire gewicht overeen komt met de waarde van de geselecteerde analoge ingangsspanning. In het algemeen kan men stellen dat deze operatie slechts acht clock-pulsen in beslag neemt, zodat na deze tijd het "End of conversion"-signaal gegenereerd kan worden.



Figuur 12/11.1-3: Het intern blokschema van de ADC 0808.

11.1 Achtergrond-informatie



Figuur 12/11.1-4: Het resistieve netwerk in de ADC 0808.

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

Figuur 12/11.1-5: De waarheidstabel voor de selectie van de analoge ingangen.

Het selecteren van de analoge ingangen

De acht analoge ingangen worden geselecteerd door een drie bit brede code die op de ADD A, ADD B en ADD C ingangen wordt gezet. De waarheidstabel van deze selectie is weergegeven in figuur 12/11.1-5. Het op de ingangen aangemelde adres wordt in de interne latch opgenomen bij de "L" naar "H" overgang van het "ADRESS LATCH ENABLE"-signaal ALE.

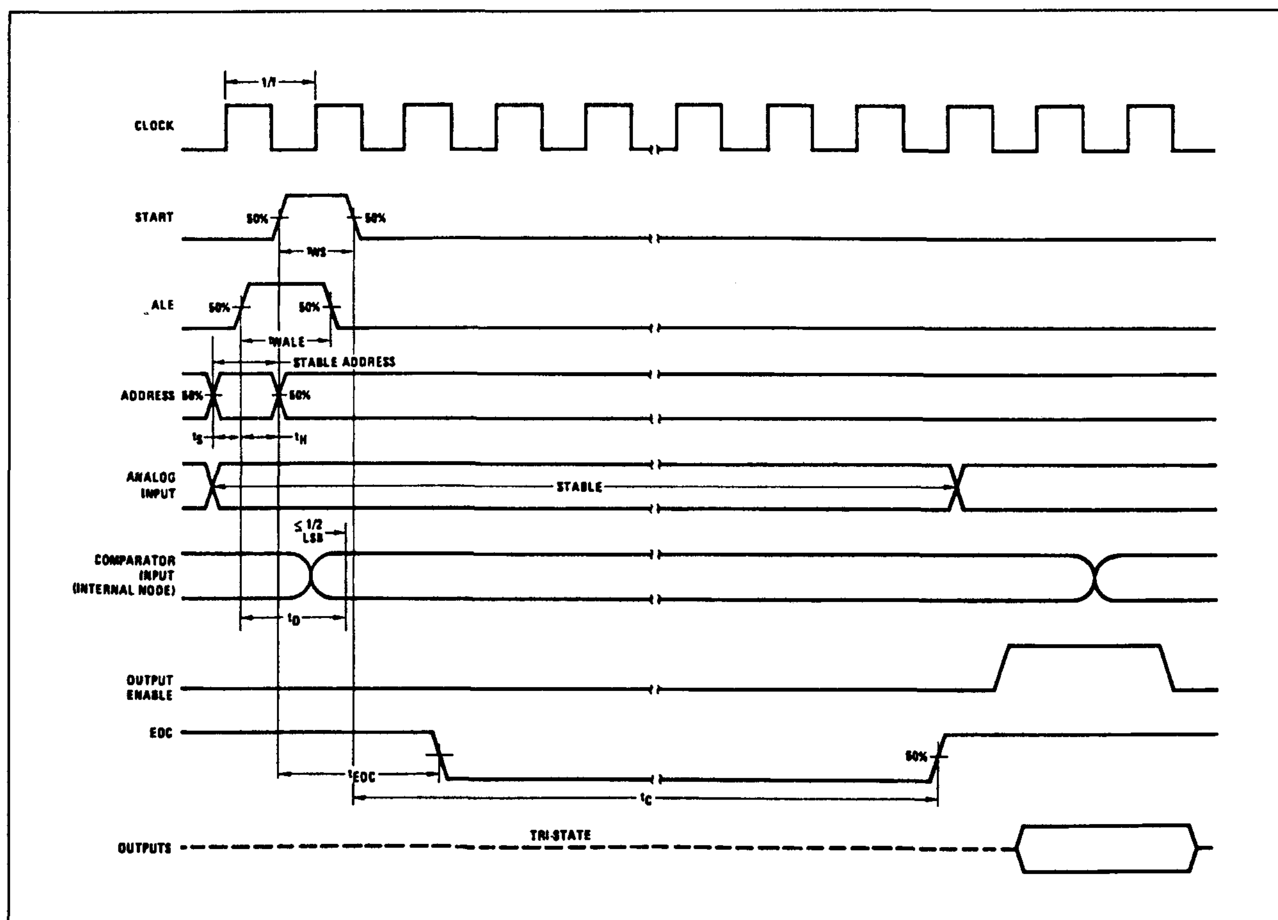
Timing van de schakeling

De volledige timing van de ADC 0808 is gegeven in figuur 12/11.1-6. De acht uitgangen van de SAR worden naar "L" gereset op de positieve flank van het "START CONVERSION"-signaal. De omzetting start bij de negatieve flank van dit signaal. Het "END OF CONVERSION"-signaal gaat naar "H" na maximaal acht clockpulsen. Men kan dan een positief "OUTPUT ENABLE"-signaal aanleggen, waarna de acht binaire uitgangen van tri-state naar hun actieve waarde gaan en de resultaten van de omzetting kunnen worden uitgelezen.

Praktische gegevens

De ADC 0808 is leverbaar in zowel DIL-28 als in 28-pens chip carrier behuizing. De schakeling wordt gevoed uit een voedingsspanning van +5 V en verbruikt slechts 15 mW vermogen. De weerstandsdeler is uitgevoerd naar de pennen REF+ en REF-. De positieve referentie pen kan verbonden worden met een externe referentiespanning, die maximaal gelijk mag zijn aan de voedingsspanning. De negatieve referentie pen ligt meestal aan de massa. Hiermee is al meteen duidelijk, dat de analoge ingangsspanningen kunnen variëren tussen +5 V en 0 V. De comparator vraagt een ingangsstroom van ongeveer 2 µA van de ingangsspanningen, zodat men vaak gebruik zal moeten maken van een buffer als de ingangsspanningen niet belast mogen worden. De clock-frequentie mag maximaal gelijk zijn aan 1,2 MHz, waaruit een minimale conversie tijd van 100 µs afgeleid kan worden. Opgemerkt moet worden, dat de besturingsingangen niet TTL-compatibel zijn. De maximale "L" spanning bedraagt namelijk +1,5 V, bij een voedingsspanning van +5 V en de minimale "H" spanning is gelijk aan +3,5 V. Dat zijn niveaus die echter zonder meer door CMOS-schakelingen geaccepteerd worden.

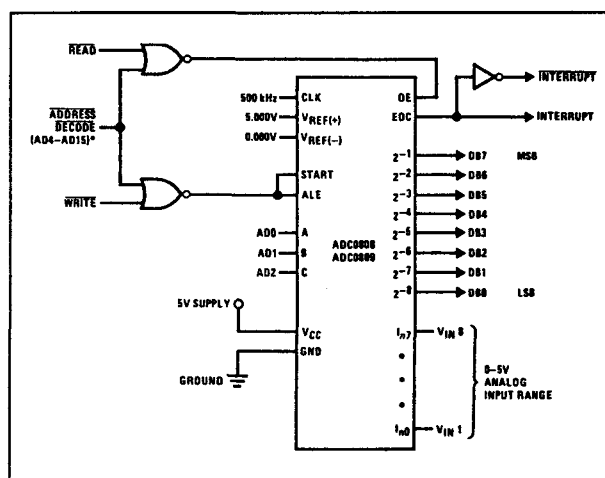
11.1 Achtergrond-informatie



Figuur 12/11.1-6: Het timing-diagram van één omzettingscyclus van de ADC 0808.

Voorbeeld-schakeling

In figuur 12/11.1-7 is een voorbeeld-schakeling rond de ADC 0808 getekend, waarbij het IC wordt bestuurd uit een micro-processor.
De READ- en WRITE- signalen zorgen respectievelijk voor het uitlezen van de gegevens en voor het starten van een omzetting. Natuurlijk moet de schakeling geadresseerd worden, waarvoor een negatief actief ADRESS DECODE-signaal verantwoordelijk is. Dit signaal kan via een standaard adresdecoder afgeleid worden uit de hoogste bits van de adres-bus. De drie laagste bits moeten natuurlijk vrij blijven, want hiermee moet men een van de acht analoge ingangen selecteren.



Figuur 12/11.1-7: Het besturen van de ADC 0808 uit een microprocessor-systeem.

11.1 Achtergrond-informatie

Besluit

De ADC 0808 is een heel overzichtelijke schakeling, die heel eenvoudig te besturen is. Natuurlijk heeft die eenvoud ook bepaalde nadelen. Het grootste nadeel is dat de gegevens niet in een intern geheugen worden opgeborgen, zodat de ontwerper/ster zélf extra schakelingen moet verzinnen (bijvoorbeeld latches) of de noodzakelijke software moet schrijven om het geheugen van een computer aan te spreken.

11.1 Achtergrond-informatie